

フライングキャパシタマルチレベルコンバータによる  
電力変換器の波形改善および高パワー密度化に関する研究

2015年7月

千葉大学大学院工学研究科  
人工システム科学専攻電気電子系コース  
小原 秀 嶺



(千葉大学審査学位論文)

フライングキャパシタマルチレベルコンバータによる  
電力変換器の波形改善および高パワー密度化に関する研究

2015年7月

千葉大学大学院工学研究科  
人工システム科学専攻電気電子系コース  
小原 秀 嶺



# 目次

第1章 緒論 .....	1
1.1. 研究背景 .....	1
1.1.1. 高度電力化社会 .....	1
1.1.2. 省エネルギー化とネガワット .....	1
1.1.3. 次世代電力ネットワーク .....	2
1.1.4. 次世代電力変換器 .....	3
1.2. 研究目的 .....	5
1.3. 論文構成 .....	5
第2章 マルチレベルコンバータ .....	8
2.1. 技術背景 .....	8
2.1.1. 電力変換器の高電圧化と大容量化 .....	8
2.1.2. 電力変換器の波形改善と低ノイズ化 .....	8
2.2. マルチレベル電力変換回路方式 .....	10
2.2.1. 基礎的なマルチレベル回路方式 .....	10
2.2.2. 基礎的な回路を派生させたマルチレベル回路方式 .....	14
2.3. 変調方式 .....	15
2.3.1. キャリア位相シフト変調方式 (Carrier Phase Shifted Modulation) .....	15
2.3.2. キャリアレベルシフト変調方式 (Carrier Level Shifted Modulation) .....	16
2.4. フライングキャパシタコンバータの特徴 .....	16
2.4.1. 動作モードとフライングキャパシタの充放電 .....	16
2.4.2. 主回路スイッチの損失均一化 .....	18
2.4.3. フライングキャパシタの所要耐圧 .....	18
2.4.4. 回路の規則性, 対称性 .....	19
2.5. まとめ .....	20
第3章 インバータ多レベル化の効果と課題 .....	21
3.1. 出力 PWM 波形の高調波低減効果 .....	21

3.1.1.	2 レベルインバータの場合	21
3.1.2.	キャリア位相シフト変調を適用したマルチレベルインバータの場合	22
3.1.3.	キャリアレベルシフト変調を適用したマルチレベルインバータの場合	24
3.1.4.	全高調波ひずみ率 (THD)	27
3.1.5.	実験検証	28
3.1.6.	モーションコントロールシステムへの応用例	31
3.2.	高調波損失の低減効果	34
3.3.	キャパシタ体積小型化の課題	39
3.4.	キャパシタ電圧バランスの課題	39
3.5.	素子実装の課題	39
3.6.	まとめ	40
<b>第4章 フライングキャパシタの選定指針と体積</b>		<b>41</b>
4.1.	フライングキャパシタの体積を決定する要素	41
4.1.1.	許容電圧リップル	41
4.1.2.	許容温度上昇	41
4.1.3.	最大定格電圧	44
4.2.	キャパシタ種類の選定指針	45
4.3.	キャパシタ温度上昇に影響するパラメータの抽出	45
4.3.1.	セラミックコンデンサの誘電体種類依存性の検証	45
4.3.2.	PWM キャリア周波数依存性の検証	46
4.3.3.	変調率依存性の検証	47
4.3.4.	キャパシタ電圧依存性の検証	47
4.4.	フライングキャパシタの選定指針と小型化限界	48
4.5.	まとめ	49
<b>第5章 フライングキャパシタの電圧バランス</b>		<b>50</b>
5.1.	キャパシタ電圧自己バランス機能	50
5.2.	3 レベルインバータにおけるキャパシタ電圧バランスの解析	51
5.2.1.	キャパシタ電圧アンバランスの理論解析	51
5.2.2.	キャパシタ電圧自己バランス機能の理論解析	52
5.2.3.	キャパシタ電圧の平衡点	53
5.2.4.	実験検証	54
5.3.	n レベルインバータにおけるキャパシタ電圧バランスの解析	56
5.3.1.	キャパシタ電圧アンバランス	56

5.3.2.	キャパシタ電圧自己バランス機能	57
5.3.3.	キャパシタ電圧の平衡点	58
5.3.4.	実験検証	59
5.4.	キャパシタ電圧アンバランス補償方法	62
5.4.1.	実際の素子に含まれるスイッチング遅れ時間のばらつき	62
5.4.2.	フライングキャパシタ電圧アンバランス補償の指針	63
5.4.3.	キャパシタ初期充電抵抗を利用したキャパシタ電圧補償	64
5.5.	まとめ	66
<b>第6章 多レベル化と高パワー密度化を実現する実装方法</b>		<b>67</b>
6.1.	ユニットモジュール化	67
6.1.1.	パワーデバイスモジュールの現状	67
6.1.2.	マルチレベルコンバータのモジュール化	67
6.2.	フライングキャパシタコンバータのモジュール化	68
6.2.1.	コンセプト	68
6.2.2.	モジュールの設計指針	69
6.2.3.	試作回路による動作検証	71
6.3.	1チップ集積化	74
6.4.	まとめ	75
<b>第7章 多レベル高パワー密度コンバータの実証</b>		<b>76</b>
7.1.	出力フィルタの設計例	76
7.2.	三相7レベルフライングキャパシタインバータの試作	80
7.2.1.	回路設計	80
7.2.2.	実験結果	87
7.3.	18モジュールで実現した三相25レベルフライングキャパシタインバータ	89
7.3.1.	回路設計	90
7.3.2.	実験結果	94
7.4.	まとめ	95
<b>第8章 結論</b>		<b>97</b>
8.1.	本研究の成果	97
8.2.	今後の課題と展望	99
8.2.1.	今後の課題	99

8.2.2. 今後の展望	101
参考文献	102
謝辞	113
発表論文等	115



# 第1章

## 緒論

### 1.1. 研究背景

#### 1.1.1. 高度電力化社会

世界の電力消費量は年々増加しており、1980年には12.2%だった電力化率（二次エネルギーベースのエネルギー消費量全体に占める電力消費量の比率）は、2011年時点で19.8%にまで増加した<sup>(1)</sup>。地球規模で高度電力化社会の形成が急激に進んでおり、もはや電気なくして人々の生活は成り立たなくなった。電気エネルギーは、輸送や変換が容易で、回生や貯めることも可能であり、他のエネルギーに対して、非常に使いやすいエネルギーである。電力化率が基本的な生活の豊かさを表す指標になるとの見解も報告されており、今後も電気エネルギーの利用割合が増加していくことは明白である<sup>(2)</sup>。

我が国においては、エネルギー資源の乏しい環境から、化石燃料依存の脱却が急務であるが、2012年時点でエネルギー自給率は6.0%と非常に低い<sup>(3)</sup>。他方、2011年3月の東日本大震災をきっかけに、原子力発電所を停止し、石油や天然ガスを燃料とした火力発電の割合を増やさざるを得なかったため、温室効果ガスの排出量が増え、地球温暖化対策をリードしてきた日本の姿勢が問われかねない状況に直面している<sup>(4)</sup>。今後も豊かな生活を維持し、さらに発展させていくためには、化石燃料を極力使わず、温室効果ガスを極力排出せずに、電力化率を高めながら必要なエネルギーだけを使うということを徹底していく必要がある。

#### 1.1.2. 省エネルギー化とネガワット

電気エネルギーは、元のエネルギー源によってその発電コストが異なる。表1.1は、文献(5)で示されている、各発電方式の1kWhの電気エネルギーを生み出す際に必要なコスト[円/kWh]を抜粋したものである<sup>(5)</sup>。化石燃料を使用し、二酸化炭素を多く排出する火力発電は、発電コストが安いことが分かる。また、原子力発電も本表によれば発電コストは安いとされているが、リスクを踏まえると社会的な費用が高くなることが、今般の震災で明らかになっている。近年、日本でも導入が進んでいる太陽光発電は、現在はまだ発電コストは高価であるが、2030年までにはパラダイムシフトが起こり、火力発電の水準まで安くなると試算されている。本データより、地球環境に悪影響を与えずに、安く電気エネルギーを得

表 1.1 発電コスト (2011年コスト等検証委員会報告書をもとに作成<sup>(5)</sup>)

発電方式	発電コスト[円/kWh]	
	2010年モデル	2030年モデル
原子力	8.9 ~	
石炭火力	9.5	10.3
LNG火力	10.7	10.9
陸上風力	9.9 ~ 17.3	8.8 ~ 17.3
洋上風力	9.4 ~ 23.1	8.6 ~ 23.1
地熱	9.2 ~ 11.6	
小水力	19.1 ~ 22.0	
バイオマス	17.4 ~ 32.2	
石油火力	22.1	25.1
太陽光(住宅用)	33.4 ~ 38.3	9.9 ~ 20.0
ガスコジェネ	10.6	11.5

ることは、15年後の日本においても依然として重要な課題であると考えられる。

他方、『ネガワット(Negawatt)』という概念が提案されている。これは、発電所を作ってエネルギーを生み出すことと、現在使われている無駄なエネルギーを何らかの方法で減らす(省エネルギー化する)ことは、同じ効果があるという考えである<sup>(6)(7)(8)</sup>。さらに、少ない電力消費量でも収入と支出の差額としての利益が大きくなるような経済活動を目指す『ネガワット革命』が提唱されている<sup>(9)</sup>。省エネを達成するために必要なコストは『ネガワットコスト』と呼ばれる<sup>(10)</sup>。上で述べた、発電コストを下げることには限界が見えるが、ネガワットコストは今後の技術発展次第で下げられる余地が十分に残っている。すなわち、これからの高度電力化社会は、エネルギー(ポジワット)を生み出すことよりも、ネガワットを生み出すことの方が費用対効果を高くできる可能性がある。近年では、『ネガワット取引』も始まり、省エネルギー化の動きが活発化している<sup>(11)</sup>。

ネガワットコストを削減できる技術として、パワーエレクトロニクスへの期待は非常に大きい。例えば、モータドライブシステムにインバータを導入して省エネ化を図る場合、インバータを導入するネガワットコストが電気代金よりも安ければ、インバータを導入する方が得というように定量的に判断が可能となる<sup>(9)</sup>。パワエレ機器導入のネガワットコストを減らすためには、電力変換器自体を安価にすることおよび性能を向上させることが必要である。インバータ導入による省エネ効果は年々世間に浸透しており、ネガワットの考えと相まって、パワーエレクトロニクスが高度電力化社会に果たす役割は、今後益々大きくなっていくと予想される<sup>(12)</sup>。

### 1.1.3. 次世代電力ネットワーク

現在、日本の電力会社によって運用されている大きな電力系統は、発電余裕を大きく確

保し、高い安定性を誇る<sup>(13)</sup>。しかしながら、太陽光発電や風力発電等の不安定な電源が系統に大量に接続されることで、系統の安定余裕を十分に確保できなくなってしまうことが指摘されている。実際、系統安定度の不安から太陽光発電の買電を停止した事例もある<sup>(14)</sup>。したがって、従来の電力会社の大きな電力系統のみに頼った電力ネットワークを運用している限り、太陽光発電や風力発電など、発電量が時々刻々と変化する分散電源の大量導入には限界があると考えられる。今後は、電力会社の大きな電力系統に連系しながらも、比較的小さな電力系統の中で、高速高精度のパワーフローコントロールにより電力エネルギーの賢い融通を可能とする、スマートグリッドの構築が現実的である<sup>(15)</sup>。これらは、エネルギーマネジメントシステム（EMS）と呼ばれる高度に情報化したネットワークで管理される。次世代電力ネットワークでは、従来の電力システムのように上位系統から電力を受け取るだけでなく、どこでも好きな時に好きな分だけ電力を送るまたは受け取ることが出来る必要がある。そのため、パワーフローの向きは一方方向ではなく、双方向となり、それを実現するのが電力変換器である。したがって、これまで以上に様々な場所に数多くの電力変換器が普及し、利用される必要があり、電力変換器の役割は益々重要なものになっていくことは明白である。

今後、様々な国や地域で、様々な規模の電力ネットワークが構築されると予想される<sup>(16)(17)(18)</sup>。規模の小さなマイクログリッドにおいても、他のネットワークと連系することで、高い信頼性と柔軟なパワーフロー制御が可能になると考えられる。ここで、パワーエレクトロニクスの使命は、これまで使用されてこなかった箇所に電力変換器を普及させ、常により高度な電力ネットワークシステムを構築していくことだといえる。

#### 1.1.4. 次世代電力変換器

電力変換器は、年々出力パワー密度（変換器の体積当たりの出力可能な電力）が上がっており、文献(19)の電力変換器のロードマップによれば、図 1.1 のように、40年で電力変換器のパワー密度は3桁向上した。今後も、このロードマップに従うためには、今後5年間で $100\text{W}/\text{cm}^3$ 以上のパワー密度を達成する電力変換器の開発が求められる。

次世代電力ネットワークにおいて、多数の電力変換器がいたるところで使用されるためには、電力変換器がより高性能になる必要がある。電力変換器が高性能になればなるほど普及は進み、その効果も大きくなる。現在の電力変換器は、高調波、電磁ノイズの発生や導入コスト、設置場所等の問題があり、必ずしも広く普及するのに適したものにはなっていない。究極的には、電力変換器の優れたパワーフロー制御性を実現しながら、使用者が意識せずに利用できる変換器が理想である。理想的な電力変換器は、例えば以下のような特徴を有する。

- (1) 小型、軽量で、電力変換器が邪魔だと感じないこと
- (2) 長寿命、メンテナンスフリーで、一度設置すれば半永久的に使用可能であること
- (3) 変換効率が非常に高く、熱がほぼ発生しないこと

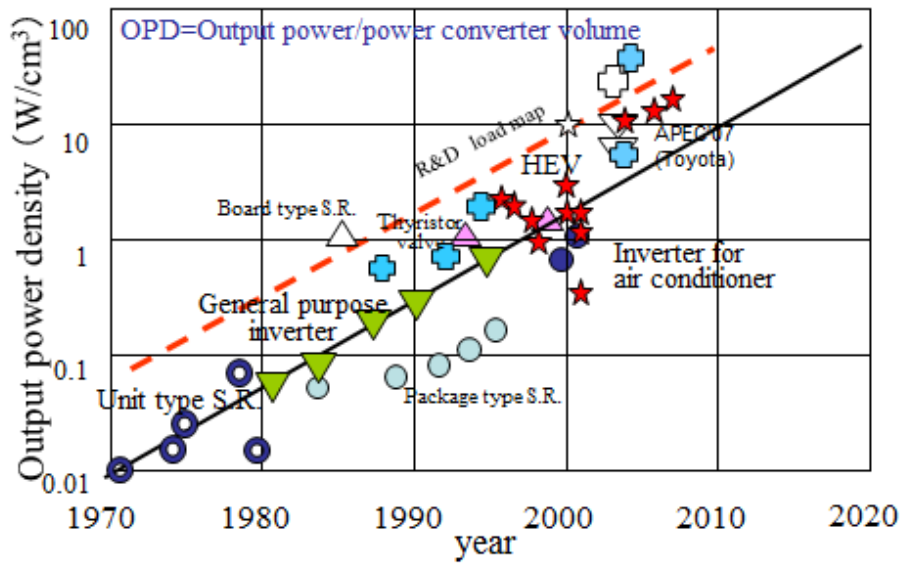


図 1.1 電力変換器高パワー密度化のロードマップ

(出典：Hiromichi Ohashi and Ichiro Omura: "Role of Simulation Technology for the Progress in Power Devices and Their Applications", *IEEE Trans. Electron Devices*, Vol.60, No.2, 2013-2)

- (4) 電力制御が自由自在に出来、それが非常に簡単であること
- (5) 高調波や電磁ノイズ等を発生せずクリーンであり、周囲に悪影響を与えないこと
- (6) 開発、設置、メンテナンス等のコストが安いこと

近年では、SiC や GaN などのワイドバンドギャップ半導体デバイスの開発が進み、高効率な電力変換器の開発が進んでいる<sup>(20)(21)(22)(23)</sup>。ワイドバンドギャップ半導体デバイスは、導通損失を低減できるだけでなく、高速スイッチング動作が可能であり、損失を大幅に低減できるとされている。しかしながら、電力変換器における高速スイッチングおよび高周波スイッチングは、寄生インダクタンスに起因する電磁ノイズの発生原因になってしまう。電力ネットワークに大量の電力変換器が接続された場合、電磁ノイズによる悪影響が顕在化してしまう可能性もあり、次世代電力ネットワークにおいて、電力変換器のクリーン化は必須である<sup>(24)(25)</sup>。また、多数の電力変換器が系統に接続される場合には、系統に流す高調波電流も今よりも低い水準にすることが求められる<sup>(26)</sup>。

他方、Si のデバイスに関しては、研究開発は飽和しつつあるようにも見えるが、スーパー Junction 構造等の開発に見られるように、年々、微細化や新しいデバイス構造の開発により、少しずつ特性は向上しており、特に低耐圧のパワーデバイスに至っては、上記の新材料デバイスよりも Si デバイスの方が特性が良い場合も多い<sup>(27)</sup>。

## 1.2. 研究目的

本研究の最終目的は、上記のような理想的な電力変換器を実現することである。それに最も近く、実現可能性が高いものとして、集積化マルチレベル電力変換器の実現を目指す。マルチレベル電力変換器は、現在広く普及している 2 レベル電力変換器に比べて、出力する高調波や発生する電磁ノイズが少なく、クリーンな電力変換器である。これは、高調波フィルタやノイズフィルタを小型化、さらには除去できるという点で、電力変換器を含めたシステムの高パワー密度化にもつながる。一般に、高調波フィルタを小型化する方法として、スイッチング周波数を高くすることが考えられるが、高周波化に伴い主回路スイッチ素子のスイッチング損失が増大してしまうため、高周波化には限界がある。また、高周波化により電磁ノイズも多くなってしまったため、電力変換器のクリーン化とは逆行する方法であるといえる。それに対して、マルチレベル化は、スイッチング損失や電磁ノイズをむしろ低減しながら高調波フィルタを小型化することが可能である。

しかしながら、マルチレベル電力変換器の短所として、高調波や電磁ノイズを減らそうとすればするほど、回路を構成する素子の数が増えてしまう。そこで本研究は、CPU などに用いられている半導体集積化回路技術を電力変換器に応用し、素子数の多いマルチレベル電力変換回路全体を半導体 1 チップで実現しようとするものである。これは、前節の理想的な電力変換器に近い特徴を有する最も実現可能性の高い電力変換器のひとつであると考えられる。

本論文は、集積化マルチレベル電力変換器の実現に向けて、その基礎となる様々な設計指針の解明やマルチレベル電力変換器で起こり得る現象の解析等を詳細に行う。特に、以下の事項について、明確な指針を得ることを目的とし、電力変換器の波形改善と高パワー密度化を同時に実現するフライングキャパシタマルチレベルコンバータの総合的な設計指針を明らかにする。

- ・ 電力変換器をマルチレベル化することによる効果と課題の明確化
- ・ 回路内で各電圧を保持するキャパシタの小型化
- ・ 回路の安定動作を実現するための、キャパシタ電圧バランスの確立
- ・ 集積化を見据えた、具体的実装手法の開発
- ・ 以上の妥当性を検証するマルチレベルコンバータの試作および実験検討

以上により、集積化マルチレベル電力変換器の実現可能性や有用性を検証し、次世代電力ネットワークを構築する電力変換器に関する基盤技術を確立する。

## 1.3. 論文構成

本論文は、以下の全 8 章から構成される。

## 第1章 緒論

本論文の背景，課題，目的を述べ，本研究の位置付けを示す。

## 第2章 マルチレベルコンバータ

マルチレベルコンバータの概要を述べ，各回路方式の特徴を整理する。数あるマルチレベル回路方式の中で，フライングキャパシタ方式マルチレベルコンバータがいくつかの点で優れた特長を有し，次世代の超高パワー密度クリーンコンバータを実現し得る技術であることを示す。

## 第3章 コンバータ多レベル化の効果と課題

従来の2レベルコンバータに対して，マルチレベル化することによる種々の効果について述べる。特に，出力電圧に含まれる高調波の低減効果について，詳細な理論解析により定量的に明らかにする。また，コンバータを多レベル化する際の課題を述べ，本研究の課題を明確にする。

## 第4章 フライングキャパシタの選定指針と体積

フライングキャパシタマルチレベルコンバータの体積に大きく影響する，フライングキャパシタの選定指針を明らかにする。キャパシタ体積最小化のためには，電圧リプルだけでなく熱の考慮も必要であることを指摘し，動作条件とキャパシタの特性の両面から，最適なキャパシタの選定指針を述べる。

## 第5章 フライングキャパシタの電圧バランス

フライングキャパシタコンバータの安定動作に必要な不可欠なキャパシタの電圧バランスについて解析を行う。キャパシタ電圧は，原理的には特別な制御なしで各規定電圧を維持することが可能であるが，実際の動作条件では不平衡になってしまう場合がある。しかし，レベル数を増やした際には，多くのフライングキャパシタを用いる必要があり，全てのキャパシタを個別に電圧制御するのは実用的ではない。コンバータの多レベル化を見据え，個別の電圧制御なしで各キャパシタ電圧をバランスさせる方法を示し，その効果を実証する。

## 第6章 多レベル化と高パワー密度化を実現する実装方法

多レベルコンバータは，非常に多くの素子により構成されるため，実装方法の工夫なしでは高パワー密度化を達成し得ない。実装に関するいくつかの知見を基に，フライングキャパシタコンバータに特化したモジュール化の概念を提案し，試作回路によりその効果を実証する。

## 第7章 多レベル高パワー密度コンバータの実証

これまで明らかにした設計指針を基に，多レベルと高パワー密度を両立するフライングキャパシタコンバータを設計，試作する。前章で提案したモジュール化の概念を用い，同一の18個のモジュールを組み合わせることで三相25レベルインバータを実現し，本論文で明らかにした解析結果および設計指針の有用性を実証する。

## 第8章 結論

本論文の成果をまとめ，今後の課題および展望について述べる。

## 第2章

### マルチレベルコンバータ

本章では、マルチレベルコンバータの概要について述べ、電力変換器の波形を改善する原理について解説する。さらに、これまで提案されている代表的なマルチレベルコンバータの回路方式について概説し、本研究で対象とするフライングキャパシタ回路方式の位置付けを明確にする。フライングキャパシタコンバータは、変換器高パワー密度化に適したいくつかの特長を持ち、本研究で目指す次世代電力変換器を実現し得る最も有力な方式のひとつである。

#### 2.1. 技術背景

##### 2.1.1. 電力変換器の高電圧化と大容量化

年々、電力変換器の大容量化の要求が高まっている。日本の東西の電力系統を連系する周波数変換所や海底ケーブルによる直流送電用の電力変換器においては、サイリスタを多数個直列接続して使用されている<sup>(28)</sup>。近年では、自励式電力変換器に移行しようとする動きが活発であり、大容量の GCT や IGBT, IEGT を用いた、配電網レベルの AC 数 kV や高圧直流送電 (HVDC) に適用する高電圧電力変換器の研究開発が盛んに行われている<sup>(29)(30)(31)</sup>。

マルチレベル電力変換器の応用先として最も期待され、研究開発が進められてきたのは、このような高電圧用途向けのものである。マルチレベル電力変換器は、主回路スイッチ素子の直列数を増やし、出力レベル数を増やすほど、扱える電圧を高くすることができる。これにより、例えば 6.6kV 級の電力変換器であっても、定格電圧 1.2kV や 3.3kV の比較的特性の良い IGBT を適切な直列接続数で使用することにより、トランスレスで実現が可能である。このように、マルチレベル電力変換器は、高電圧の自励式電力変換器を実現する上で、必要不可欠な技術として確立されようとしている<sup>(32)</sup>。

##### 2.1.2. 電力変換器の波形改善と低ノイズ化

現在広く使用されている電力変換器のほとんどは 2 レベル電力変換器と呼ばれ、図 1(a) のように、一相当たりの電圧 (相電圧) としては 2 値の電圧のみを出力することができ、そのパルス幅を自在に制御 (PWM : Pulse Width Modulation 制御) することにより、任意の出力電圧を得ている。そのため、無停電電源装置 (UPS) や系統連系インバータ等の用途に



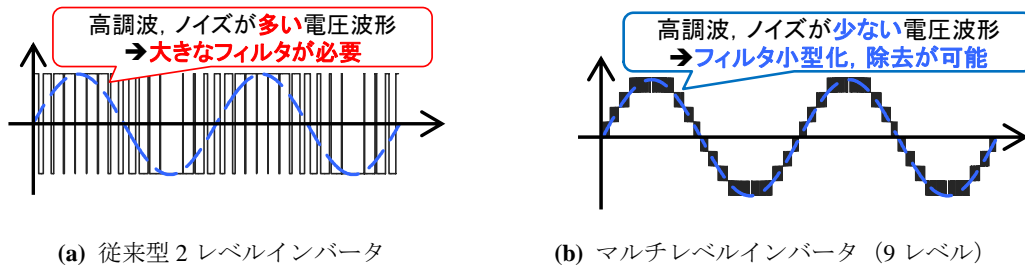


図 2.1 インバータの出力相電圧波形の比較

においては、高調波やひずみの少ない出力波形を得るため、電力変換器の出力に高調波を抑制するためのフィルタを接続する必要がある。しかしながら、この高調波フィルタは一般に、インダクタやキャパシタといった受動素子で構成され、体積や重量が大きくなってしまいう問題がある。他方、モータドライブ応用においては、モータ自体のインダクタンスにより電流波形をある程度平滑化することができるため、中小容量の用途ではフィルタなしで直接インバータをモータに接続することが一般的であるが、モータで発生する高調波損失が大きくなってしまいうことが報告されている<sup>(33)(34)</sup>。

これに加えて、電力変換器では、半導体パワーデバイスのスイッチングにより出力する電圧を切り替えているが、スイッチング時に回路内の寄生インダクタンスや寄生キャパシタンスに急峻な電圧または電流の変化が起こることにより電磁ノイズ（EMI：Electro Magnetic Interference）が発生し、しばしば周囲の機器に悪影響を与えてしまう。モータドライブ応用においては、電磁ノイズにより巻線間の絶縁破壊や寿命が短くなる等の問題が報告されている<sup>(35)</sup>。この対策として、高調波と同様に、電磁ノイズを抑制するためにしばしばノイズフィルタが用いられるが、これも体積や重量、損失の増大原因となってしまう。また、制御の観点からは、これらのフィルタのインダクタとキャパシタの影響により、応答速度が遅くなってしまいう問題もある。

これに対して、マルチレベルコンバータは、回路内に複数の異なる電圧を保持し、それらの電圧に対応した主回路スイッチ素子のオンオフ制御により、図 1(b)のように、3 値以上の電圧を出力することができる電力変換器である<sup>(36)</sup>。これにより、フィルタに頼ることなく出力の高調波を低減することが可能である。さらに、出力レベル数を増やすほど、すなわち直列接続される主回路スイッチ素子の個数が増えるほど、素子一つ当たりに印加される電圧が低くなり、スイッチング時に変化する電圧幅が小さくなるため、電磁ノイズも低減することができる。したがって、マルチレベルインバータは、本質的に発生する高調波や電磁ノイズを小さくすることが出来、クリーンな電力変換器であるといえる。別の見方をすれば、2 レベルインバータと同水準の高調波や電磁ノイズが許容される場合、高調波フィルタおよびノイズフィルタを小型化することができるといえる。

## 2.2. マルチレベル電力変換回路方式

### 2.2.1. 基礎的なマルチレベル回路方式

マルチレベル電力変換回路として、これまでに様々な回路方式が提案されている<sup>(37)(38)</sup>。電圧形のマルチレベル電力変換回路の原理としては、回路内に複数の異なる電圧をキャパシタ等で保持しており、それらの電圧の組み合わせ方を多数用意した主回路スイッチ素子のスイッチング動作制御によって選択することにより、複数の電圧値の出力が可能となる。回路方式ごとに、複数電圧を保持する方法や各電圧値を出力端に接続するための主回路スイッチ素子の構成に特徴がある。

文献(39)では、図 2.2 に示す一般化されたマルチレベル回路が提案され、全てのマルチレベル回路方式は、この回路から任意のいくつかの要素を取り除いた回路で実現することができる<sup>(41)</sup>とされている。以下の 4 つの回路方式は、種々のマルチレベル回路方式の中でも最も基本的な方式であり、次節で述べる応用回路も全てこの基礎的な 4 つの回路方式の動作に帰着される<sup>(40)</sup>。

#### (1) カスケード H ブリッジ (Cascaded H-Bridge: CHB)

図 2.3(a)のように、一般的な 2 レベルの H ブリッジ回路をカスケード接続し、各ブリッジの出力電圧の和を出力することでマルチレベル出力電圧を得る回路方式である<sup>(41)</sup>。カスケード接続された各ブリッジのグラウンド電位が異なるため、各 H ブリッジの直流入力電源はそれぞれ絶縁されている必要がある。与えられた直流入力電圧に対して、接続するブリッジの数を増やすほど、出力できる電圧レベル数を増加でき、各主回路スイッチ素子およびキャパシタの耐電圧を低くすることが可能である。見方を変えると、同耐圧の H ブリッジを複数用いる場合、接続する H ブリッジの数を増やすほど、扱える電圧を高くすること

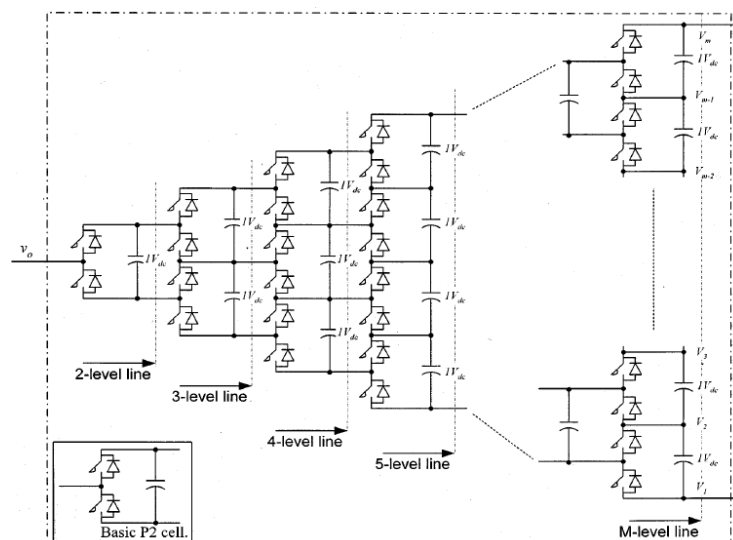


図 2.2 一般化されたマルチレベル回路 (Generalized topology of multi-level converter)<sup>(39)</sup>

ができる。しかしながら，出力レベル数を増やすほど，主電流が通過する主回路スイッチ素子数が増加するため，導通損の増加に配慮する必要がある。また，単相回路ではもちろん，三相構成にした場合においても，各ブリッジのキャパシタには出力の2倍の周波数の電流が流れ，それに伴う電圧脈動が生じるため，特に低周波で動作させる場合には，静電容量の大きなキャパシタが必要となる。比較的大容量のモータドライブ応用等においては，広く実用化されている回路方式である<sup>(42)</sup>。

(2) ダイオードクランプ (Diode Clamped: DCP)

図 2.3(b)のように，直流入力電圧を直列に接続した複数のキャパシタ（分圧コンデンサ）により均等に分圧し，任意の分圧点電位をダイオードによりクランプすることでマルチレベル出力電圧を得る回路方式である<sup>(43)</sup>。キャパシタ分圧によりマルチレベル電圧の源を実現するため，複数の絶縁電源を用いる必要がなく，トランスレスで実現可能である。ただし，3つ以上の分圧コンデンサを用いる4レベル以上の回路では，動作モードにより各コンデンサの充放電電荷量が均等にならず，電圧アンバランスになってしまうため，電圧アンバランスを補償するための付加回路や電圧フィードバック制御等が必要である。カスケ

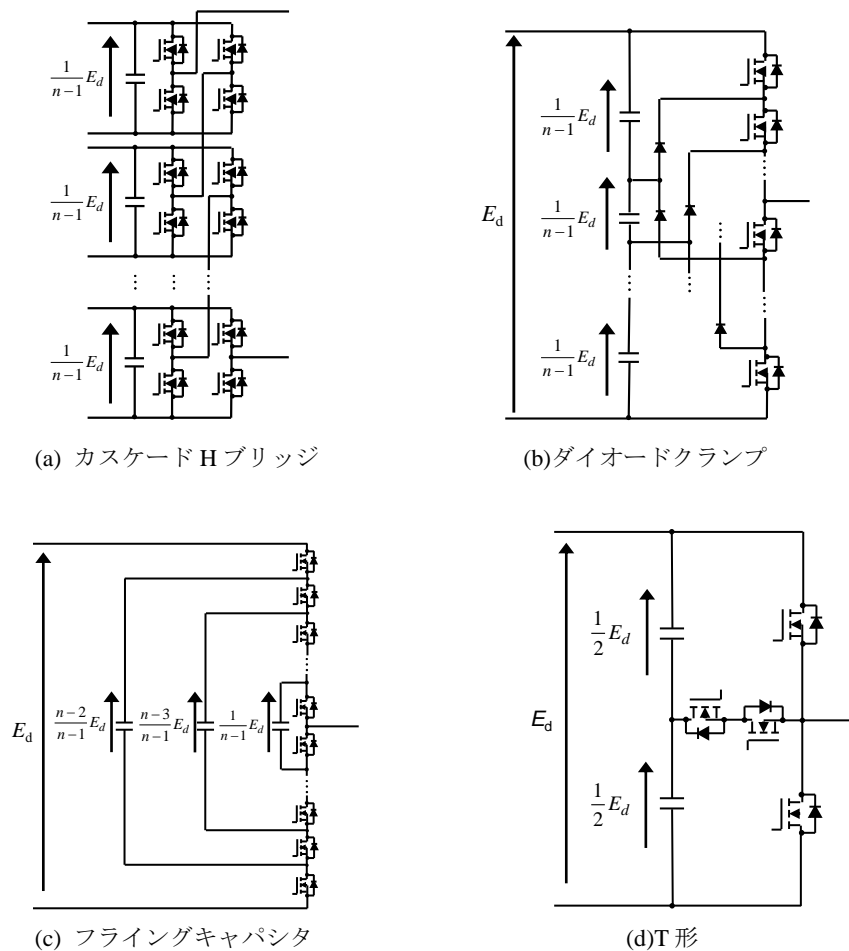


図 2.3 基礎的なマルチレベル回路方式

ード H ブリッジ方式と同様、素子数を増やし、レベル数を増やすほど、耐圧の低い分圧コンデンサおよび主回路スイッチ素子を使用することができるが、その分主電流が通過する素子の数が増加する。また、単相回路の場合、分圧コンデンサは単相電力脈動を吸収する必要がある。三相回路の場合においても、各分圧コンデンサは、出力電圧の基本波周波数の3倍の周波数で充放電することが知られており、比較的静電容量の大きなキャパシタが必要である<sup>(44)</sup>。また、後述するフライングキャパシタ方式と異なり、各電圧値を出力するスイッチ素子の動作モードはそれぞれ1モードであり、変調率が低い場合には、主電流が出力端に近い主回路スイッチ素子だけに集中して流れるため、動作モードによっては各主回路スイッチ素子の損失が均等にならない特徴がある。特に、3レベルの回路は中性点クランプ(NPC: Neutral Point Clamped)と呼ばれ、新幹線の主回路等で既に実用化されている<sup>(41)</sup>。

### (3) フライングキャパシタ (Flying Capacitor: FC)

図2.3(c)のように、回路内でフローティングしたキャパシタ(フライングキャパシタと呼ばれる)により複数の異なる電圧を保持し、それらの電圧値の加算および減算によりマルチレベル出力電圧を得る回路方式である<sup>(45)</sup>。2.3節で述べる、キャリア位相シフトPWM変調方式を用いることで、原理的にはレベル数を多くした場合においても特殊な制御や付加回路なしでフライングキャパシタの電圧を規定値に保つことが可能である。すなわち、ダイオードクランプ方式のように電圧バランス回路等が不要である。また、各フライングキャパシタはPWMキャリア周波数で充放電を行うため、スイッチングの高周波化によりキャパシタの静電容量を小さくすることが可能である。ただし、直流リンクコンデンサに関しては、2レベルコンバータと同様に設計される必要があり、例えば、単相回路においては単相電力脈動を吸収する程度の静電容量を持つキャパシタが必要である。上記2回路方式と同様に、レベル数を多くするほど各主回路スイッチ素子の耐電圧を低くすることが可能であるが、フライングキャパシタに関しては、各々が異なる電圧を保持し、最も電圧の高いフライングキャパシタは電源電圧に近い電圧を保持する必要があるため、レベル数を増やしてもキャパシタの耐電圧を下げられない特徴がある。他方、動作状況によらず、全ての主回路スイッチ素子の損失が均一となる利点がある。高圧モータドライブ応用で実用化されている例がある<sup>(46)</sup>。本論文で研究対象とする回路であり、詳細は2.4節で述べる。

### (4) T形 (T-Type)

図2.3(d)のように、前述のNPC回路(3レベルダイオードクランプ回路)と同様に、直流入力電圧を2つのキャパシタで均等に分圧し、その中点と出力端とを双方向スイッチを介して接続し、中間の電圧を出力できるように構成した回路方式である<sup>(47)</sup>。他の回路方式と比べて、電流経路の直列主回路スイッチ素子数が増加せず、2レベル回路に対して導通損失が増加しない特長があるが、主回路スイッチ素子に印加される電圧は2レベル回路の場合と同じであるため、スイッチング損失を低減することはできない。キャパシタの所要静電容量や耐電圧はNPC回路と同様に設計される。キャパシタの中性点と出力端とは双方向の耐電圧を持った双方向スイッチを用いる必要があり、双方向スイッチ素子の特性が今後向

上すれば利点が生かせる可能性がある。一部の太陽光発電用パワーコンディショナにおいて実用化が始まっている<sup>(48)(49)</sup>。

以上の4つの基礎的なマルチレベル回路方式の特徴の比較を表2.1に示す。ただし、入力電圧を $E_d$ 、レベル数を $m$ 、入力端から $N$ 番目のフライングキャパシタの所要耐圧を $V_{C,N}$ と表記している。

表2.1 基礎的なマルチレベル回路方式の比較

回路方式	カスケード Hブリッジ	ダイオード クランプ	フライング キャパシタ	T形 (3レベル)
DC入力電圧源の 構成	各ブリッジに 絶縁電源	単一電源	単一電源	単一電源
各主回路スイッチ 素子の所要耐圧	$E_d/(m-1)$	$E_d/(m-1)$	$E_d/(m-1)$	$E_d$
電流経路の直列 スイッチ素子数	$m-1$	スイッチ素子： $m-1$ ダイオード：1	$m-1$	1 (双方向スイッチも1 素子としてカウント)
各主回路スイッチ 素子の損失の偏り	変調方式により均等 にすることが可能	変調率により損失が集中 する	変調方式により均等 にすることが可能	変調率により損失が 集中する
キャパシタの 所要耐圧	$E_d/(m-1)$	$E_d/(m-1)$	$V_{C,N} =$ $(m-1-N)E_d/(m-1)$	$E_d/2$
キャパシタの 電圧脈動	単相回路の場合はもちろん、三相構成でも各ブリッジのキャパシタは単相電力脈動の影響を受ける	単相回路の場合、単相電力脈動の影響を受ける。三相回路の場合、三相でキャパシタを共有できるため、電力脈動の影響は小さい	PWMキャリア周波数で脈動（ただし単相回路の場合、直流リンクは2レベルと同様に単相電力脈動の影響を受ける）	単相構成の場合、単相電力脈動の影響を受ける（2レベルと同様）
キャパシタの 電圧バランス	複数の絶縁電源を用いる場合、電圧アンバランスは生じない	動作モードによりアンバランスになるため、電圧アンバランス補償回路が必要	電圧アンバランスは生じない	電圧アンバランスは生じない
用いられる 変調方式	キャリア位相シフト キャリアレベルシフト	キャリアレベルシフト	キャリア位相シフト	キャリアレベルシフト

※ $E_d$ ：入力直流電圧， $m$ ：レベル数， $V_{C,N}$ ：DC入力端から $N$ 番目のキャパシタの電圧

2.2.2. 基礎的な回路を派生させたマルチレベル回路方式

前項の基礎的な4回路方式を基本として、様々な回路方式が提案されている<sup>(37)</sup>。

図2.4(a)のモジュラーマルチレベルコンバータ (Modular Multilevel Converter: MMC)は、2レベルHブリッジもしくはハーフブリッジを複数接続した方式であり、接続方法により大きく4つの呼称が付与されている<sup>(50)(51)</sup>。一般には、複数の絶縁電源を必要とせず、各ブリッジの直流コンデンサ電圧を電圧バランス制御により一定に保ちながら、マルチレベル出力電圧を得る回路方式と認識され、カスケードHブリッジ方式と区別されているが、カスケードHブリッジ回路もモジュラーマルチレベル回路方式の一つとして捉えられることもある。

階調制御コンバータは、回路構成はモジュラーマルチレベル方式と同様であるが、各ブリッジの直流電圧を $2^n$ ずつ異なる電圧に保つことにより、各ブリッジの電圧を組み合わせることで出力できる電圧レベルを増やした方式である<sup>(52)</sup>。電圧の高いブリッジのスイッチング周波数を低くすることにより、主回路スイッチ素子の損失を低減することが可能である。MMCおよび階調制御コンバータにおいては、2レベルのブリッジ回路と同様に、各ブリッジの直

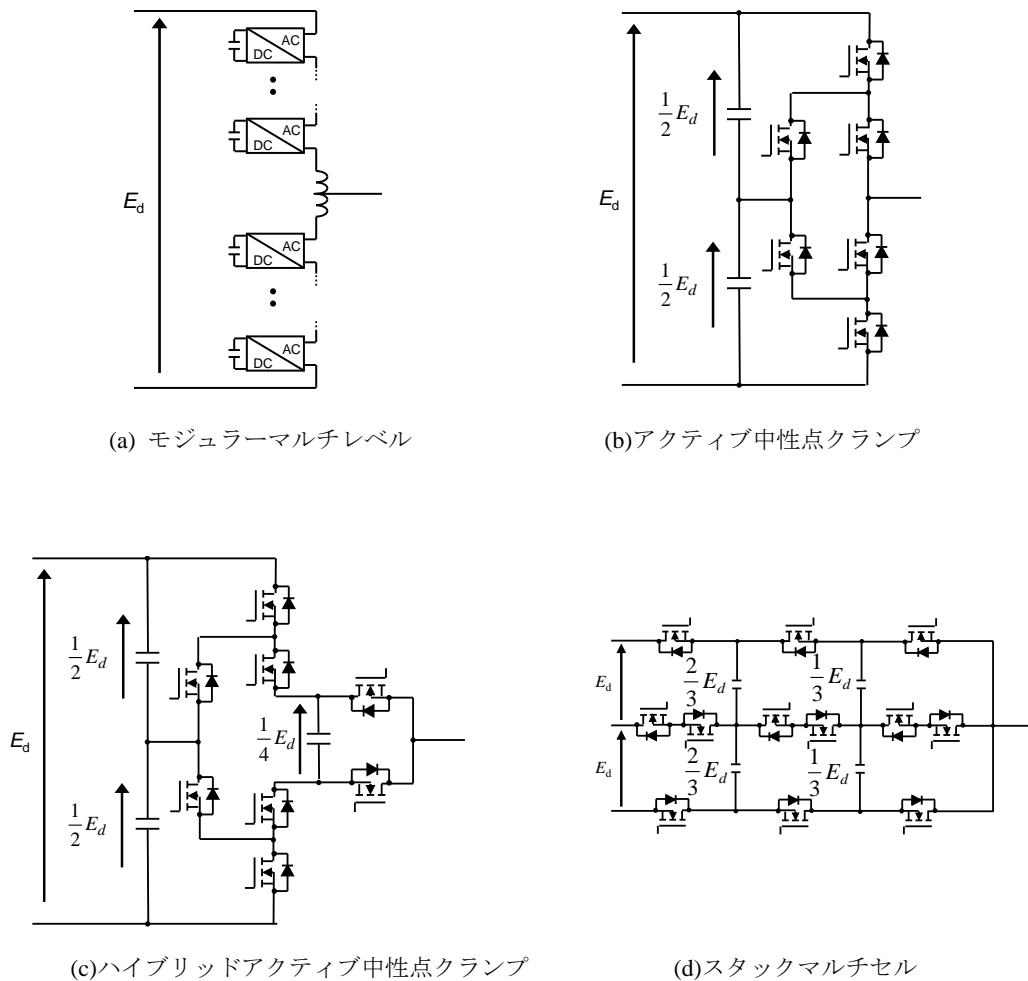


図 2.4 基礎的な回路を派生させたマルチレベル回路方式

流側コンデンサは、出力電流の周波数を主成分とする電圧脈動が生じるため、特にモータドライブ応用等で、低周波数動作の際には、キャパシタの電圧変動が顕著に大きくなってしまいう課題がある<sup>(53)(54)</sup>。

図 2.4(b)のアクティブ中性点クランプ (Active Neutral Clamped: ANPC)方式は、ダイオードクランプ方式のクランプダイオードをスイッチ素子に替えたものである<sup>(55)</sup>。このスイッチ素子を適切に制御することにより、電流経路選択の自由度が改善し、動作モードにより素子損失が局所集中してしまう問題を緩和することができる。

図 2.4(c)のハイブリッドアクティブ中性点クランプ (Hybrid ANPC)方式は、ダイオードクランプ回路とフライングキャパシタ回路を組み合わせた回路方式であり、双方の回路方式の特徴を有する<sup>(56)</sup>。5 レベル回路に限っては、最も損失の少ない回路方式であるとの報告がある<sup>(57)</sup>。

図 2.4(d)のスタックマルチセル (Stacked Multi Cells)方式は、2つのフライングキャパシタ回路を組み合わせた回路構成である<sup>(58)</sup>。

その他にも、様々な回路方式が提案され、様々な機関で研究開発が進められている<sup>(59)(60)</sup>。

## 2.3. 変調方式

マルチレベルインバータは、2 レベルインバータよりも多くの主回路スイッチ素子で構成され、各スイッチ素子を制御するゲート信号も同じだけ必要となる。一般的には、2 レベルインバータの三角波キャリア比較 PWM による信号生成法を拡張し、回路において相補的に動作する主回路スイッチ素子のペアの数だけキャリア波を用意し、素子ごとに割り当てられたキャリア波と電圧指令値とを比較し、当該スイッチ素子のゲート信号を生成する。マルチレベルコンバータで用いられる代表的なキャリア比較 PWM 方式として、指令値に対する各キャリア波の直流オフセットおよび位相の設定の仕方により、以下の 2 つが挙げられる<sup>(61)</sup>。

### 2.3.1. キャリア位相シフト変調方式 (Carrier Phase Shifted Modulation Method)

キャリア位相シフト変調方式 (Carrier phase shifted modulation method) は、図 2.5(a)のようにレベル数  $m$  に対応した $(m-1)$ 個のキャリア波の位相を均等にシフトさせて変調波と比較する方式で、回路内の全てのスイッチが出力基本波周期全体で均等にスイッチングを行う特徴がある<sup>(61)</sup>。しかし、単相 H ブリッジインバータや三相インバータで用いた場合、線間電圧において一度のスイッチングで 2 レベル分電圧が変動するレベルスキップと呼ばれる電圧が発生することが知られている<sup>(62)</sup>。これにより、高調波低減効果が抑制されてしまう。通常、カスケード H ブリッジ方式およびフライングキャパシタ方式において用いられ、全ての主回路スイッチ素子の電圧、電流責務が等しくなるメリットがある。

### 2.3.2. キャリアレベルシフト変調方式(Carrier Level Shifted Modulation Method)

図 2.5(b)のキャリアレベルシフト変調方式 (Carrier level shifted modulation method) は、 $(m-1)$ 個のキャリアに変調波の最大振幅に対して均等に直流オフセットを重畳させる方式である。この方式は、各キャリアの位相が揃っているため相電圧パルスの位相が常に一定となり、線間電圧においても電圧レベル 2 つ分の変化が生じず、そのひずみが小さくなることが知られている<sup>(62)</sup>。通常、ダイオードクランプ方式および T 形方式において用いられる。

両変調方式とも、原理的には全ての回路方式に用いることができるが、それぞれの回路の特徴に適した変調方式が用いられる。

## 2.4. フライングキャパシタコンバータの特徴

### 2.4.1. 動作モードとフライングキャパシタの充放電

フライングキャパシタコンバータは、フライングキャパシタで保持した複数の電圧値をスイッチング状態の切り替えによって加減算し、出力電圧をマルチレベル化する方式である。図 2.6 に最も単純な 3 レベル回路の動作モードを示す。また、図 2.7 に 3 レベルフライングキャパシタ回路の代表的な波形例として、入力電圧 300V、負荷抵抗 50Ω、負荷インダクタンス 20mH、キャリア周波数 1kHz の条件でシミュレーションを行った結果を示す<sup>(63)</sup>。3 レベル回路は 4 つのスイッチと 1 つのフライングキャパシタから構成される。上下のスイッチ  $s_1$  と  $s_{1p}$ 、 $s_2$  と  $s_{2p}$  がペアとなって、各ペアごとに割り当てたキャリア波と指令値との比較により相補的なゲート信号を作成し動作する。3 レベル回路では、素子のペアが 2 組あるためキャリア信号を 2 つ使い、図 2.7 のように互いの位相を 180 度ずらして信号を生成する。図 2.6(a)のように上のスイッチ  $s_1$  と  $s_2$  がオンのとき、負荷電圧は電源電圧と等しくなり、図 2.6(b)のように下のスイッチ  $s_{1p}$  と  $s_{2p}$  がオンのとき、負荷電圧は負の電源電圧となる。また、図 2.6(c)のように  $s_1$  および  $s_{2p}$  がオンのとき、負荷には電源電圧からフライングキャパシタの電圧を引いた電圧が印加され、図 2.6(d)のように  $s_{1p}$  および  $s_2$  がオンとなったとき、負荷にはフライングキャパシタの電圧が印加される。この動作モード III および IV の際、負荷電流がフライングキャパシタを流れ、充放電が行われるとともに、フライング

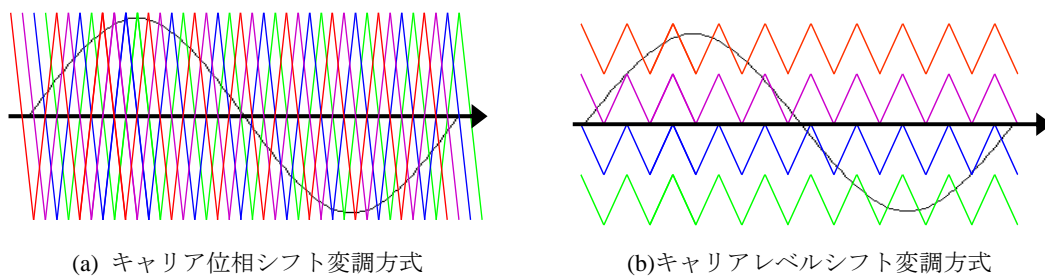


図 2.5 マルチレベルコンバータの代表的な PWM 変調方式



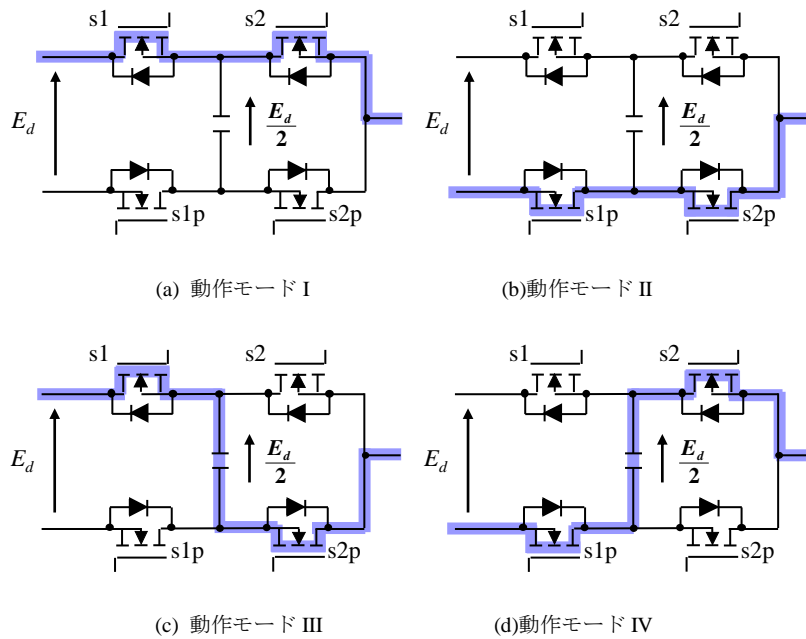


図 2.6 3 レベルフライングキャパシタ回路の動作モード

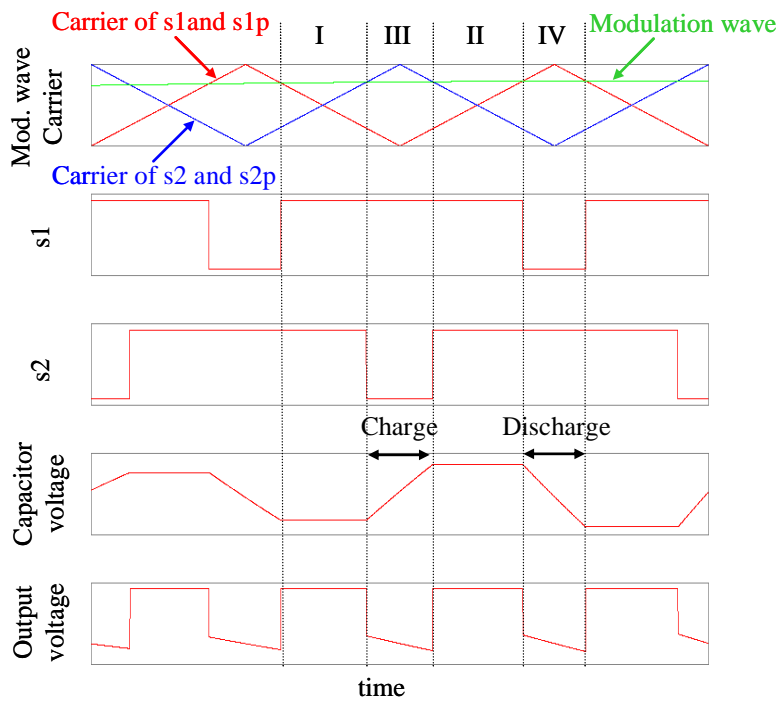


図 2.7 3 レベル回路の信号生成法と各部シミュレーション波形

キャパシタ電圧に脈動が生じる。その際、キャリア 1 周期内に充放電の向きが互いに逆向きであるモード III と IV が均等に現れ、充電と放電の電荷量が等しくなるため、各フライングキャパシタの電圧は各キャリア周期でバランスする。

ダイオードクランプ回路は、一つの電圧レベルを出力する動作モードは一つしか存在し

ないが、フライングキャパシタ回路では、上記のようにレベル数に応じて同一の電圧値を出力する動作モードが複数存在する（3レベル回路では、モードⅢとモードⅣの2つのモード）。したがって、たとえば、一定の電圧を出力する場合においても、同一の電圧値を出力する異なる複数の動作モードを切り替えることにより、全てのフライングキャパシタを均一に充放電させることが可能である。すなわち、原理的には、ダイオードクランプ回路方式のように、キャパシタ電圧バランス制御のための付加回路を用いることなく、各フライングキャパシタの電圧をバランスさせることができる<sup>(64)</sup>。

フライングキャパシタは、PWM キャリア周波数で充放電を行うため、PWM キャリア周波数を高くするほどフライングキャパシタの電圧脈動を小さくすることができる。見方を変えれば、同じ電圧脈動を許容する場合、キャリア周波数を高くするほど静電容量を小さくすることが可能である。

すなわち、フライングキャパシタ回路方式は、キャパシタ電圧バランスのための付加回路や電圧センサが不要であり、さらに高周波動作によりフライングキャパシタを小型化することが可能である。変換器高パワー密度化の観点からは、これは他の3つの基礎的なマルチレベル回路方式にはない大きな特長であるといえる。

#### 2.4.2. 主回路スイッチ素子の損失均一化

2.4.2 項で述べたように、キャリア位相シフト変調方式を適用したフライングキャパシタ回路は、キャリア1周期の間に全ての主回路スイッチが均等にオンオフを行う。したがって、キャリア周期が十分短く、1周期中に電流の変化が無いと見なせる場合、各主回路スイッチ素子には均等に電流が流れるため、素子損失が均一になる。他のマルチレベル回路方式においては、動作条件により特定の主回路スイッチ素子にのみ電流が流れ、熱が局所的に発生してしまう場合があり、そのような方式では、局所的に発生した熱を逃がすために放熱器を大きくする必要がある。フライングキャパシタコンバータは、変調率を変えても常に全ての主回路スイッチ素子の損失が均一になるため、冷却器を比較的小さくすることが可能である<sup>(65)</sup>。

また、これにより、レベル数を増やし、用いる主回路スイッチ素子を多くするほど、等価的な合計の半導体チップ面積が大きくなり、発熱密度を下げるができる。一方、各主回路スイッチ素子の間で熱が偏る回路方式の場合は、レベル数を多くすることにより、熱の集中を緩和することはできるが、それでもある動作条件では必ず電流の集中が起こるため、動作条件を限定しない限り冷却器の小型化にはつながらない。したがって、フライングキャパシタコンバータにおける各主回路スイッチ素子の損失が均一になるという特長は、冷却器の小型化に大きく貢献すると考えられる。

#### 2.4.3. フライングキャパシタの所要耐圧

フライングキャパシタ回路は、回路内の各フライングキャパシタはそれぞれ異なる電圧値を保持し、入力端に近いキャパシタほど耐圧を高く、出力端に近いキャパシタほど耐圧

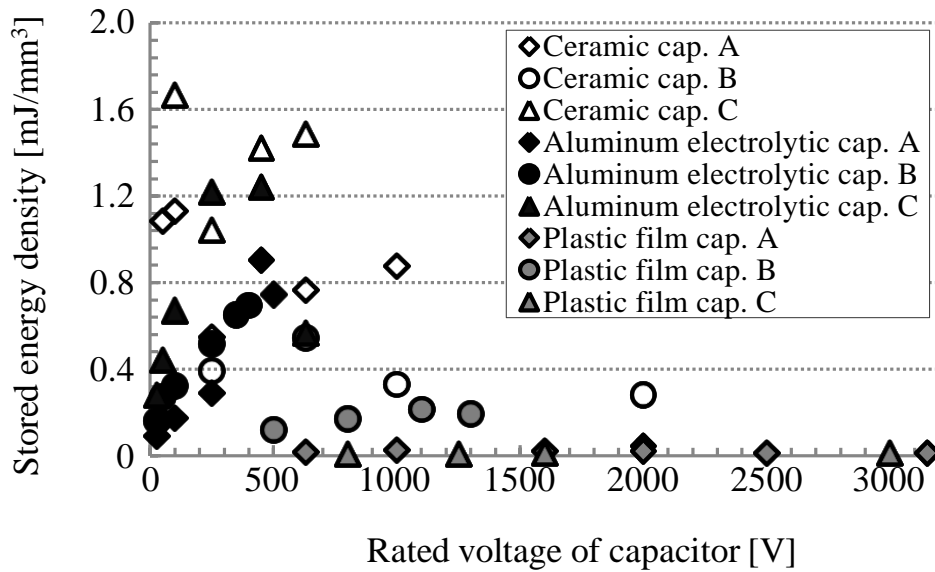


図 2.8 市販されているコンデンサの耐圧と蓄積エネルギー密度

を低くすることで、体積の小型化を図ることができる。

ダイオードクランプ回路の分圧コンデンサは、出力レベル数を多くするほど、キャパシタ一つ当たりの耐圧を低くすることができるが、PWMの高周波化により静電容量は低減できない。これに対して、フライングキャパシタ回路は、出力レベル数を多くするほど、また、PWM周波数を高くするほど、キャパシタ一つ当たりの静電容量を小さくすることができるが、出力レベル数を増やしても入力端に近い最も電圧の高いフライングキャパシタの耐圧を低くすることは出来ない。

図 2.8 は、市販されているチップ積層セラミックコンデンサ、プラスチックフィルムコンデンサ、アルミ電解コンデンサの中からそれぞれ 3 種類の系列を耐電圧ごとにプロットしたものである<sup>(66)</sup>。耐圧の高いキャパシタほど、体積当たりの最大蓄積エネルギーが小さいことが分かる。したがって、フライングキャパシタコンバータは、単位体積当たりの静電容量の大きなコンデンサが使える 1kV 以下程度の電圧の用途において、小型化に有利であるといえる。

#### 2.4.4. 回路の規則性, 対称性

本研究では、出力レベル数をも電力変換器の設計パラメータとし、よりクリーンで高効率、高パワー密度のインバータを実現することを目的としている。マルチレベル回路方式の中には、決まったレベル数においてのみ性能を高くできるものや、T形回路方式のように 3 レベル限定の回路方式として用いられるトポロジーも存在する。つまり、全ての回路方式において、出力レベル数を設計パラメータに出来るわけではない。

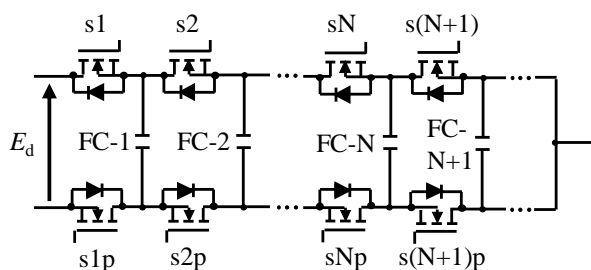


図 2.9 フライングキャパシタ回路の規則性，対称性

フライングキャパシタ回路は，図 2.3(c)で示した回路図について，出力端を境に上下アームを電源側に折り返したような形で描き直すと，図 2.9 のようにラダー状の回路構成であることが分かる。すなわち，規則的かつ対称な回路構成となっており，出力レベル数をいくつに設定しても同じ考えで回路実装が可能である。すなわち，出力レベル数をパラメータ化しやすい回路方式の一つであるといえる。また，ダイオードクランプ回路のように，配線の交差が無いいため回路実装の自由度が高く，寄生インダクタンスを低減しやすい。また，これらの特徴は，第 6 章で述べるモジュール化にも適している。

## 2.5. まとめ

本章では，マルチレベル電力変換器一般の研究動向および各回路方式の特徴，代表的な PWM キャリア比較変調方式について述べた。さらに，本研究対象であるフライングキャパシタ回路方式について，高パワー密度化の観点から得失をまとめた。フライングキャパシタ回路方式の主な特徴は以下の通りである。

- 各フライングキャパシタの電圧は，付加回路や特殊なフィードバック制御無しでバランスさせることができる。
- 各フライングキャパシタは，PWM キャリア周期で充放電されるため，キャリア周波数を高くするほど，所要静電容量を小さくすることができる。
- 変調率に依らず，電圧および電流の責務が全ての主回路スイッチ素子で均等であるため，損失，すなわち発熱が均一となり，放熱器を小型化できる。また，これによりレベル数を増やすほど発熱密度を下げるができる。
- 回路構成がラダー状で交差が無く，レベル数が増えても規則的および対照的に拡張することができるため，実装の自由度が高い。

以上のように，フライングキャパシタ回路方式は，マルチレベル回路方式の中でも高パワー密度化に有利な方式であり，本研究で目指す，次世代の理想的な電力変換器を実現するための有力な候補であることを示した。

## 第3章

### インバータ多レベル化の効果と課題

電力変換器高パワー密度化および波形改善の観点からは、出力レベル数を設計パラメータのひとつとし、与えられた仕様に対して出力レベル数を最適な値に決定する必要がある。そのためには、出力レベル数を変えた場合に電力変換器の特性がどのように変わるかを把握する必要がある。本章では、フライングキャパシタコンバータにおいて、出力レベル数を変えた際の種々の効果を定量的に明らかにし、レベル数を設計パラメータとするために解決すべき課題を明確化する。

#### 3.1. 出力 PWM 波形の高調波低減効果

マルチレベルコンバータが出力する電圧にどのような周波数成分が含まれるかを把握することが、コンバータ出力に接続されるフィルタや負荷に関する検討を行う基礎となる。本節では、出力レベル数や PWM キャリア周波数をパラメータとして、インバータ出力 PWM 電圧波形に含まれる高調波の理論解析を行う<sup>(67)(68)</sup>。

##### 3.1.1. 2 レベルインバータの場合

まず、マルチレベルインバータとの比較対象として、2 レベルインバータについて検討する。2 レベルインバータに関しては、PWM 出力電圧の高調波解析結果が文献(69)、(70)等によって報告されており、直流リンク中点を基準とした出力相電圧のフーリエ級数展開は以下のように表すことができる。

$$\begin{aligned} v_{out} = & A E_d \sin(\omega_0 t + \varphi) \\ & + \sum_{n=1}^{\infty} \left( \frac{4E_d}{n\pi} \right) \left[ 2 \sum_{l=1}^{\infty} J_{2l-1} \left( \frac{An\pi}{2} \right) \sin\{(2l-1)(\omega_0 t + \varphi)\} \cos\left(\frac{n\pi}{2}\right) \right. \\ & \quad \left. - \left\{ J_0 \left( \frac{An\pi}{2} \right) + 2 \sum_{l=1}^{\infty} J_{2l} \left( \frac{An\pi}{2} \right) \cos\{2l(\omega_0 t + \varphi)\} \sin\left(\frac{n\pi}{2}\right) \right\} \right] \cos n\omega_s t \end{aligned}$$

.....(3.1)

ここで、 $E_d$  はインバータ直流入力電圧、 $\omega_0$  は変調波角周波数、 $\omega_s$  はキャリア波角周波数、

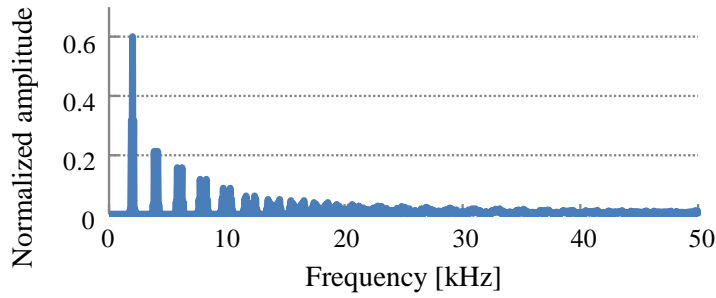


図 3.1 2 レベルインバータ出力電圧の高調波分布  
(キャリア周波数：2 kHz，変調率：1.0)

$J_k$  は  $k$  次の第 1 種ベッセル関数， $A$  は変調率である。これより，高調波  $nf_s \pm kf_0$  成分の振幅は以下のように表される。

$$V_{(nf_s \pm kf_0)} = \frac{4E_d}{n\pi} J_k \left( \frac{An\pi}{2} \right) \dots \dots \dots (3.2)$$

図 3.1 は横軸を周波数，縦軸を基本波振幅で規格化した各調波の振幅を，(3.2) 式においてキャリア周波数 2kHz，変調波周波数 50Hz の条件で図示したものである。キャリア周波数の整数倍の成分とその側帯波がピークとして現れており，2 レベルインバータの PWM 出力電圧に含まれる高調波成分として，それらが支配的であることがわかる。

以下では，これを元に，2.3 節で示した代表的な 2 種類のキャリア比較信号生成方式を用いた際のマルチレベル出力相電圧波形について解析を行う。前述のように，マルチレベルインバータにおいては，信号生成のために複数のキャリア波を用いるが，2 レベルインバータの場合の解析手法を拡張し，各キャリア波と変調波についての理論式の和として扱うことで導出が可能である<sup>(68)</sup>。

### 3.1.2. キャリア位相シフト変調を適用したマルチレベルインバータの場合

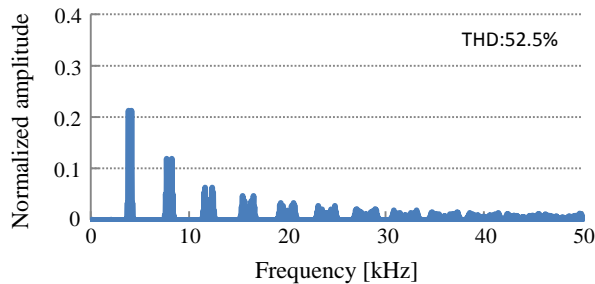
キャリア位相シフト変調方式においては，出力基本波周期全体で全てのキャリア波と変調波が交差し，全てのキャリア周期内で全てのスイッチがスイッチングを行う。位相の異なるキャリア波それぞれについては，2 レベルインバータの場合と同様に表現することができ，位相の異なるそれらの電圧の和として理論式が得られる。以上より，キャリア位相シフト信号生成方式を用いた場合の  $m$  レベルインバータ出力電圧のフーリエ級数展開は (3.3) 式のようになる。

$$\begin{aligned} v_{out} = & A E_d \sin(\omega_0 t + \varphi) \\ & + \sum_{n=1}^{\infty} \left( \frac{4E_d}{n(m-1)\pi} \right) \left[ 2 \sum_{l=1}^{\infty} J_{2l-1} \left( \frac{An(m-1)\pi}{2} \right) \times \sin\{(2l-1)(\omega_0 t + \varphi)\} \cos \left( \frac{n(m-1)\pi}{2} \right) \right. \\ & \left. - \left\{ J_0 \left( \frac{An(m-1)\pi}{2} \right) + 2 \sum_{l=1}^{\infty} J_{2l} \left( \frac{An(m-1)\pi}{2} \right) \right\} \right] \end{aligned}$$

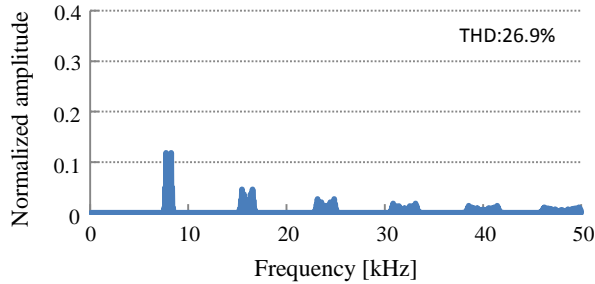
$$\times \cos\{2l(\omega_0 t + \varphi)\} \sin\left(\frac{n(m-1)\pi}{2}\right)\} \cos n(m-1)\omega_s t \dots\dots\dots (3.3)$$

$$V_{(n(m-1)f_s \pm kf_0)} = \frac{4E_d}{An(m-1)\pi} J_k\left(\frac{An(m-1)\pi}{2}\right) \dots\dots\dots (3.4)$$

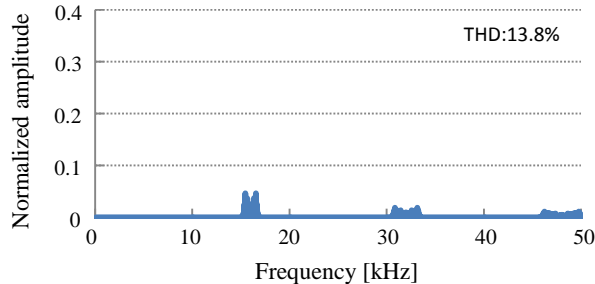
図 3.2 は横軸を周波数、縦軸を基本波振幅で規格化した各調波の振幅を、(3.4)式においてレベル数を 3, 5, 9 レベル、キャリア周波数 2kHz, 変調波周波数 50Hz, 変調率 1.0 の条件で図示したものである。図 3.1 の 2 レベルインバータの高調波分布と比較すると、同じキャリア周波数においても、キャリア位相シフト形マルチレベル方式の場合は出現するピークの数が減り、最低次高調波の次数が高くなっていることがわかる。例えば、3 レベルにおいては、2 レベルの場合の高調波分布からキャリア周波数の偶数次高調波を抜き出した分布となっ



(a) 3 レベルインバータ



(b) 5 レベルインバータ



(c) 9 レベルインバータ

図 3.2 キャリア位相シフト変調を適用したマルチレベルインバータ出力電圧の高調波理論解析結果 (キャリア周波数 : 2 kHz)

ており、出現する各調波成分についてはその振幅は2レベルの場合と同じである。さらに、5、9レベルにおいても、2レベルの高調波分布からそれぞれキャリア周波数の4の倍数次、8の倍数次の成分を抜き出した分布となっていることが確認できる。すなわち、(3.4)式からもわかる通り、 $m$ レベルの場合には、キャリア周波数の $(m-1)$ の倍数次のピークが出現することがわかる。したがって、最低次調波成分の周波数はキャリア周波数の $(m-1)$ 倍であり、レベル数  $m$  が多いほど最低次調波の周波数が高くなる。

図 3.2 では、キャリア周波数一定の条件で比較を行ったが、レベル数  $m$  に対してキャリア周波数を  $1/(m-1)$ 倍とし、回路全体の総スイッチング回数すなわち出力電圧から見たインバータ全体の等価的な PWM 周波数（以下、等価出力 PWM 周波数）を揃えた条件での比較も考えられる。この場合には、レベル数によらずピークが出現する次数は変わらないが、レベル数が多いほど各調波の振幅が小さくなる。

### 3.1.3. キャリアレベルシフト変調を適用したマルチレベルインバータの場合

キャリアレベルシフト変調方式においては、変調波の位相や変調率により個々のキャリア波と変調波が重なる期間と重ならない期間があるため、2レベルインバータと同様の理論式にはならない。そのため、導出の考え方はキャリア位相シフト方式の(3.3)式の場合と同じであるが、(3.4)式のようにまとめることは困難であり、出力電圧のフーリエ級数展開式とその各係数は以下ようになる。

$$\begin{aligned}
 v_{out} &= A E_d \sin(\omega_0 t + \phi) \\
 &+ \sum_{n=1}^{n_m} \sum_{p=1}^{\infty} \frac{4A E_d}{p\pi(m-1)} \left[ \sin \left\{ \frac{p\pi(m-1)}{2} \left( v_{qn+} - \frac{2n}{m-1} \right) \right\} \right. \\
 &+ \left. \sin \left\{ \frac{p\pi(m-1)}{2} \left( v_{qn-} - \frac{2(1-n)}{m-1} \right) \right\} \right] \cos p\omega_s t \dots\dots\dots (3.5)
 \end{aligned}$$

$$v_{qn\pm} = A E_d \left\{ \pm \frac{a_{0n}}{2\pi} + \frac{a_{1n}}{\pi} \cos \omega_0 t + \frac{b_{1n}}{\pi} \sin \omega_0 t \pm \frac{1}{\pi} \sum_{q=2}^{\infty} (a_{qn} \cos q\omega_0 t + b_{qn} \sin q\omega_0 t) \right\} \dots\dots\dots (3.6)$$

$$a_{0n} = 2 \sum_{n=1}^{n_m} \left( \frac{\sqrt{m-2n+1}\sqrt{m+2n-3}}{m-1} - \frac{\sqrt{m-2n-1}\sqrt{m+2n-1}}{m-1} \right) \cos \phi \dots\dots\dots (3.7)$$

$$a_{1n} = \frac{\sin 2x - \sin 2y + 2(x-y)}{2} \sin \phi \dots\dots\dots (3.8)$$

$$b_{1n} = \frac{\sin 2y - \sin 2x + 2(x-y)}{2} \cos \phi \dots\dots\dots (3.9)$$

$$a_{qn} = \left[ \frac{(n+1) \left\{ \cos \frac{2(q-1)x - q\pi}{2} - \cos \frac{2(q-1)y - q\pi}{2} \right\}}{n^2 - 1} + \frac{(n-1) \left\{ \cos \frac{2(q+1)x - q\pi}{2} - \cos \frac{2(q+1)y - q\pi}{2} \right\}}{n^2 - 1} \right] \cos \frac{q\pi + 2\phi}{2} \dots\dots (3.10)$$



$$b_{qn} = \left[ \frac{(n+1) \left\{ \cos \frac{2(q-1)x - q\pi}{2} - \cos \frac{2(q-1)y - q\pi}{2} \right\}}{n^2 - 1} - \frac{(n-1) \left\{ \cos \frac{2(q+1)x - q\pi}{2} - \cos \frac{2(q+1)y - q\pi}{2} \right\}}{n^2 - 1} \right] \sin \frac{q\pi + 2\phi}{2} \dots\dots\dots (3.11)$$

ただし、 $x$  および  $y$  は(3.12)式で表され、図 3.3 に示すように変調波がキャリア波の境界と接する点を表す。

$$x = \sin^{-1} \left( \frac{2n}{A(m-1)} E_d \right), y = \sin^{-1} \left( \frac{2(n-1)}{A(m-1)} E_d \right) \dots\dots\dots (3.12)$$

また、 $n_m$  は  $n$  がとる最大値であり、以下を満たす正の整数である。

$$\frac{A(m-1)}{2} \leq n_m < \frac{A(m-1)}{2} + 1 \dots\dots\dots (3.13)$$

ただし、ここではレベル数が奇数の条件で導出した。

図 3.4 は横軸を周波数、縦軸を基本波振幅で規格化した各調波の振幅として (3.5) 式をレベル数 3, 5, 9 レベル、キャリア周波数 2 kHz、変調波周波数 50 Hz の条件で図示したものである。図 3.2 のキャリア位相シフト方式の場合と比較して、出現する各高調波の次数はマルチレベル化によって高くなり、キャリア周波数の整数倍の成分が支配的である。また、高調波の振幅のピークはキャリアオフセット方式の方が僅かに大きくなるのがわかる。なお、2つの変調方式の比較については、3.1.2 節でも述べた通り、等価出力 PWM 周波数すなわちキャリア周波数の  $(m-1)$  倍を基準とする等、他の条件での比較も考えられるが、ここでは各変調方式についてレベル数とキャリア周波数による高調波成分の差異を観察するため、図 3.2 および図 3.4 のようにキャリア周波数一定の条件で比較を行った。

以上のように、レベル数、基本波周波数、キャリア周波数、変調率、基本波の位相をパラメータとして、マルチレベルインバータの出力相電圧の高調波分布を表す一般式を導出した。本式は出力相電圧に関する一般式であるが、各高調波成分は位相を含んだ形で表されているため、これを利用して線間電圧や三相負荷の相電圧、コモンモード電圧等の高調波分布を求めることも可能である。したがって、これらの式を利用すれば、単相フルブリッジインバータや三相インバータにおける出力電流高調波の算定を行うことができる。

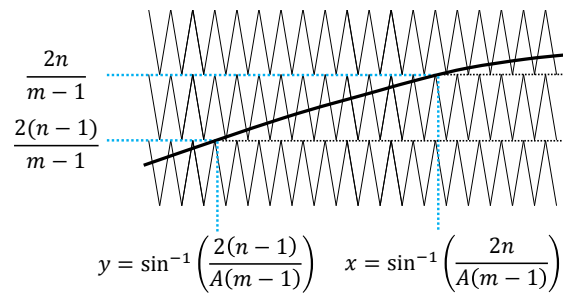
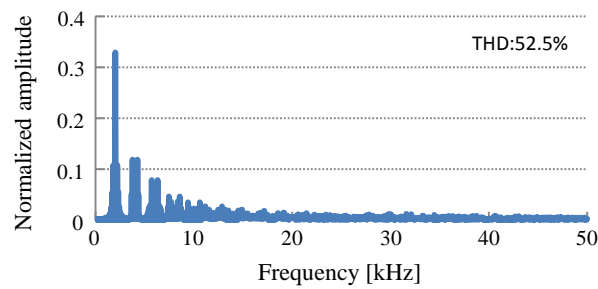
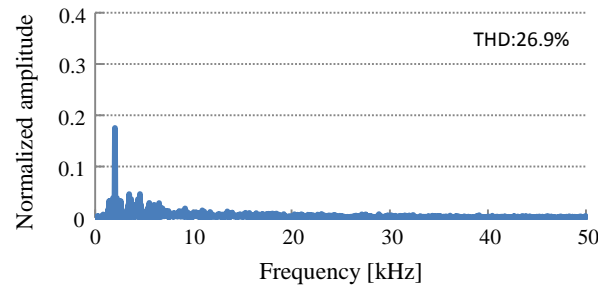


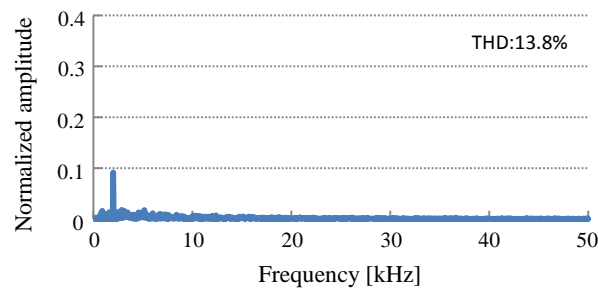
図 3.3 キャリアレベルシフト変調方式における変調波とキャリア波の関係



(a) 3 レベルインバータ



(b) 5 レベルインバータ



(c) 9 レベルインバータ

図 3.4 キャリアレベルシフト変調を適用したマルチレベルインバータの出力高調波解析結果 (キャリア周波数: 2 kHz)

### 3.1.4. 全高調波ひずみ率 (THD)

本章では、波形のひずみの程度を表す全高調波ひずみ率 (THD: Total Harmonic Distortion) について、各レベル数に対応する理論式を導出する<sup>(68)</sup>。キャリア 1 周期毎に PWM 出力電圧の平均値と変調波の瞬時値とが一致していれば、第 2 章の図 2.5 に示した 2 つのキャリア比較信号生成方式においてはいずれも出力 PWM 電圧における各電圧レベルの出現時間の割合が等しくなり、全実効値が等しくなるため、2 つの信号生成方式において、同じレベル数における THD はそれぞれ等しくなる。したがって、THD の理論式は変調方式の区別をせず求めることができ、キャリア周波数にも依存しない。ここではレベル数が奇数の場合について示すが、偶数レベルの場合も同様の考え方で求めることができる。

図 3.5 のようなマルチレベル出力電圧波形 1 ステップ分のパルス列において、上位側のパルス幅の合計、すなわち  $2jE_d/(m-1)$  が出力されている時間を  $W_{i,j}$ 、低電位側のパルス幅の合計  $2iE_d/(m-1)$  が出力されている時間を  $W'_{i,j}$  とすると、1 ステップ分の時間幅から以下の関係が成り立つ。

$$W'_{i,j} + W_{i,j} = x_j - x_i \dots\dots\dots (3.14)$$

ただし、 $x_i$  は以下である。

$$x_i = \sin^{-1} \left( \frac{2i}{A(m-1)} E_d \right) \dots\dots\dots (3.15)$$

また、パルス列の平均値は変調波 (正弦波) の平均値と等しいため、以下が成り立つ。

$$\frac{W'_{i,j} \left( \frac{2i}{m-1} E_d \right) + W_{i,j} \left( \frac{2j}{m-1} E_d \right)}{x_j - x_i} = \frac{AE_d \int_{x_j}^{x_i} \sin \theta \, d\theta}{x_j - x_i} \dots\dots\dots (3.16)$$

(3.14), (3.16) 式を解くと、 $W_{i,j}$ 、および  $W'_{i,j}$  が求まり、

$$W_{i,j} = \frac{A(m-1)}{2} [\cos x_j - \cos x_i] + i \{x_i - x_j\} \dots\dots\dots (3.17)$$

$$W'_{i,j} = \frac{A(m-1)}{2} [\cos x_i - \cos x_j] + j \{x_j - x_i\} \dots\dots\dots (3.18)$$

となる。(3.17), (3.18) 式を用いて PWM 出力電圧の実効値  $V_{rms}$  および THD は以下のよう  
に求められる。

$$V_{rms} = \left[ \frac{2}{\pi} \left\{ \sum_{i=0}^{i_m-1} \left[ W'_{i,j} \left( \frac{2i}{m-1} E_d \right)^2 + W_{i,j} \left( \frac{2(i+1)}{m-1} E_d \right)^2 \right] + W'_{i_m, \frac{A(m-1)}{2}} \left( \frac{2i_m}{m-1} E_d \right)^2 + W_{i_m, \frac{A(m-1)}{2}} \left( \frac{2(i_m+1)}{m-1} E_d \right)^2 \right\} \right]^{\frac{1}{2}} \dots\dots\dots (3.19)$$

$$THD = \frac{\sqrt{V_{rms}^2 - \left( \frac{AE_d}{\sqrt{2}} \right)^2}}{AE_d/\sqrt{2}} \dots\dots\dots (3.20)$$

ただし、 $i_m$  ( $i_m = 0, 1, 2, \dots$ ) は変調率  $A$  に関する (3.21) 式を満たす。

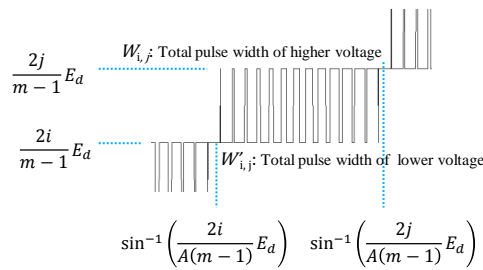
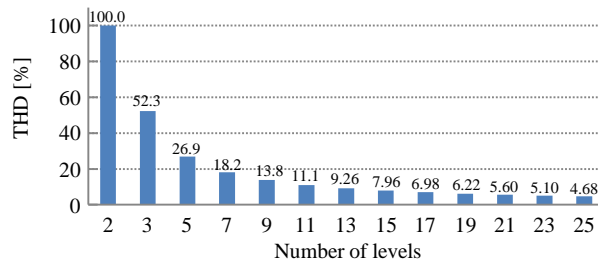
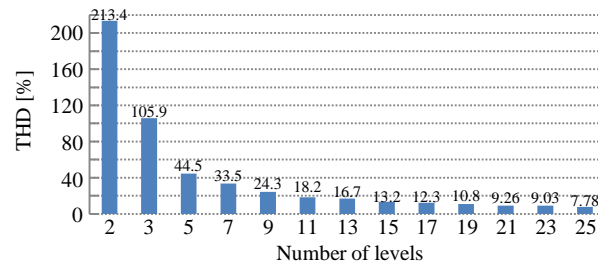


図 3.5 マルチレベル出力電圧 1 段分のパルス列



(a) 変調率 : 1.0



(b) 変調率 : 0.6

図 3.6 THD と出力レベル数の関係

$$\frac{A(m-1)}{2} - 1 \leq i_m < \frac{A(m-1)}{2} \dots\dots\dots (3.21)$$

図 3.6 は、変調率が 1.0 および 0.6 のときの (3.20) 式により求めた各レベル数に対する THD である。2 レベルインバータの THD に対して、3 レベルインバータでは約半分、5 レベルインバータでは約 4 分の 1 の THD となることがわかる。また、この傾向は変調率が 1.0 の場合と 0.6 の場合に共通していることから、変調率にほぼ関係なく見られる結果であると考えられる。変調率が 1.0 の場合には、25 レベルにまでレベル数を増やすことで THD を 5.0% 以下に低減できることがわかる。

### 3.1.5. 実験検証

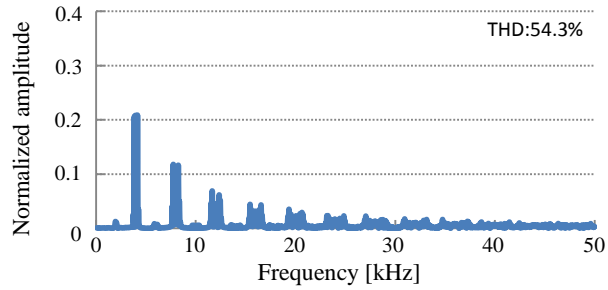
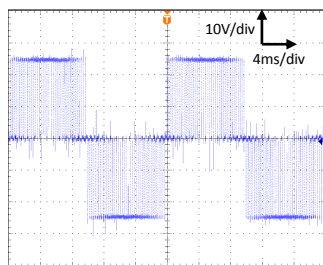
フライイングキャパシタ回路方式およびダイオードクランプ回路方式の単相ハーフブリッジ試作回路を用いて、出力相電圧の理論解析結果の妥当性を実験により評価する<sup>(68)</sup>。

(1) キャリア位相シフト信号生成方式

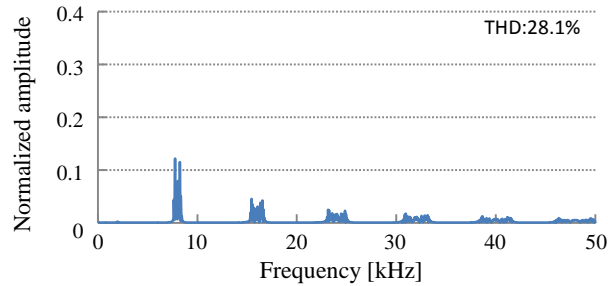
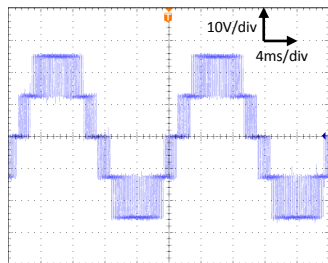
3, 5, 9 の各レベルのフライングキャパシタ回路において実験を行った。図 3.7 に観測波形、および高調波解析結果を示す。高調波解析結果は、理論解析により求めた図 3.2 とよく一致しており、解析式は出力電圧を正確に表現できていることが確認できる。また、図 3.8(a) は 5 レベルインバータ出力電圧におけるスイッチング周波数の 1 倍の周波数付近の詳細なスペクトルの理論解析結果であり、図 3.8(b) の実験結果のスペクトルと側帯波も含めてほぼ一致していることが確認できる。

(2) キャリア位相シフト信号生成方式

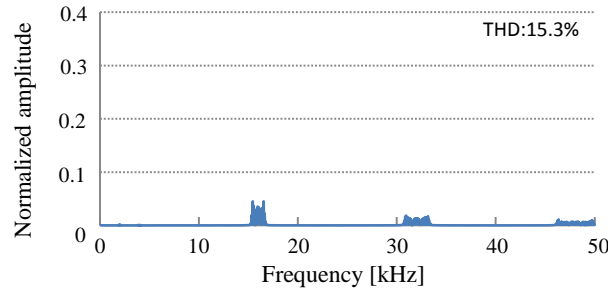
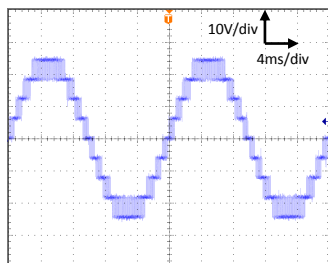
3, 5, 9 の各レベルのダイオードクランプ回路について実験を行った。図 3.9 に観測波形、および高調波解析結果を示す。高調波解析結果は、理論解析により求めた図 3.4 とよく一致しており、解析式は出力電圧を正確に表現できていることが確認できる。



(a) 3 レベルインバータ

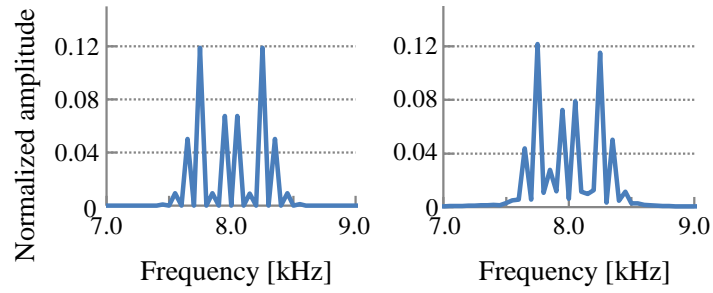


(b) 5 レベルインバータ



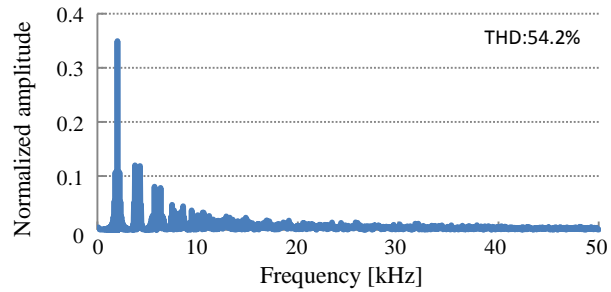
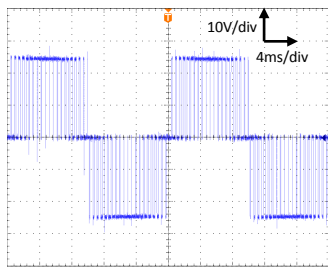
(c) 9 レベルインバータ

図 3.7 キャリア位相シフト変調を適用したマルチレベルインバータの出力電圧高調波解析実験結果 (キャリア周波数: 2 kHz)

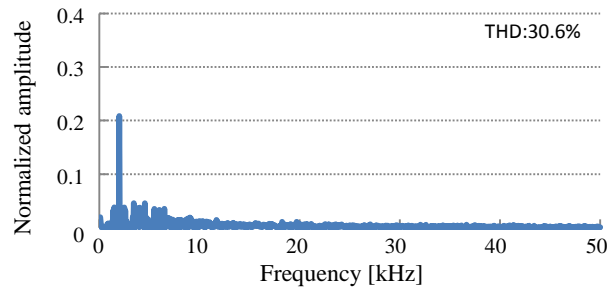
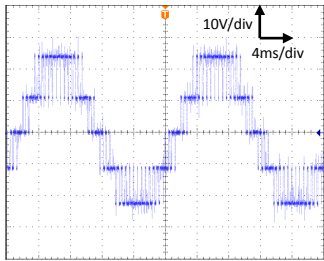


(a) 理論解析結果 (b) 実験結果

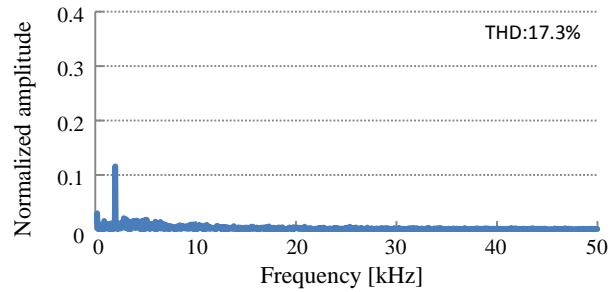
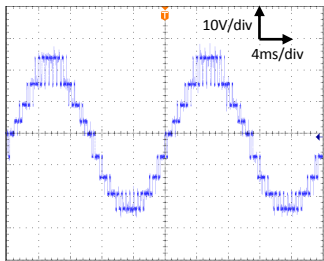
図 3.8 5 レベルインバータの出力電圧における  
キャリア周波数の 1 次高調波成分の詳細分布 (キャリア周波数 : 2 kHz)



(a) 3 レベルインバータ



(b) 5 レベルインバータ



(c) 9 レベルインバータ

図 3.9 キャリアオフセット変調を適用したマルチレベルインバータの  
出力電圧高調波解析実験結果 (キャリア周波数 : 2 kHz)

## 3.1.6. モーションコントロールシステムへの応用例

従来の2レベルコンバータに比べ、キャリア位相シフト変調を用いたマルチレベルコンバータは、先に述べた通り、レベル数を増やすほど等価出力PWM周波数を高くすることができ、制御周期を短くすることが出来るため、制御性能の面でも有利であると考えられる。また、高調波や電流脈動を小さくできる利点も有利に働くと考えられる。本節では、制御面から変換器マルチレベル化の効果を検証する<sup>(71)(72)</sup>。応用例として、モーションコントロール分野において一般的な、外乱オブザーバを適用したDCモータの位置制御システムに9レベルコンバータを適用し、2レベルコンバータとの性能比較を行う。図3.10および図3.11は、今回想定する制御システムのブロック線図と外乱オブザーバのブロック線図である。図3.10において、制御手法は全く同一の条件で、電力変換器の箇所を2レベルおよび9レベルコンバータを用いた際の制御性能を評価する。通常モーションコントロールシステムにおいては、電力変換器として2レベルコンバータの出力に高調波フィルタを接続したD級アンプを用いるが、本実験においてはコンバータとモータの間にフィルタは接続せずに行う。本検討では、2レベルコンバータを用いる場合は、PWMキャリア周波数を10kHzおよび80kHzとし、9レベルコンバータを用いる場合はPWMキャリア周波数を10kHzとした。すなわち、2レベルコンバータと9レベルコンバータとで、PWMキャリア周波数を10kHzに合わせた場合および等価出力PWM周波数を80kHzに合わせた場合の2つの場合について比較を行った。表3.1に実験装置の各パラメータを示す。

図3.12(a), (b), (c)は、各コンバータを用い、モータ角度の指令値を0 radから0.5 radにステップ状に変化させた際のモータ角度とモータ電流の観測波形である。2レベルコンバータを用いた場合、モータ電流には大きなリップルが確認でき、高周波のリップルと低周波のリップルが存在することが分かる。妥当性検証のための実験結果より、高周波のリップルはコンバータのPWM周波数に起因するものであり、低周波のリップルは外乱オブザーバとコンバータの相互作用により発生しているものだと考えられる。外乱オブザーバを用いずに位置制御を行

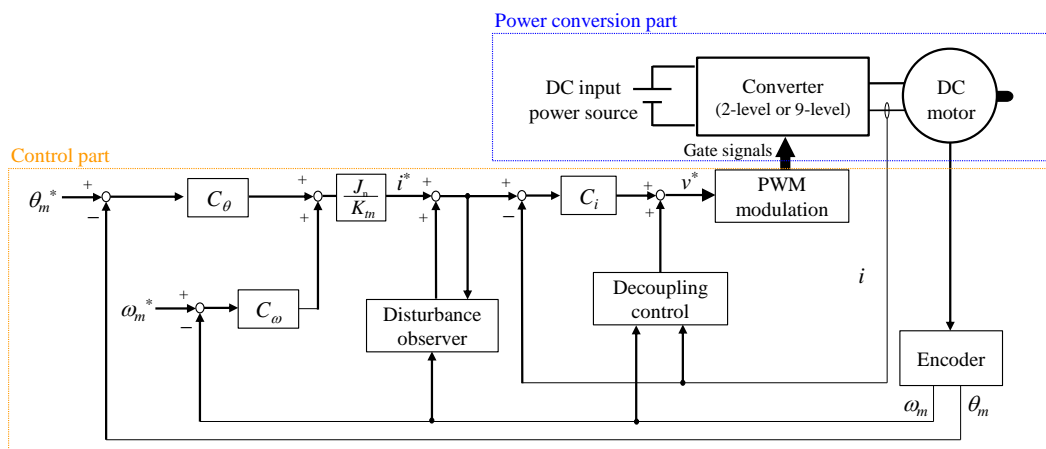


図3.10 外乱オブザーバを用いたDCモータ位置制御システムのブロック線図。

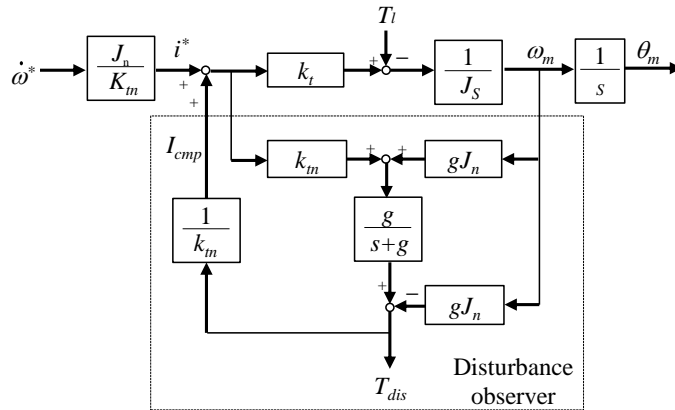


図 3.11 外乱オブザーバのブロック線図.

表 3.1 DC モータ位置制御システムのパラメータ

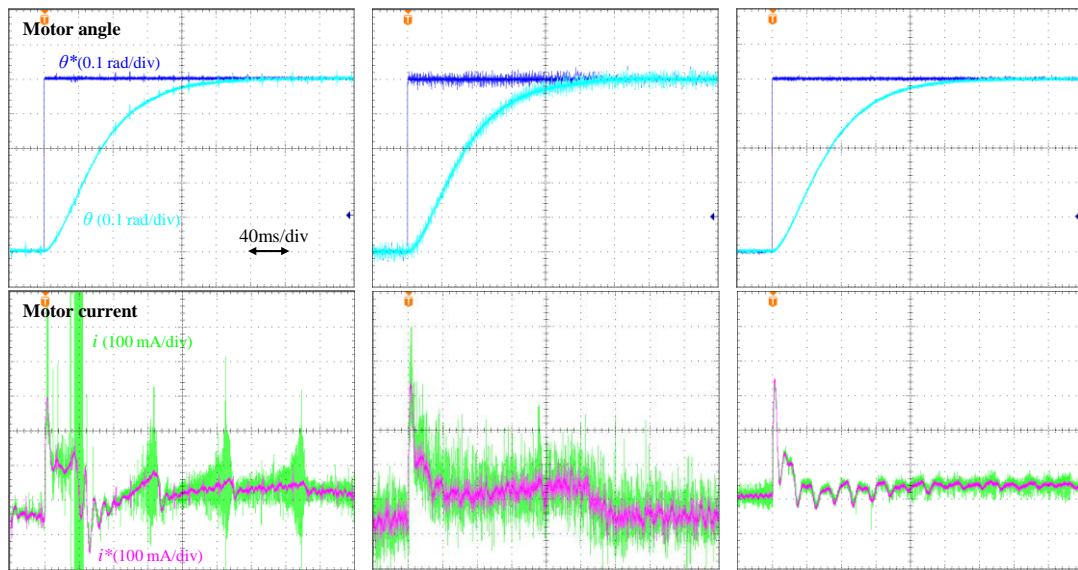
Symbol	Meaning	Value
$E_d$	Input DC voltage	40 V
$T_C$	Control period	0.10 ms
$R_0$	Motor resistance	1.13 $\Omega$
$L_d$	Motor inductance	0.329 mH
$K_e$	Back electromotive force constant	6.33 mV/rpm
$J$	Moment of inertia	137 g cm <sup>2</sup>
$T_{\text{shaft}}$	Shaft time constant	4.28 ms
$k_p$	Proportional gain for current control	3.29 V/A
$k_i$	Integral gain for current control	$113 \times 10^3$ V/A s
$k_\omega$	Speed gain	60 A s/rad
$k_\theta$	Position gain	900 A/rad

った際には、低周波のリプルは見られず、正弦波状の電流波形が確認できた。これに対して、9 レベルコンバータを用いた際の電流波形では、電流リプルは非常に小さくなっていることが分かる。

図 3.13(a), (b), (c)は、各コンバータを用い、モータ角度の指令値を 1Hz の正弦波としたときの応答波形である。ステップ応答の場合と同様に、9 レベルコンバータを用いることで、電流リプルが大幅に低減できていることが確認できる。

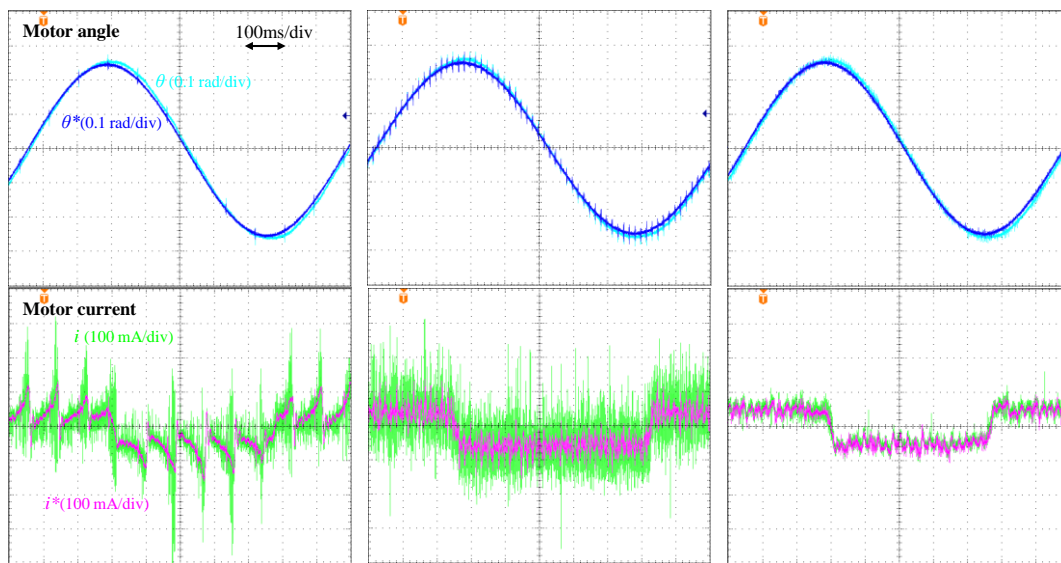
また、ステップ応答および正弦波応答いずれにおいても、モータ角度については、2 レベルおよび 9 レベルコンバータを用いた際の応答の違いは見られなかった。機械系の応答は電気系の応答に比べて 4 桁以上遅く、電流波形に見られる高周波のリプルは機械系の応答には





(a) 2 レベルコンバータ(10kHz) (b) 2 レベルコンバータ(80kHz) (c) 9 レベルコンバータ(80kHz)

図 3.12 ステップ応答の実験結果



(a) 2 レベルコンバータ(10kHz) (b) 2 レベルコンバータ(80kHz) (c) 9 レベルコンバータ(80kHz)

図 3.13 正弦波位置指令値の実験結果

ほぼ影響しないことが分かる。しかし、2 レベルコンバータを用いた際のモータ角度波形には、周期的なサージ電圧が確認できる。このサージについては、何らかのノイズとして信号に乗っているものと考えられるが、いずれにしても、電力変換器が発生する EMI のレベルは用途に応じて十分に低い水準にする必要があり、特に電流値に対して敏感な応答をする極小容量のモータの位置制御を高精度で行う場合などには、マルチレベルコンバータのように本質的に発生する EMI が小さい電力変換器が必要になると考えられる。

以上より、モーションコントロール応用においては、モータの位置制御性能に対してはほ

ば改善効果が見られなかったが、電流波形のリプルが大幅に低減され、制御システムの信頼性に関わる EMI についても大幅な改善効果が見られた。以上のように、引き続き検討が必要ではあるが、マルチレベルコンバータにより、2 レベルコンバータを用いる場合に比べて高精度かつ高速応答の制御システムを実現できる可能性を示すことができた。

### 3.2. 高調波損失の低減効果

マルチレベルインバータは、従来の2 レベルインバータに対して、複数の電圧レベルを出力することができるため、本質的に出力電圧高調波の低減が可能である。この効果により、負荷として用いるモータや負荷の前段に接続する高調波フィルタなどにおいて発生する高調波起因の損失を低減できると期待される。これまで、インバータが発生する高調波によって負荷で増加する損失に関しては、モータを例としていくつかの検討例がある<sup>(73)(74)</sup>。

本節では、インバータのマルチレベル化による負荷の損失低減効果について、モータやフィルタの基礎となるインダクタ試料を例として基礎的な検討を行う。2 レベルおよびマルチレベルインバータを用いてインダクタ試料を励磁し、生じる鉄損を評価する。特に、インバータの変調率およびキャリア周波数に着目して、マルチレベルインバータの高調波鉄損低減効果の程度を条件ごとに整理する。

2 レベルインバータは、出力電圧に含まれる高調波の影響により、正弦波を印加する場合に比べ、負荷の損失が増加してしまうことが知られている<sup>(75)(76)(77)</sup>。それに対し、マルチレベルインバータは出力電圧に含まれる高調波が少ないため、2 レベルインバータで増加する高調波起因の損失を低減できると期待される。以下では、インバータの負荷端にインダクタ試料を接続した際の試料の特性について、実験的検討を行う<sup>(78)</sup>。

#### (1) 実験方法

図 3.14 のように、単相ハーフブリッジの2 レベルおよびマルチレベルインバータの出力

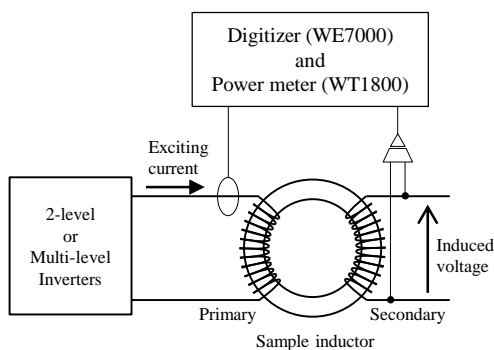


図 3.14 鉄損評価システムの構成

表 3.2 インダクタ試料の諸元

Core material	Magnetic steel sheet
Type of material	50H300
Shape of core	Toroidal core
Diameter of outside	127 mm
Diameter of inside	102 mm
Height	7 mm
Cross section	87.5 mm <sup>2</sup>
Primary turns	270 turns
Secondary turns	268 turns

端に表 3.2 に示す仕様のインダクタ試料を接続し、基本波周波数 50Hz、最大磁束密度 1.0T 一定で励磁した際の試料で発生する鉄損を測定した。高調波により増加する鉄損を評価するため、基本波周波数 50Hz 一定とし、基本波によって生じる鉄損を変えずに測定を行った。マルチレベルインバータには、キャリア位相シフト変調方式を用いたフライングキャパシタマルチレベルインバータを使用した。測定は、一次巻線の励磁電流と二次巻線の誘起電圧の数値データをディジタイザ（YOKOGAWA WE7000）によって収集し、インダクタ試料の巻数を考慮して計算により鉄損を算出した。本実験を通して、ディジタイザの分解能は 16bit、サンプリング時間は 100ns、基本波 1 周期 20ms 当たりのデータ数を 200,000 点とした。また、測定データの妥当性を確保するため、同様にパワーメータ（YOKOGAWA WT1800）によっても測定値の確認を行った。本実験を通して、ディジタイザとパワーメータで測定した鉄損はほぼ一致している。

## (2) 測定結果および考察

2, 3, 5, 9 の各レベルのインバータによりインダクタ試料を励磁した際の鉄損の測定結果を図 3.15 に示す。横軸を変調率、縦軸を鉄損実測値として各キャリア周波数毎に示した。なお、キャリア位相シフト信号生成方式を用いたマルチレベルインバータにおいては、出力電圧の PWM 周波数がキャリア周波数の  $m-1$  倍 ( $m$  はレベル数) となるため、出力電圧の PWM 周波数が 2 レベルインバータと一致するよう、キャリア周波数を設定した。

図 3.15(a)の 2 レベルインバータでの測定結果に対して、図 3.15(b)~(d)のマルチレベルイ

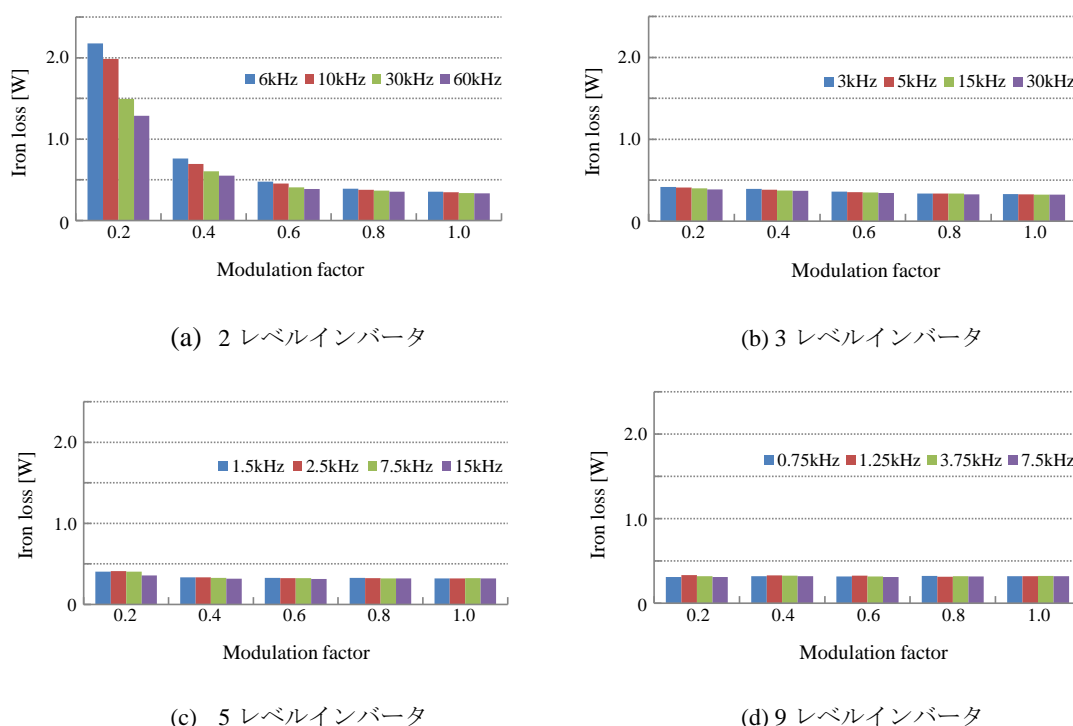


図 3.15 各出力レベル数のインバータを用いた際の鉄損測定結果

ンバータではレベル数が多いほど鉄損を低減できていることが確認でき、特に、変調率が低い範囲で顕著である。また、2レベルインバータにおいては、キャリア周波数が高いほど鉄損が小さくなっていることが確認できる。

図 3.16 は、2レベルおよび9レベルインバータの変調率 0.2 における測定波形と B-H カーブの比較である。前述のように、本実験では、変調率に依らずに試料の最大磁束密度が 1.0T となるように変調率に応じてインバータ入力電圧を変化させた。すなわち、2レベルインバータを用いた場合には、変調率を小さくするほど PWM 出力電圧の振幅を大きくした。それに対し、マルチレベルインバータを用いた場合には、変調率が小さい場合には低い電圧レベルのみを出力することにより、PWM 出力電圧の振幅を小さくすることができる。すなわち、マルチレベルインバータにおいて変調率が低いときには、2レベルインバータにおいて直流入力電圧を低くした場合や PAM 制御を行った場合のように、インバータ PWM 出力電圧パルスの振幅が出力電圧指令値により近くできる。その上、これはインバータのレベル数が多いほど細かく制御することができる。例えば、5レベルインバータでは、変調率 0.5 以上で 5レベル出力、0.5未未満で 3レベル出力となるが、9レベルインバータにおいては、変調率 0.25未未満、0.25以上、0.5以上、0.75以上において、それぞれ 3、5、7、9レベルと 4段階で最大振幅を変えることができる。また、3.1節で述べた理論解析結果をもとに、変調率 0.2 のときの 2レベルおよび9レベルインバータの出力電圧に含まれる高調波を解析すると、図 3.17 のようになる。2レベルでは、基本波に対して高調波が非常に大きく、全高調波ひずみ率 (THD) は 700%にもなる。一方、9レベルインバータでは、2レベルに比べて高調波の振幅が圧倒的に小さく、THD は理論値で 76.8%となる。この効果により、本実験においては、9レベルインバータを用いた場合、2レベルインバータに対して、最大で約 76%の鉄損低減効果が得られた。

他方、変調率が高い場合においても、レベル数が多い方が、僅かに鉄損が小さくなっていることが確認できる。これは、レベル数が多いほど出力電圧波形に含まれる高調波が小さく、それにより励磁電流のリプルも小さくなることによる効果である。図 3.18 は変調率 1.0 における各インバータおよびリニアアンプを用いた場合の実験波形と B-H カーブである。電圧波形が正弦波に近づくほど、B-H カーブのマイナーループが小さくなり、鉄損が小さくなることがわかる。変調率 1.0 での実験においては、2レベルインバータに対して、3レベルおよび9レベルの出力電圧波形を用いた場合、それぞれ約 3.6%および約 4.5%の鉄損低減効果が得られた。また、リニアアンプを用いた正弦波による測定では、2レベルインバータの場合に対して鉄損が 6.0%減少した。マルチレベルインバータのレベル数をさらに多くすることで、正弦波励磁時と同水準まで鉄損を低減することができると考えられる。

以上のように、マルチレベルインバータは、低変調率時の出力電圧振幅低減およびマルチレベル特有の階段状出力電圧波形による高調波低減の 2つの効果により、2レベルインバータに対して負荷の高調波鉄損を低減できることが確認された。特に、低変調率時の効果が顕著であることが定量的に明らかになった。

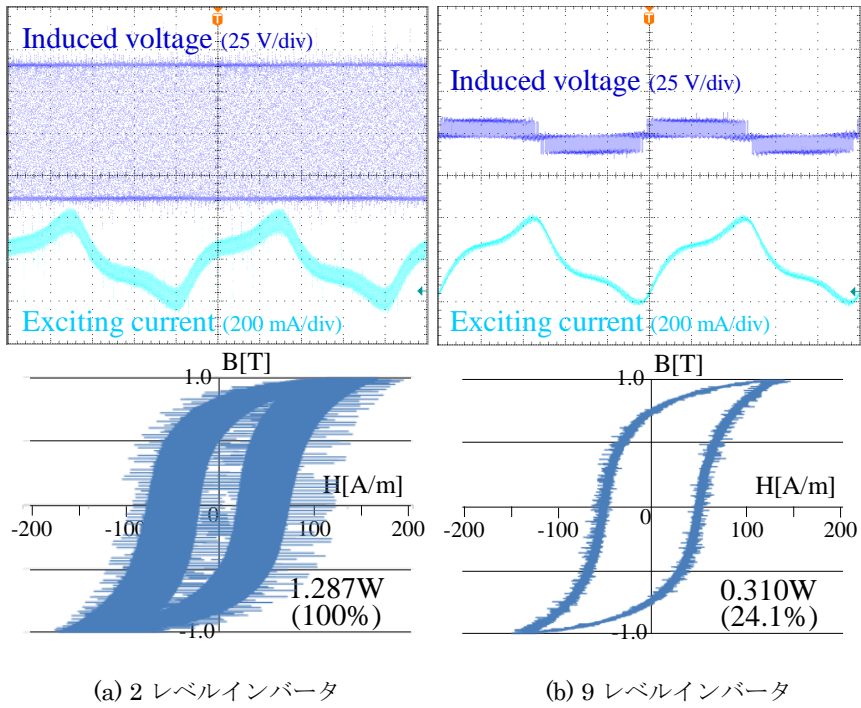
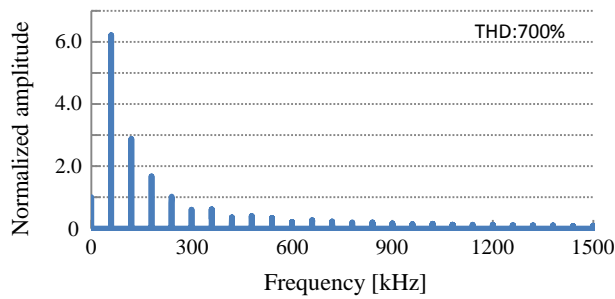
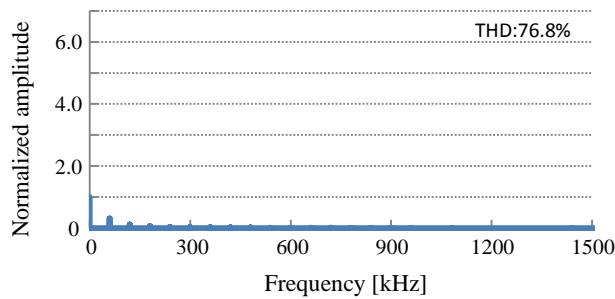


図 3.16 変調率 0.2 における測定波形と B-H カーブ(等価出力 PWM 周波数 : 60 kHz)



(a) 2 レベルインバータ



(b) 9 レベルインバータ

図 3.17 変調率 0.2 におけるインバータ出力電圧の高調波理論解析結果の比較 (Switching frequency: 60 kHz)

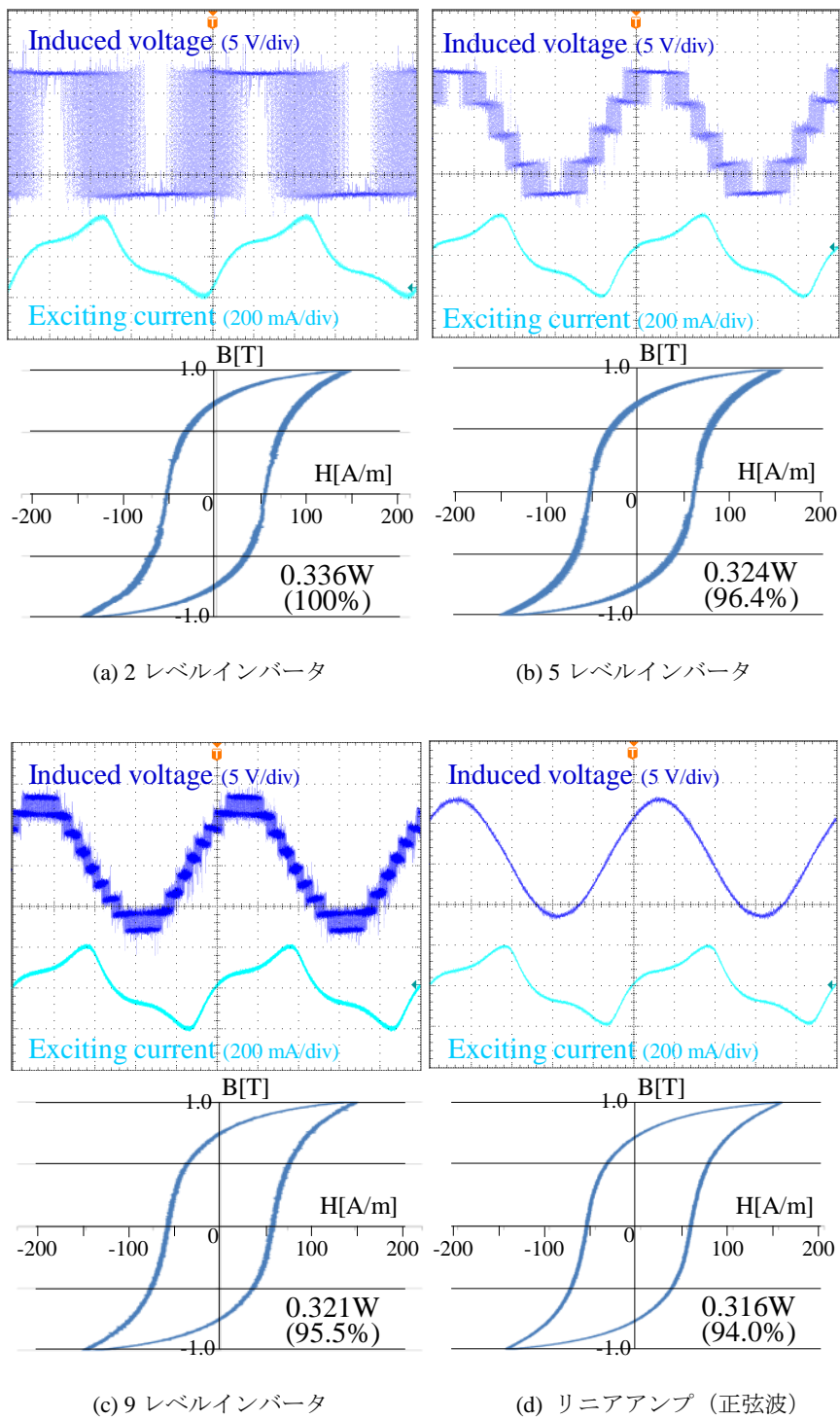


図 3.18 変調率 1.0 における測定波形と B-H カーブ  
(等価出力 PWM 周波数 : 30 kHz)

### 3.3. キャパシタ体積小型化の課題

多レベル化すると、フライングキャパシタの個数が増えてしまう。フライングキャパシタインバータにおいては、スイッチング高周波化によりキャパシタンスは小さくできるが、どこまで小さくできるかを定量的に明らかにする必要がある。フライングキャパシタの充放電はインバータの変調率や負荷の構成によっても変わるため、キャパシタの選定指針を明らかにしておく必要がある。

さらに、主回路1チップ集積化を実現する際に、キャパシタをどのように実装するかは、キャパシタ体積や誘電体材料に依るため、実現方法を明確にしておく必要がある。

### 3.4. キャパシタ電圧バランスの課題

2.4節で述べた通り、キャパシタ電圧は原理的には制御なしでバランスするが、負荷電流の急峻な変化などにより電圧が規定値から変動することが懸念される。キャパシタ電圧制御を行うことで、電圧をバランスさせることが可能であるが、多レベル化に伴いフライングキャパシタの数が多くなるため、全てのキャパシタに電圧センサを付けるのは得策ではない。その上、出力レベル数を多くするほど回路の動作モードが多くなるため、各フライングキャパシタの充放電を細かく制御するのが実質的に困難になってしまう。

そこで、キャパシタ電圧のバランスのメカニズムを明らかにし、各フライングキャパシタの電圧を検出、制御せずに規定値に収める対策が必要である。

### 3.5. 素子実装の課題

フライングキャパシタマルチレベルインバータは、出力レベル数  $m$  に対して、主回路スイッチ素子数は  $2(m-1)$ 個、フライングキャパシタの数は  $(m-2)$ 個で構成される。すなわち、レベル数を増やすほど主回路スイッチ素子およびフライングキャパシタの数が増え、これに付随して多くのゲート駆動回路やゲート駆動回路に電源供給するフローティング電源が必要となる。したがって、多レベルインバータを実現する際には、それら膨大な数の素子をいかに実装するかが高パワー密度化の鍵となる。

この解決方法の一つとして、回路全体の中の一部をモジュール化して1つのパッケージに収める方法がある。現在の汎用インバータ等では「6 in 1」と呼ばれる1つのパッケージの中に6つのIGBTが入ったモジュールが使われており、その拡張的な概念として、さらに多くの主回路スイッチ素子を1つのパッケージに収めることにより、多レベルインバータの実装を容易にすることが可能になると考えられる。この際、主回路スイッチ素子に加えてフライングキャパシタも併せて同じパッケージ内に実装することができれば、実装面積やプロ

セスだけでなく、寄生インダクタンスや放熱設計の面からも有利になると考えられる。

#### 3.6. まとめ

本章では、変換器の多レベル化の効果について述べた。特に、フィルタや負荷での高調波損失等を解析するための基礎となる、インバータ PWM 出力電圧に含まれる高調波を表す理論式を導出した。この理論解析式は、インバータの出力に接続するフィルタの設計や負荷に流れる電流の算定、負荷で生じる高調波損失の解析等に有用である。さらに、モーションコントロールシステムを例とした制御性能の改善効果に関する検討では、トルクリプルを低減できることが高速高精度の制御が求められる用途では有利であることが確認できた。また、負荷やフィルタのインダクタで生じる鉄損は、出力レベル数が多いほど低減できることが実験から明らかになった。

他方、出力レベル数を変換器設計のパラメータとするために課題となる事項を指摘した。以降では、これらの課題点の解決を図り、多レベルコンバータを実現するための基盤技術を確立する。



## 第4章

### フライングキャパシタの選定指針と体積

前章で述べたように、本研究で目指す高パワー密度のフライングキャパシタマルチレベルインバータを実現するには、所要静電容量や耐電圧等の要求を満たした上で、最も体積の小さなフライングキャパシタを選定する必要がある。本章では、フライングキャパシタを選定する上で考慮すべき事項を明らかにし、フライングキャパシタの選定指針を確立する。

#### 4.1. フライングキャパシタの体積を決定する要素

##### 4.1.1. 許容電圧リップル

前述のように、フライングキャパシタはPWM キャリア周期ごとに充電と放電のモードが均等に現れ、キャリア周期ごとに電圧が規定値にバランスするよう動作する。したがって、フライングキャパシタの所要静電容量は出力電圧の基本波周波数とは関係なく、キャリア周波数によって決まるため、理論的には直流リンクコンデンサと比較して非常に小さくすることができる。すなわち、各フライングキャパシタの所要容量  $C_{FC}$  は、

$$C_{FC} = \frac{I_{\max}}{2V_{\text{ripple}} \cdot f_{\text{carrier}}} \dots\dots\dots(4.1)$$

となる。ここで、 $I_{\max}$  は負荷電流最大値、 $f_{\text{carrier}}$  は PWM キャリア周波数、 $V_{\text{ripple}}$  はフライングキャパシタ最大リップル電圧である。(4.1)式より、キャリアの高周波化によりフライングキャパシタの所要容量（体積）を低減可能である。

##### 4.1.2. 許容温度上昇

一般に、ある等価直列抵抗（ESR） $R_{\text{ESR}}$  を持つキャパシタに実効値  $I_{\text{rms}}$  の電流を流したとき、キャパシタの温度上昇  $\Delta T$  は、

$$\Delta T = \frac{R_{\text{ESR}} \cdot I_{\text{rms}}^2}{\beta \cdot A} = R_t \cdot R_{\text{ESR}} \cdot I_{\text{rms}}^2 \dots\dots\dots(4.2)$$

となる<sup>(79)</sup>。ここで、 $\beta$ はキャパシタの放熱定数、 $A$ はケース表面積、 $R_t$ は熱抵抗である。熱抵抗 $R_t$ とキャパシタのケース表面積 $A$ が反比例することから、キャパシタ体積 $V_C$ は、

$$V_C = \frac{R'_t}{\Delta T} V'_C \cdot R_{ESR} \cdot I_{rms}^2 \dots\dots\dots (4.3)$$

と表せる。ここで、 $V'_C$ は用いるキャパシタ 1 個当たりの体積であり、体積 $V'_C$ のキャパシタを複数個並列接続して使用することを前提としている。また、熱抵抗 $R'_t$ は体積 $V'_C$ のキャパシタ 1 個当たりの熱抵抗である。

あるひとつのキャパシタにおいて、熱抵抗と ESR は一定値であるので、キャパシタの温度上昇および熱的に必要な体積（並列数）は電流実効値の 2 乗で決定される。

フライングキャパシタ回路には、動作モードによって、負荷電流がフライングキャパシタを流れる期間と流れない期間がある。フライングキャパシタを流れる電流の実効値は、負荷電流の振幅および流れる時間の割合によって決定される。負荷電流の振幅は入力電圧と負荷インピーダンスによって決定されるが、負荷電流がフライングキャパシタを流れる時間は、以下に述べる要素により決まる。

第 2 章の図 2.6 において、上のスイッチ s1, s2 が全てオンまたは全てオフとなる動作モード (a) および (b) では、負荷電流はフライングキャパシタを流れず、充放電は行われない。それ以外の動作モード (c) および (d) では、フライングキャパシタが負荷電流の経路となり、充放電が行われる。レベル数が多くなると、フライングキャパシタが負荷電流の経路となる動作モードが増えるため、負荷電流がフライングキャパシタを流れる時間の割合が増加する。ただし、レベル数が増えても、前述の方法により信号を生成すれば、負荷電流が同時に流れるフライングキャパシタは最大で 2 つである。したがって、レベル数が増えるほどフライングキャパシタの数は多くなるので、その分フライングキャパシタ 1 つ当たりを負荷電流が流れる時間は短くなる。

一方、同じレベル数でも、変調率を変えることで、出現する動作モードの時間的割合が変化するため、フライングキャパシタに電流が流れる時間が変化する。ただし、ここでの変調率は、瞬時的な変調率のことであり、キャリア 1 周期内での変調波とキャリアの振幅比を表す。例として、最も簡単な 3 レベル回路を考えると、変調率が 0.50、つまり変調波の瞬時値がキャリアの振幅の半分するとき、図 2.6 (c),(d)の動作モードを交互に繰り返すため、常に負荷電流がフライングキャパシタを通る。変調率が 0.50 よりも大きくなる、または小さくなるにつれて、図 2.6 (a), (b)の動作モードが占める割合が多くなっていき、徐々に負荷電流がフライングキャパシタを流れる時間が短くなる。変調率が 1.00 になると常に図 2.6 (a)の動作モードになるため、負荷電流はフライングキャパシタを通らない。

以上から、負荷電流がフライングキャパシタ 1 つ当たりを流れる時間比率を $\alpha$ とすると、 $m$  レベル回路における各変調率  $M$  での $\alpha$ は(4.4)式および図 4.1 のようになる。

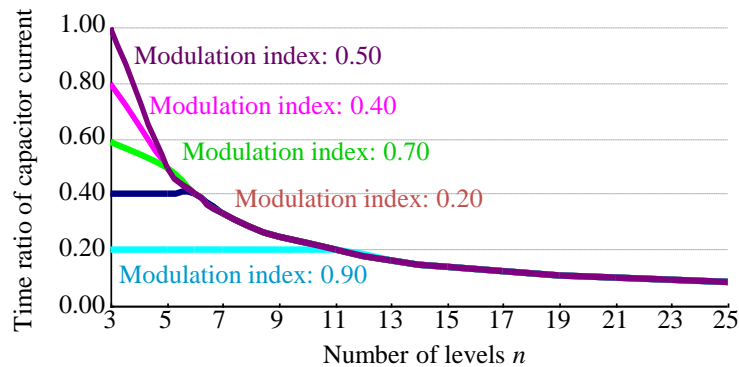


図 4.1 フライングキャパシタを流れる電流の実効値

$$\alpha = \begin{cases} 2 \cdot M & (0 \leq M \leq \frac{1}{m-1}) \\ \frac{2}{m-1} & (\frac{1}{m-1} < M \leq \frac{m-2}{m-1}) \dots\dots\dots (4.4) \\ 2(1-M) & (\frac{m-2}{m-1} < M \leq 1) \end{cases}$$

(4.4)式の右辺中段は、負荷電流が常にフライングキャパシタを流れる場合である。この場合、キャリア 1 周期中に負荷電流がフライングキャパシタ 1 つ当たりを流れる時間は、キャリア 1 周期をフライングキャパシタの個数分に分割した期間となる。(4.4)式右辺上段および下段は、変調率によって負荷電流がフライングキャパシタを流れる期間と流れない期間がある場合である。なお、それぞれに係数 2 がかけてあるのは、負荷電流がフライングキャパシタを同時に 2 つ通過する動作モードがあるためである。

レベル数が少ないときには、フライングキャパシタの数が少ないため、変調率によって $\alpha$ は大きく変わるが、レベル数が多くなると、フライングキャパシタの数が増えるため、キャパシタ 1 つ当たりに負荷電流が流れる時間は短くなり、変調率による差の絶対量は小さくなる。したがって、フライングキャパシタの温度上昇は変調率が 0.50 に近いほど大きくなる。また、レベル数が多いほど、フライングキャパシタの数が増え、フライングキャパシタ一つ当たりの発熱は小さくなると考えられる。

以上を考慮して、(4.3)式よりチップ形積層セラミックコンデンサの標準的なパッケージの一つである 5750 タイプ (5.7mm×5.0mm×2.3mm) の積層セラミックコンデンサを用いた場合のフライングキャパシタに流れる電流実効値の 2 乗に対するフライングキャパシタ体積を算出すると、図 4.2 のようになる。ただし、キャパシタの温度上昇上限を 60 度とし、熱抵抗  $R_t$  として文献(79)に記載の参考値  $R_t = 100 \text{ K/W}$  を用いて算出した。

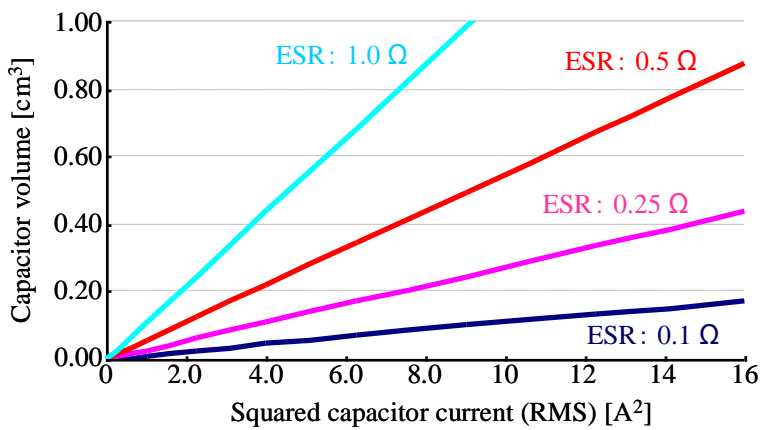


図 4.2 フライングキャパシタ体積の計算値  
(熱抵抗：100 K/W, 温度上昇：60 °C)

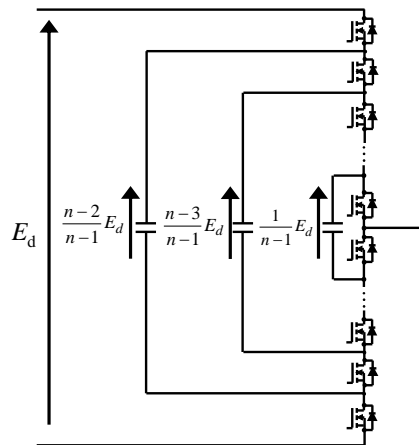


図 4.3 各フライングキャパシタの所要耐圧

### 4.1.3. 最大定格電圧

2章の図 2.8 に示したように、耐圧の高いキャパシタほど、蓄積エネルギー密度が低い傾向にある。各フライングキャパシタは異なる電圧を保持するため、小型化のためには、電圧の低いフライングキャパシタほど耐電圧の低いキャパシタを用いるのが良い。図 4.3 に示す通り、直流入力端から  $N$  番目 ( $N=1, 2, 3, \dots, n-2$ ) のキャパシタの電圧は、以下となる。

$$V_{FC-N} = \frac{n-1-N}{n-1} E_d \dots\dots\dots (4.5)$$

表 4.1 代表的なキャパシタの誘電体特性.

	Ceramic		Plastic film	Aluminum electrolytic
	Class-I (CaZrO <sub>3</sub> etc.)	Class-II (BaTiO <sub>3</sub> etc.)		
$\epsilon_r$	10 - 120	170 - 20000	2.1 - 3	8 - 10
$\tan\delta$	0.0003 - 0.0004	0.01 - 0.02	0.0002 - 0.003	0.06 - 0.12

## 4.2. キャパシタ種類の選定指針

前節の (4.1), (4.2) 式より, より単位体積当たりの静電容量が大きく, より ESR が小さなキャパシタを選定することが望ましい。表 4.1 は市販されている代表的なキャパシタの材料特性である<sup>(79)(80)(81)</sup>。この表から, Class-II (高誘電率系) セラミックコンデンサの材料が最も高い誘電率を有し, 単位体積当たりの静電容量を高くできることが分かる。一方, ESR を規格化した指標である  $\tan\delta$  は, Class-II セラミックコンデンサよりも Class-I (温度補償系) セラミックコンデンサの方が 2 桁ほど小さい値となっている。他方, フィルムコンデンサも  $\tan\delta$  の値は Class-I セラミックコンデンサと同水準であるが, 比誘電率が低いため, セラミックコンデンサに比べると体積は大きくなってしまふと考えられる。また, アルミ電解コンデンサは, 比誘電率はそれほど高くないが, アルミ酸化膜の絶縁耐圧が高く, 誘電体を薄くできることから静電容量を大きくすることができるが, ESR が大きくなってしまふことが知られている。

以上より, PWM 周波数が低い場合など, キャパシタ電圧リプルが設計の制約となる場合には, 体積当たりの静電容量が Class-II セラミックコンデンサが小型化に最も適しているといえる。一方, PWM 周波数が高く, 小さな静電容量で許容リプル電圧の制約を満たすことができ, キャパシタの温度上昇が設計の制約となる場合には, ESR の小さな Class-I セラミックコンデンサが最適であるといえる。

## 4.3. キャパシタ温度上昇に影響するパラメータの抽出

本章で述べてきた理論検討について, 実動作時のフライングキャパシタ温度を測定することにより検証を行う。最も現象を掴みやすい条件として, 3 レベルフライングキャパシタインバータを用いて測定を行った。

### 4.3.1. セラミックコンデンサの誘電体種類依存性の検証

セラミックコンデンサの誘電体種類の違いによるキャパシタ温度上昇の違いを観測するため, 表 4.2 に示す 6 つの Class-I および Class-II の市販されているセラミックコンデンサを用いて測定を行った<sup>(82)</sup>。各キャパシタの静電容量が異なるため, それぞれのキャパシタに

表 4.2 キャパシタ温度上昇測定に用いたセラミックコンデンサの諸元

	Class-I			Class-II		
	A	B	C	D	E	F
Rated voltage [V]	100	100	100	100	100	100
Capacitance [ $\mu$ F]	0.15	0.1	0.03	10	2.2	0.2
Volume [ $\text{mm}^3$ ]	65.6	46.1	20.0	65.6	46.1	18.6
Temperature characteristic	C0G	C0G	CH	X7S	X5R	X5R

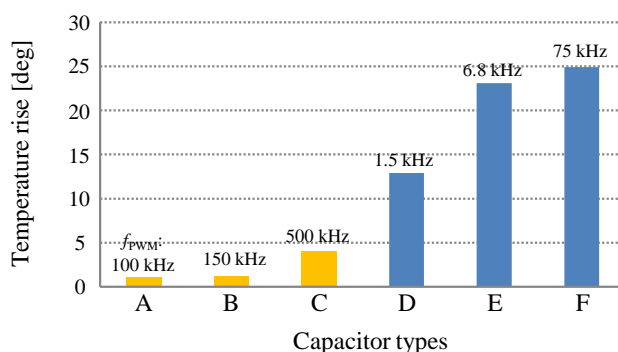


図 4.4 キャパシタ温度の実測結果

において電圧リップルが同じになるよう PWM キャリア周波数を調整した。直流入力電圧は 100V、出力電圧の振幅は 2.0A、変調率は 1.0 の条件で測定を行った。温度はサーモカメラにより測定した。なお、測定時の周囲温度は 30.0 度であった。

図 4.4 は、各キャパシタの表面温度の実測結果である。Class-II (D~F)のキャパシタの温度上昇が顕著に大きいことが分かる。特に、キャパシタ E および F については、温度上昇が 20°C を超えており、望ましい動作状況ではないといえる。したがって、Class-II のキャパシタ E を用いる際にはキャパシタ体積は 46.1 $\text{mm}^3$  以下にはできないということが分かる。一方、Class-I (A~C)のキャパシタの温度上昇は、高周波数の動作条件であっても、それほど高くなっていないことが分かる。これは Class-II のキャパシタに比べて ESR が極端に小さいためである。Class-I のキャパシタ C を用いた場合、キャパシタ体積を 20.0 $\text{mm}^3$  よりもさらに小さくすることができるといえる。

以上のように、キャパシタの種類によって ESR は大きく異なり、キャパシタ体積に大きく影響するため、動作条件に合わせた選択が必要である。

#### 4.3.2. PWM キャリア周波数依存性の検証

図 4.5 はキャリア周波数を 6kHz、20kHz、30kHz に設定し、負荷電流を変化させたときのフライイングキャパシタの上昇温度である。一般に、キャパシタの ESR は周波数特性を持つが、キャリア周波数として用いた数 kHz~数 10kHz の範囲では、キャリア周波数は上昇温

度にはほぼ影響しないという結果が得られた。

#### 4.3.3. 変調率依存性の検証

図 4.6 は、入力電圧 300V、キャパシタ容量 1.32 $\mu$ F、キャリア周波数 20kHz の条件で変調率を変化させ、負荷電流を 1A~3A としたときのキャパシタ上昇温度の実測値である。変調率が 0.50 に近いとき、キャパシタの温度上昇が高くなっていることがわかる。

#### 4.3.4. キャパシタ電圧依存性の検証

図 4.7 はフライイングキャパシタの静電容量を 1.32 $\mu$ F、キャリア周波数を 20kHz とし、負荷抵抗値とフライイングキャパシタ電圧を同時に変化させ、負荷電流を 1A, 2A, 3A としたときの上昇温度である。フライイングキャパシタ電圧を大きくしていくと温度上昇も大きくなっていくという結果が得られた。

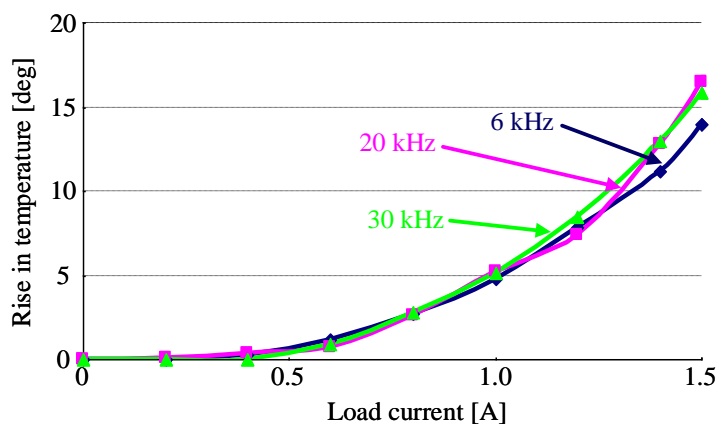


図 4.5 キャパシタ温度上昇の PWM キャリア周波数依存性

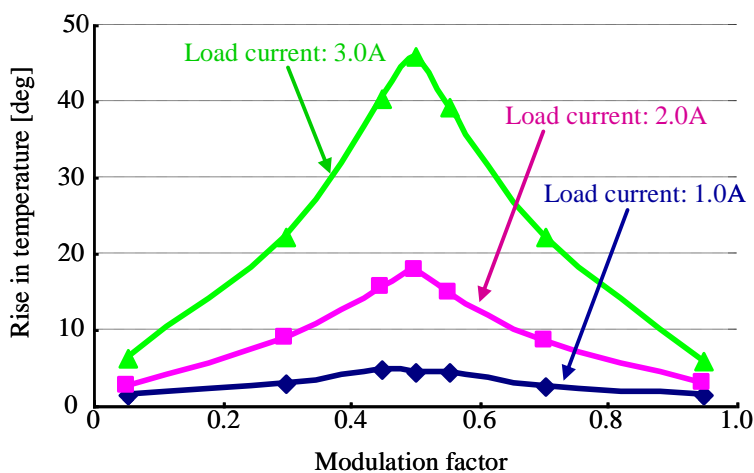


図 4.6 キャパシタ温度上昇の変調率依存性

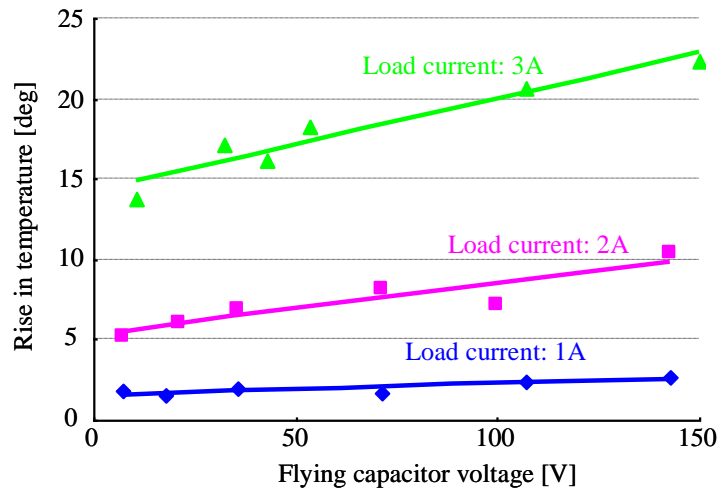


図 4.7 キャパシタ温度上昇の電圧依存性

#### 4.4. フライイングキャパシタの選定指針と小型化限界

これまで述べたように、フライイングキャパシタの選定にあたっては、電圧リプルと温度上昇の双方を考慮した検討が必要である。図 4.8 は、これら双方を考慮してフライイングキャパシタを選定する指針である<sup>(82)</sup>。青色の直線は許容電圧リプルを満たすキャパシタ体積の下限、赤色の曲線は温度上昇の制約を満たす体積の下限を表す。すなわち、フライイングキャパシタとして選定可能なのは、青線および赤線よりも上の領域 (Selectable area) である。電流が小さい場合には電圧リプルの制約でキャパシタ体積を決める必要があり、電流が大きい場合には、温度上昇の制約でキャパシタ体積を決める。また、PWM キャリア周波数が高い場合には、青線の傾きが緩やかになり、温度上昇の制約で決定される領域が広くなり、逆に PWM キャリア周波数が低い場合には、青線の傾きが急になるため、電圧リプルの制約

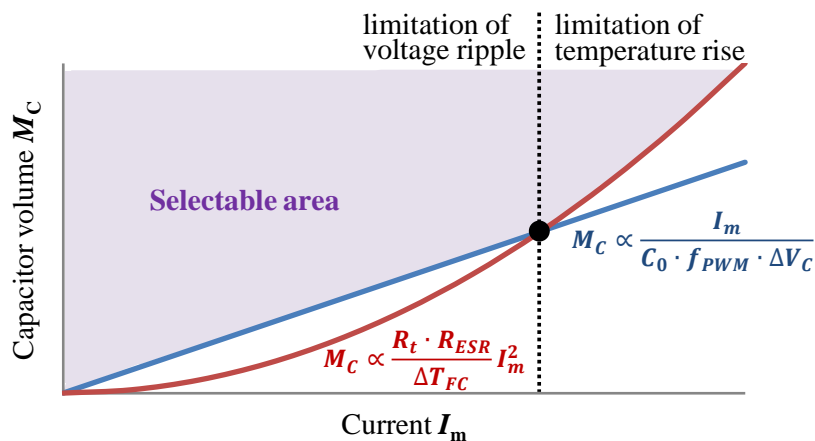


図 4.8 電圧リプルと温度上昇を考慮したフライイングキャパシタの選定指針



で決定される領域が広がる。

また、4.3 節で述べた特性から、温度上昇の制約でキャパシタ体積を決める場合には、Class-I（温度補償系）セラミックコンデンサを用い、電圧リップルの制約でキャパシタ体積を決める場合には、Class-II（高誘電率系）のセラミックコンデンサを用いるのが良いといえる。

#### 4.5. まとめ

本章では、フライイングキャパシタとして用いるコンデンサの選定指針を明らかにした。変換器高パワー密度化のためには、フライイングキャパシタの小型化は必須であり、変換器の動作条件に合わせて適切に選定する必要性を述べた。

キャパシタの選定は、与えられた動作条件に対して、電圧リップル、温度上昇、耐電圧の3つの要素を考慮して行う必要がある。耐電圧は、変換器の入力電圧で一意に決められるので、種々の動作条件を考慮する必要があるのは、電圧リップルと温度上昇の制約である。電流が小さいときおよびPWM キャリア周波数が低いときには、電圧リップルの制約が厳しくなり、この際は Class-II（高誘電率系）セラミックコンデンサを用いるのが小型化に有利である。一方、電流が大きいときおよびPWM キャリア周波数が高いときには、温度上昇の制約が厳しくなり、この際は Class-I（温度補償系）セラミックコンデンサを用いるのが良いことを明らかにした。

以上のように、変換器高パワー密度化を実現するためのフライイングキャパシタの選定指針を確立した。

## 第5章

### フライングキャパシタの電圧バランス

本章では、フライングキャパシタコンバータの安定動作に必要な不可欠なフライングキャパシタの電圧バランスについて解析を行う。2章で述べた通り、各フライングキャパシタ電圧は、原理的には特別な制御なしで規定電圧を維持することが可能であるが、実際の動作条件では不平衡になってしまう場合がある。これまで電圧バランスに関する様々な研究が行われているが、レベル数を増やした際には、多くのフライングキャパシタを用いるの必要があり、全てのキャパシタを個別に電圧制御するのは実用的ではない<sup>(83)(84)(85)(86)</sup>。コンバータの多レベル化を見据え、個別の電圧制御なしで各キャパシタ電圧をバランスさせる方法を示し、その効果を実証する。

#### 5.1. キャパシタ電圧自己バランス機能

フライングキャパシタ回路は、何らかの原因によってフライングキャパシタの電圧が変動した場合でも、キャパシタの電圧がバランスする方向に引き戻すように動作する<sup>(87)</sup>。例えば、キャパシタ電圧の平均値が低くなった場合、図 5.1 (a)の動作モード III においては電源電圧からキャパシタの電圧値を引いた出力電圧が高くなるため、キャパシタの充電電流が大きくなり、キャパシタの充電が促進される。一方、図 5.1(b)の動作モード IV においては、キャパシタの電圧が低いと出力電圧が低くなるため、キャパシタの放電電流が小さくなり、放電が抑制される。このように、キャパシタ電圧が変動すると、それに伴って出力電圧が変動することで、充放電電流が変化し、充放電が抑制または促進され、キャリア周

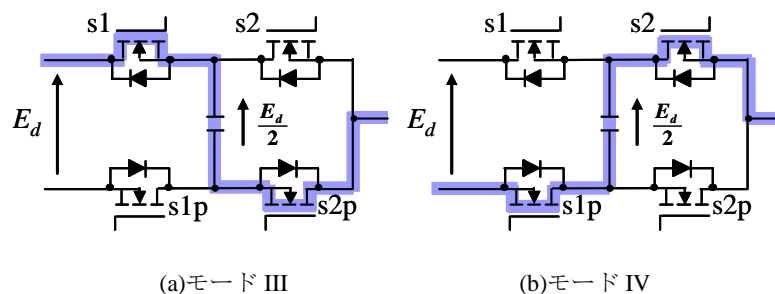


図 5.1 3 レベル回路においてフライングキャパシタの充放電が起こる動作モード

期ごとにキャパシタの電圧はバランスする方向に向かう。ただし、この電圧自己バランス機能は、負荷条件や動作条件によって働き方が異なり、完全にはキャパシタ電圧を補償することができない。以下では、これについて詳細に解析する。

## 5.2. 3 レベルインバータにおけるキャパシタ電圧バランスの解析

### 5.2.1. キャパシタ電圧アンバランスの理論解析

これまで述べている通り、フライングキャパシタ電圧は原理的には特殊な制御をすることなく平衡する。しかし、各主回路スイッチ素子のスイッチング特性やゲートドライブ回路の特性、信号伝達時間が異なると、充放電の向きが互いに逆向きである動作モード III と IV が均等に現れなくなり、充放電の電荷量が 1 キャリア周期で均等にならず、フライングキャパシタ電圧が規定値から変動してしまう<sup>(88)</sup>。特に、フライングキャパシタは高周波で充放電が行われるため、各素子の僅かなスイッチング特性のばらつきがフライングキャパシタの電圧に大きく影響する。

以下では、図 5.2 のような 3 レベルフライングキャパシタ回路の 1 レグ分に RL 負荷を接続した回路について解析を行う。3 レベル回路では、位相の反転した 2 つのキャリアと変調波を比較してスイッチングパターンを生成すると、 $i_{out}$  の向きに電流が流れているとき、s1 のターンオフによってキャパシタの放電が始まり s1 のターンオンによって放電が終わる。同様に、s2 のターンオフによってキャパシタの充電が始まり、s2 のターンオンによって充電が終了する。各素子のスイッチング特性を直線近似すると、キャリア 1 周期中でのフライングキャパシタの充放電電荷量の差は、放電電荷量  $Q_d$  および充電電荷量  $Q_c$  を用いて、

$$\begin{aligned}
 Q_d - Q_c &= \frac{|T_C - t_{fs1} + t_{rs1}|}{2} i_l - \frac{|T_C - t_{fs2} + t_{rs2}|}{2} i_l \\
 &= \frac{|t_{rs1} - t_{fs1} - t_{rs2} + t_{fs2}|}{2} i_l \dots\dots\dots (5.1)
 \end{aligned}$$

となる。ただし、 $T_C$  はキャリア周期、 $t_{fsx}$  ( $X = 1, 2, 3, \dots$ ) は素子  $sx$  のターンオフ時間、 $t_{rsx}$

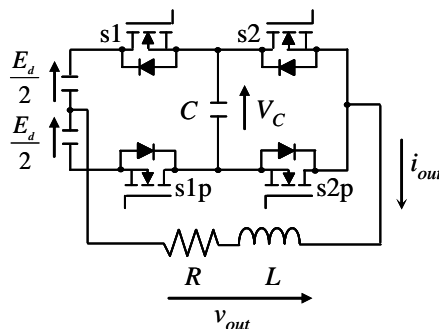


図 5.2 RL 負荷を接続した 3 レベルフライングキャパシタインバータ

はターンオン時間である。一方、電流が  $i_{out}$  と逆向きに流れている期間には、フライングキャパシタの充放電に関わる素子が  $s1p$  および  $s2p$  に変わるため、キャリア 1 周期中での充放電電荷量の差は、

$$\begin{aligned}
 Q_d - Q_c &= \frac{|T_C - t_{fs1p} + t_{rs1p}|}{2} i_l - \frac{|T_C - t_{fs2p} + t_{rs2p}|}{2} i_l \dots\dots\dots (5.2) \\
 &= \frac{|t_{rs1p} - t_{fs1p} - t_{rs2p} + t_{fs2p}|}{2} i_l
 \end{aligned}$$

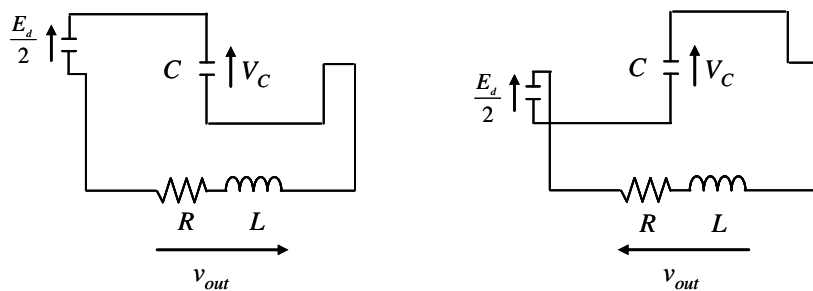
となる。(5.1)式および(5.2)式より、各スイッチのターンオン時間とターンオフ時間が異なる場合、キャリア 1 周期で充放電の電荷量が平衡せず、キャパシタ電圧のアンバランスが生じることがわかる。例えば、 $s1$  のターンオフが遅くなった場合、放電電荷量が少なくなり、キャリア 1 周期中で充電電荷量の方が多くなるため、キャパシタの電圧は規定値よりも高くなる。

5.2.2. キャパシタ電圧自己バランス機能の理論解析

他方、5.1 節で述べた通り、フライングキャパシタ回路は、何らかの原因によってフライングキャパシタの電圧が変動した場合でも、キャパシタの電圧がバランスする方向に引き戻すように動作する。図 5.1 の 3 レベル回路において、動作モード III および IV のとき、電流経路は図 5.3 のような RLC 直列回路になる。これらの動作モード III と IV は対称の動作をする。フライングキャパシタ電圧の平均値が規定値から変動して  $V_{C0}$  になったときにキャパシタに流れる電流  $i'$  は、

$$\begin{aligned}
 i' &= \exp(-\alpha t) \left[ i_l \cos \omega t - \left\{ \frac{\alpha^2 + \omega^2}{\omega} C \left( V_{C0} - \frac{E_d}{2} \right) + \frac{\alpha}{\omega} i_l \right\} \sin \omega t \right] \dots\dots\dots (5.3) \\
 \alpha &= \frac{R}{2L}, \quad j\omega = \sqrt{\frac{R^2}{4L^2} - \frac{1}{LC}}
 \end{aligned}$$

となる。ただし、 $i_l$  は負荷電流の瞬時値である。一方、キャパシタ電圧の平均値が規定値で平衡している場合にキャパシタに流れる電流  $i_0$  は、(5.3)式に  $V_{C0} = E_d/2$  を代入して、



(a)モード III (b)モード IV

図 5.3 3 レベル回路各モードの負荷電流経路

$$i_0 = \exp(-\alpha t) \left[ i_1 \cos \omega t - \frac{\alpha}{\omega} i_1 \sin \omega t \right] \dots\dots\dots (5.4)$$

となる。したがって、フライイングキャパシタ電圧が変動した際に、キャリア 1 周期で電圧自己バランス機能として働く電荷量  $Q_B$  は、 $i'$  と  $i_0$  の差分を積分して求められる。キャリア半周期ごとに充電および放電が起こり、それぞれの期間で電圧自己バランス機能が働くため、積分区間はキャリア半周期であり、そのキャリア半周期の電荷量の 2 倍の電荷量がキャリア 1 周期で電圧自己バランス機能として働く電荷量である。すなわち、(5.3)式および(5.4)式より、 $Q_B$  は、

$$Q_B = 2 \int_0^{T'} (i_0 - i') dt \dots\dots\dots (5.5)$$

$$= 2C \left( V_{C0} - \frac{E_d}{2} \right) \left[ 1 - \exp\left(-\frac{\alpha T'}{2}\right) \left\{ \frac{\alpha}{\omega} \sin\left(\frac{\omega T'}{2}\right) + \cos\left(\frac{\omega T'}{2}\right) \right\} \right]$$

として求められる。ただし、(5.5)式における  $T'$  は、キャリア 1 周期中に充放電電流がキャパシタに流れる時間であり、キャリア周期とは異なる。キャリア 1 周期中に電流がキャパシタを流れる時間  $T'$  は、変調率によって変わり、キャリア周期を  $T_C$ 、キャリア周期での瞬時的な変調率を  $M$  とすると次式で表すことができる。

$$T' = \begin{cases} 2MT_C & (0 \leq M \leq 0.5) \\ 2(1-M)T_C & (0.5 < M \leq 1) \end{cases} \dots\dots\dots (5.6)$$

変調波が一定の場合、(5.6)式の  $T'$  を(5.5)式に代入することで電荷量を求めることができるが、変調波が正弦波の場合、キャリア 1 周期中にパルス幅は時々刻々と変化する。キャパシタを流れる電流のパルス幅の平均は、変調率を  $M'$  として次式で求めることができる。

$$T' = \left[ 1 - \frac{\omega}{2\pi} \int_0^{2\pi} M' \sin(\omega t) dt \right] T_C = \left( 1 - \frac{2}{\pi} M' \right) T_C \dots\dots\dots (5.7)$$

すなわち、変調波が正弦波のインバータ動作の場合、(5.7)式の  $T'$  を(5.5)式に代入することで、キャリア 1 周期中にキャパシタ電圧自己バランス機能として働く電荷量を求めることができる。

### 5.2.3. キャパシタ電圧の平衡点

フライイングキャパシタの電圧は、各素子のスイッチング特性が異なることによるアンバランスの電荷量である(5.1)、(5.2)式と、フライイングキャパシタ電圧が変動した際に充放電電流が変化することでバランスさせる電圧自己バランス機能としての電荷量の(5.5)式が等しくなった点で平衡する。したがって、負荷電流が正の半周期において、フライイングキャパシタ電圧が平衡する条件は、

$$2C(V_{C0} - \frac{E}{2}) \left[ 1 - \exp(-\frac{\alpha T'}{2}) \left\{ \frac{\alpha}{\omega} \sin(\frac{\omega T'}{2}) + \cos(\frac{\omega T'}{2}) \right\} \right] = \frac{|t_{rs1} - t_{fs1} - t_{rs2} + t_{fs2}|}{2} i_l \quad (5.8)$$

となる。すなわち、スイッチング特性のばらつきによりキャパシタ電圧は直流的に変動することがわかる。これより、スイッチング特性のばらつきによってフライングキャパシタ電圧が変動した結果、平衡する電圧は以下の式で表せる。

$$V_{C0} = \frac{E}{2} - \frac{|t_{rs1} - t_{fs1} - t_{rs2} + t_{fs2}| i_l}{4C \left[ 1 - \exp(-\frac{\alpha T'}{2}) \left\{ \frac{\alpha}{\omega} \sin(\frac{\omega T'}{2}) + \cos(\frac{\omega T'}{2}) \right\} \right]} \quad (5.9)$$

負荷電流が負の半周期についても(5.9)式と同様に求めると、電圧自己バランス機能に関しては負荷電流が正の場合と等しく、アンバランス分の電荷量は(5.2)式であるので、

$$V_{C0} = \frac{E}{2} - \frac{|t_{rs1p} - t_{fs1p} - t_{rs2p} + t_{fs2p}| i_l}{4C \left[ 1 - \exp(-\frac{\alpha T'}{2}) \left\{ \frac{\alpha}{\omega} \sin(\frac{\omega T'}{2}) + \cos(\frac{\omega T'}{2}) \right\} \right]} \quad (5.10)$$

と表すことができる。

#### 5.2.4. 実験検証

図 5.4 は、表 5.1 の 3 つの条件で 3 レベルフライングキャパシタインバータを動作させたときのフライングキャパシタ電圧の理論解析結果と実験結果である。横軸に PWM キャリア周期、縦軸にフライングキャパシタ電圧をとると、(5.9)式および(5.10)式は負荷インダクタンスの値ごとに図 5.4 のような曲線として描くことができる。(5.9)式は負荷電流が正の半周期でのキャパシタ電圧、(5.10)式は負荷電流が負の半周期でのキャパシタ電圧であるので、最終的にキャパシタ電圧が平衡する電圧値は、これら 2 つの理論曲線の平均の電圧値になると考えられる。

以上の解析をもとに、表 5.1 のような Case 1~3 の条件で実験し、図 5.5 のような各部の波形を観測した。表 5.1 に記載のスイッチング遅延時間は、ゲート電圧波形の立ち上がりおよび立ち下りの 10%から 90%まで変化するのにかかる時間であり、実際に素子に接続するゲート抵抗の値を調整して、それぞれのスイッチング特性が異なる状態を模擬した。図 5.5 より、動作条件によって、フライングキャパシタの電圧が破線で示した規定値の 50V に対して直流的に変動していることがわかる。

Case 1 は、キャリア周波数が比較的 low、負荷インダクタンスも小さいため、電圧自己バランス機能が強く働き、キャパシタ電圧は規定値の 50V 付近でバランスしている。Case 2 は、Case 1 と比較すると、キャリア周波数は同じであるが負荷インダクタンスが大きいため、同じスイッチング特性のばらつきに対して電圧自己バランス機能の働きが弱くなり、結果

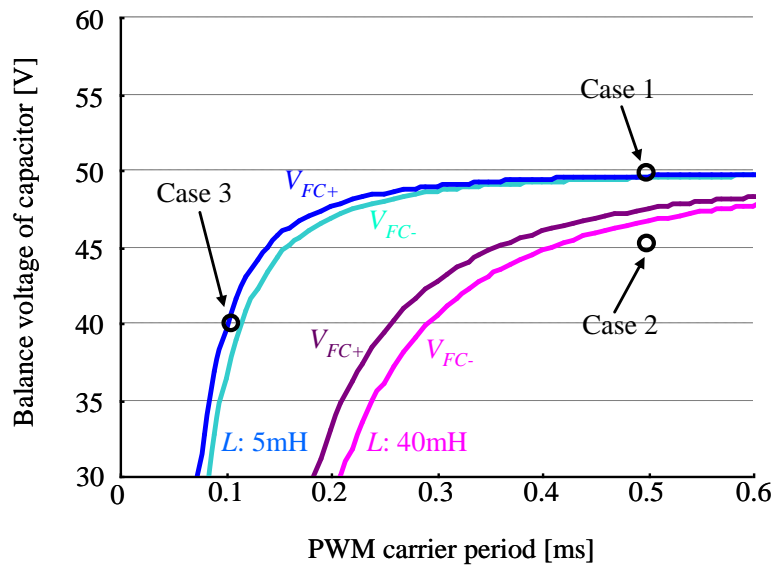


図 5.4 3 レベル回路におけるキャパシタ電圧の理論値と実験値との比較

表 5.1 3 レベル回路実験条件

Waveform in Fig.5.5	Case 1	Case 2	Case 3
Input DC voltage	100 V	100 V	100 V
Flying capacitor	8.2 $\mu$ F	8.2 $\mu$ F	8.2 $\mu$ F
Load resistance	30 $\Omega$	30 $\Omega$	30 $\Omega$
Load inductance	5 mH	40 mH	5 mH
PWM carrier frequency	2 kHz	2 kHz	10 kHz
Turn-on delay $t_{rs1}$ of s1	1440 ns		
Turn-off delay $t_{fs1}$ of s1	1000 ns		
Turn-on delay $t_{rs1p}$ of s1p	1520 ns		
Turn-off delay $t_{fs1p}$ of s1p	1120 ns		
Turn-on delay $t_{rs2}$ of s2	1400 ns		
Turn-off delay $t_{fs2}$ of s2	1000 ns		
Turn-on delay $t_{rs2p}$ of s2p	1240 ns		
Turn-off delay $t_{fs2p}$ of s2p	1000 ns		

的にキャパシタ電圧は規定値よりも 5V 程度低い値で平衡している。また、Case 3 については、キャリア周波数が高いため、キャリア 1 周期でスイッチング時間遅れの影響が大きく、電圧自己バランス機能も働きにくいいため、キャパシタ電圧は規定値よりも 10V 程度低い値で平衡している。

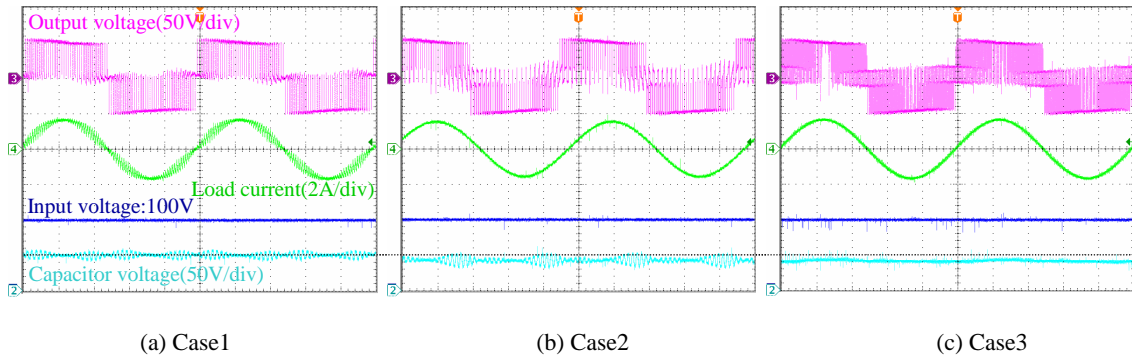


図 5.5 3 レベル回路の実験波形

この実験で得られたキャパシタ電圧の平均値を図 5.4 の 3 つの点としてプロットすると、いずれの動作条件においても、フライングキャパシタ電圧の実験値は理論曲線とよく一致しており、解析により求めた(5.9)式と(5.10)式に妥当性があることが確認できる。

### 5.3. $n$ レベルインバータにおけるキャパシタ電圧バランスの解析

#### 5.3.1. キャパシタ電圧アンバランス

前節の 3 レベル回路での検討結果は、図 5.6 のような一般的な  $n$  レベルのフライングキャパシタに対して拡張することが出来る<sup>(88)(89)</sup>。 $n$  レベル回路は、3 レベル回路の場合に比べて、フライングキャパシタの数が増えるが、それぞれのキャパシタの充放電は 3 レベル回路の場合と同様に考えることができる。すなわち、各フライングキャパシタを囲む 4 つのスイッチのスイッチング遅れ時間によって充放電の電荷量が変化する。例えば、フライングキャパシタの中で 2 番目に高い電圧を保持している FC-2 においては、負荷電流が正の場合は  $s_2$  および  $s_3$  のスイッチング遅れ時間が充放電電荷量に影響し、負荷電流が負の場合には  $s_{2p}$  および  $s_{3p}$  が影響する。したがって、3 レベル回路におけるキャパシタ電圧アンバラン

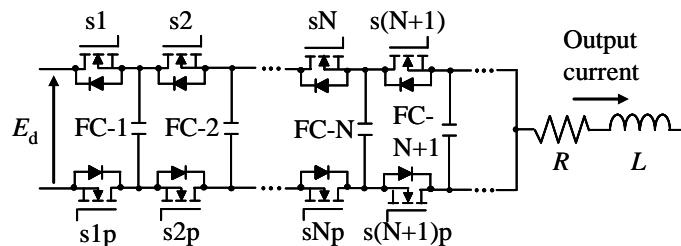


図 5.6 RL 負荷を接続した  $n$  レベルフライングキャパシタインバータ



スの電荷量が(5.1)および(5.2)式で表せたのに対し、 $n$  レベル回路では、FC-N の電圧アンバランスの電荷  $Q_d - Q_c$  は、以下の2式のように表すことができる。

$$Q_d - Q_c = \frac{|T_C - t_{fsN} + t_{rsN}|}{2} i_l - \frac{|T_C - t_{fs(N+1)} + t_{rs(N+1)}|}{2} i_l \dots\dots\dots (5.11)$$

$$= \frac{|t_{rsN} - t_{fsN} - t_{rs(N+1)} + t_{fs(N+1)}|}{2} i_l$$

$$Q_d - Q_c = \frac{|T_C - t_{fsNp} + t_{rsNp}|}{2} i_l - \frac{|T_C - t_{fs(N+1)p} + t_{rs(N+1)p}|}{2} i_l \dots\dots\dots (5.12)$$

$$= \frac{|t_{rsNp} - t_{fsNp} - t_{rs(N+1)p} + t_{fs(N+1)p}|}{2} i_l$$

### 5.3.2. キャパシタ電圧自己バランス機能

キャパシタ電圧自己バランス機能についても、バランスさせる作用をする電荷量を 3 レベル回路の場合と同様に求めることができる<sup>(88)(89)</sup>。ただし、3 レベル回路ではなかった、負荷電流がフライングキャパシタを同時に 2 つ通る動作モードがある。そのため、2 つの場合に分けて考える必要がある。

まず、負荷電流がフライングキャパシタを 1 つ通る動作モードのときのキャパシタ電圧自己バランス作用として働く電荷量  $Q_B$  は、3 レベル回路の場合と同様にして、

$$Q_B = 2 \int_0^{\frac{T}{2}} (i_0 - i') dt$$

$$= 2C \left( V_{C0} - \frac{n-1-N}{n-1} E_d \right) \dots\dots\dots (5.13)$$

$$\left[ 1 - \exp\left(-\frac{\alpha T'}{2}\right) \left\{ \frac{\alpha}{\omega} \sin\left(\frac{\omega T'}{2}\right) + \cos\left(\frac{\omega T'}{2}\right) \right\} \right]$$

と求めることができる。

一方、負荷電流がフライングキャパシタを 2 つ同時に通過する場合には、キャパシタンスが半分となるため、

$$Q_B' = 2 \int_0^{\frac{T}{2}} (i_0 - i') dt$$

$$= C \left( V_{C0} - \frac{n-1-N}{n-1} E_d \right) \dots\dots\dots (5.14)$$

$$\left[ 1 - \exp\left(-\frac{\alpha T'}{2}\right) \left\{ \frac{\alpha}{\omega'} \sin\left(\frac{\omega' T'}{2}\right) + \cos\left(\frac{\omega' T'}{2}\right) \right\} \right]$$

$$j\omega' = \sqrt{\frac{R^2}{4L^2} - \frac{2}{LC}}$$

と表される。

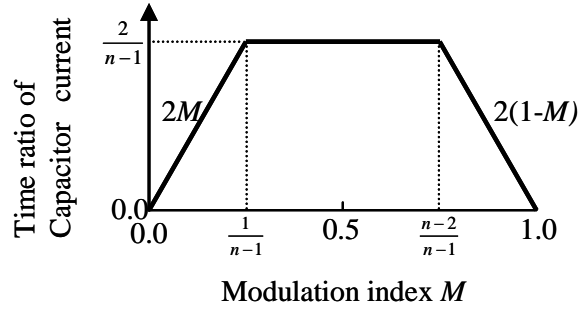


図 5.7 変調率に対するキャリア 1 周期中にキャパシタひとつ当たり電流が流れる時間的割合

また、1 キャリア周期中に負荷電流がフライングキャパシタひとつ当たりを流れる時間的割合は、各フライングキャパシタで分割されるため、レベル数を多くするに伴って短くなり、電圧自己バランス機能は弱くなる。そのため、(5.13)式および(5.14)式中の  $T'$  は、図 5.7 のように考えることができ、4 章の図 4.1 で表したように、以下の式で求められる。

$$T' = \begin{cases} 2MT_C & (0 \leq M' \leq \frac{1}{n-1}) \\ \frac{2}{n-1}T_C & (\frac{1}{n-1} < M' \leq \frac{n-2}{n-1}) \\ 2(1-M')T_C & (\frac{n-2}{n-1} < M' \leq 1) \end{cases} \dots\dots\dots (5.15)$$

(5.15)式より、負荷電流が正弦波の場合には、

$$T' = \left[ 1 - \frac{\omega}{2\pi} \int_0^{2\pi} M' \sin(\omega t) dt \right] \frac{T_C}{n-1} = \left( 1 - \frac{2}{\pi} M' \right) \frac{T_C}{n-1} \dots\dots\dots (5.16)$$

と求めることができる。

以上から、 $n$  レベルフライングキャパシタにおけるキャパシタ電圧自己バランス機能として働く電荷量は(5.14)式に(5.16)式の  $T'$  を代入することで得ることができる。

### 5.3.3. キャパシタ電圧の平衡点

キャパシタ電圧の平衡点は、スイッチング遅れ時間による電圧アンバランス作用の (5.11) および (5.12) 式と電圧自己バランス機能によるバランスの作用 (5.14) 式が等しくなる条件から求めることができる。したがって、負荷電流が正の場合のフライングキャパシタ電圧の平衡点は、

$$V_{FC(N)+} = \frac{n-1-N}{n-1} E_d - \frac{|t_{rsN} - t_{fsN} - t_{rs(N+1)} + t_{fs2(N+1)}| i_l}{4C \left[ 1 - \exp\left(-\frac{\alpha T'}{2}\right) \left\{ \frac{\alpha}{\omega} \sin\left(\frac{\omega T'}{2}\right) + \cos\left(\frac{\omega T'}{2}\right) \right\} \right]} \dots\dots\dots (5.17)$$

と求められる。一方、負荷電流が負の場合のフライングキャパシタ電圧の平衡点は、以下の式で求めることができる。

$$V_{FC(N)-} = \frac{n-1-N}{n-1} E_d - \frac{|t_{rsNp} - t_{fsNp} - t_{rs(N+1)p} + t_{fs2(N+1)p}| i_l}{4C \left[ 1 - \exp\left(-\frac{\alpha T'}{2}\right) \left\{ \frac{\alpha}{\omega} \sin\left(\frac{\omega T'}{2}\right) + \cos\left(\frac{\omega T'}{2}\right) \right\} \right]} \dots\dots\dots(5.18)$$

また、負荷電流がフライングキャパシタを2つ同時に通過する場合も同様にして、以下の式で求めることができる。

$$V'_{FC(N)+} = \frac{n-1-N}{n-1} E_d - \frac{|t_{rsN} - t_{fsN} - t_{rs(N+1)} + t_{fs2(N+1)}| i_l}{2C \left[ 1 - \exp\left(-\frac{\alpha T'}{2}\right) \left\{ \frac{\alpha}{\omega'} \sin\left(\frac{\omega' T'}{2}\right) + \cos\left(\frac{\omega' T'}{2}\right) \right\} \right]} \dots\dots\dots(5.19)$$

$$V'_{FC(N)-} = \frac{n-1-N}{n-1} E_d - \frac{|t_{rsNp} - t_{fsNp} - t_{rs(N+1)p} + t_{fs2(N+1)p}| i_l}{2C \left[ 1 - \exp\left(-\frac{\alpha T'}{2}\right) \left\{ \frac{\alpha}{\omega'} \sin\left(\frac{\omega' T'}{2}\right) + \cos\left(\frac{\omega' T'}{2}\right) \right\} \right]} \dots\dots\dots(5.20)$$

以上のように、フライングキャパシタ変換器は、スイッチング遅れ時間のばらつきによって生じるフライングキャパシタ電圧のアンバランスに対して、電圧自己バランス機能によってバランス作用が働き、フライングキャパシタ電圧が直流的に変動して平衡する。本節では、諸パラメータを考慮してフライングキャパシタ電圧の平衡点を解析的に求めることができた。

### 5.3.4. 実験検証

図 5.8 および図 5.9 は、3 レベル回路の場合と同様に、5 レベルフライングキャパシタインバータを動作させたときのフライングキャパシタ電圧の理論解析結果と実験結果である。負荷インダクタンスを変化させて、2 つの図に示した。実験条件を表 5.2 および表 5.3 に、観測した各部波形を図 5.10 に示す。

5 レベル回路はフライングキャパシタが3つあり、電圧がバランスしていれば、入力電圧 100V に対してそれぞれのキャパシタが 75V, 50V, 25V の電圧を保持する。図 5.8, 図 5.9 においては、3 レベル回路の場合と同様に、キャリア周波数が低いときにはキャパシタの電圧は規定値で平衡するが、キャリア周波数が高くなると規定値から変動してしまう。丸、三角、菱形の各プロットは各フライングキャパシタ電圧の実測値であり、理論曲線とよく一致していることが確認できる。ただし、キャリア周波数が高くなり、電圧変動が大きくなっている範囲で理論値と実験値の差が大きくなっている。これは、あるフライングキャ

パシタの電圧が変動すると、他のキャパシタは電圧変動したキャパシタの電圧の影響を受けながら充放電するという、解析式で考慮していない現象が起こるためである。しかし、通常このような電圧変動が極端に大きな動作範囲では使用しないと考えられ、実用上はこの部分の完全な解析は不要であるため、本稿ではこれ以上踏み込まないこととする。

表 5.4 は、特に素子の選定やゲート抵抗によるスイッチング時間遅れのばらつきを調整せずに測定した 5 レベルフライングキャパシタ回路各素子のスイッチング時間である。これによれば、スイッチング遅れのばらつきは最大でも 160ns 程度であることが確認できる。図 5.11 はこの回路を用いて、負荷抵抗 30Ω、負荷インダクタンス 40mH、キャリア周波数 2.5kHz の条件で動作させて観測した波形である。充放電に伴う電圧の脈動はあるが、各フライン

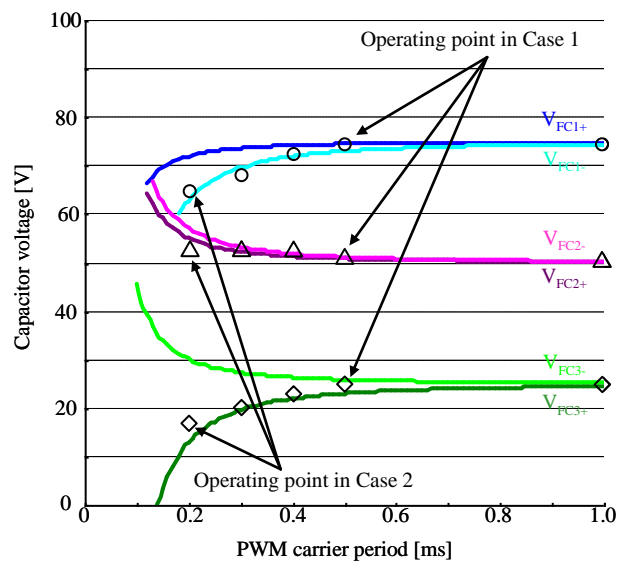


図 5.8 5 レベル回路におけるキャパシタ電圧の理論値と実験値との比較 ( $L_{load} = 5\text{mH}$ )

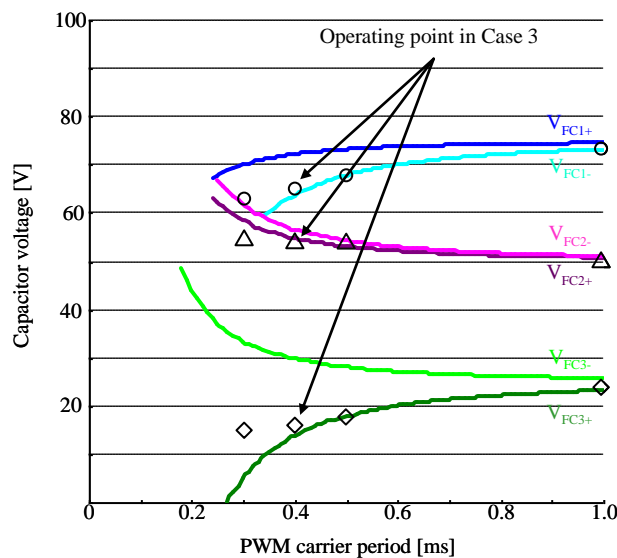


図 5.9 5 レベル回路におけるキャパシタ電圧の理論値と実験値との比較 ( $L_{load} = 40\text{mH}$ )

グキャパシタ電圧が規定値付近ではほぼバランスしており，出力電圧が 5 レベルの階段状波形が得られている。これより，各素子のスイッチング時間のバラつきが小さければ，キャパシタ電圧は理論通りにバランスし，また，実際の素子の特性ばらつきは電圧自己バランス機能によってほぼ補償できることがわかった。しかし，キャリア周波数をさらに高くして，フライングキャパシタの静電容量を小さくしたい場合には，スイッチングのタイミングの管理を強化する，もしくは，何らかの電圧補償法を付加する必要がある。

表 5.2 5 レベル回路実験条件

Waveform in Fig.3.11	Case 1	Case 2	Case 3
Input DC voltage	100 V	100 V	100 V
Flying capacitor	8.2 $\mu$ F	8.2 $\mu$ F	8.2 $\mu$ F
Load resistance	30 $\Omega$	30 $\Omega$	30 $\Omega$
Load inductance	5 mH	5 mH	40 mH
PWM carrier frequency	2 kHz	10 kHz	2 kHz

表 5.3 5 レベル回路における各スイッチのスイッチング遅れ時間

Switch	Turn-on delay [ns]	Turn-off delay [ns]
s1	500	400
s1p	420	440
s2	480	440
s2p	980	1240
s3	600	400
s3p	460	580
s4	480	460
s4p	440	460

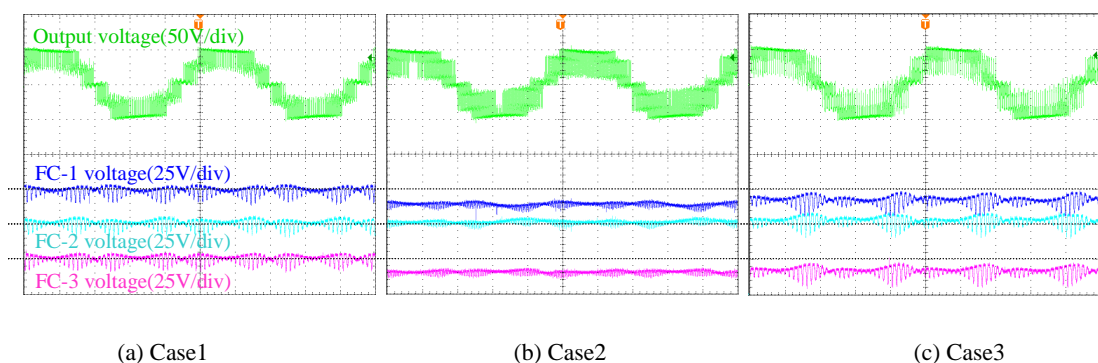


図 5.10 5 レベル回路の実験波形

表 5.4 素子特性のばらつきを考慮せずに作製した回路の各素子のスイッチング遅れ時間

Switch	Turn-on delay	Turn-off delay
	[ns]	[ns]
s1	640	540
s1p	480	440
s2	610	580
s2p	580	440
s3	640	540
s3p	460	460
s4	600	560
s4p	580	480

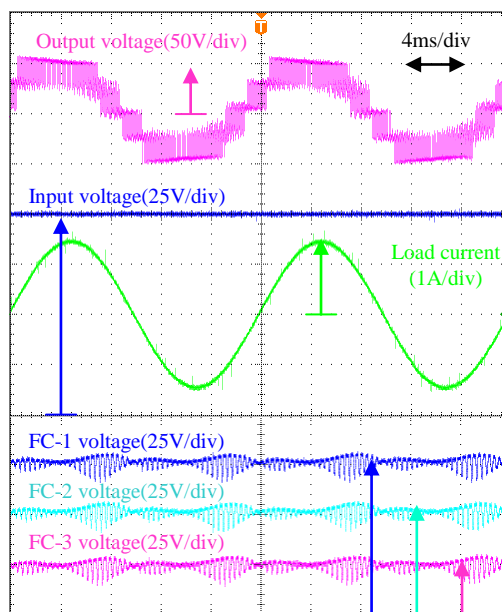


図 5.11 5 レベル回路の実験波形  
(素子特性のばらつきを考慮せず作製)

## 5.4. キャパシタ電圧アンバランス補償方法

### 5.4.1. 実際の素子に含まれるスイッチング遅れ時間のばらつき

フライングキャパシタ電圧をバランスさせるために必要な補償量を求める。実際の素子のスイッチング遅れ時間のばらつきを  $\sigma_s$  とすると、フライングキャパシタ電圧の平衡点は、(5.17)および(5.18)式より、

$$V_{FC-N} = \frac{n-1-N}{n-1} E_d - \frac{\sigma_s \cdot t_s \cdot i_l}{4C \left[ 1 - \exp\left(-\frac{\alpha T'}{2}\right) \left\{ \frac{\alpha}{\omega} \sin\left(\frac{\omega T'}{2}\right) + \cos\left(\frac{\omega T'}{2}\right) \right\} \right]} \dots\dots\dots (5.21)$$

で求められる。 $t_s$ は各素子の平均スイッチング遅れ時間である。

いくつかの市販の MOSFET およびゲートドライバ IC のデータシートを調査した結果、スイッチング遅れ時間のばらつきは、平均的な素子のスイッチング速度を基準にして±40%程度含まれていることがわかった。ただし、これはワーストケースの値であり、実際の素子のばらつきはこれよりも小さいことが経験上知られている。

フライングキャパシタ回路においては、キャリア周期毎にキャパシタの充放電を行うという動作から、キャパシタ電圧アンバランスがあった場合でも、ダイオードクランプ回路方式など他の回路方式に比べて、必要な補償量は比較的少なくて済む。そのため、実際の素子特性のばらつき程度であれば、他の回路方式で用いられるような大きな電力を扱う電圧バランス回路や複雑な電圧フィードバック制御を用いずに、シンプルな補償方法で十分に補償できる可能性がある。また、レベル数が多くなれば、低耐圧でスイッチングスピードが速い素子を使用することができるため、主回路スイッチ素子のスイッチング時間のばらつき自体が小さくなると考えられる。ただし、この場合でもスイッチング時間のばらつきが全く無くなることはなく、ゲート駆動回路や制御システムでの信号伝達時間のばらつきがあるため、何らかの補償は必要である。

#### 5.4.2. フライングキャパシタ電圧アンバランス補償の指針

一般に、素子のスイッチング時間遅れが問題になる場合の多くは、素子の直列接続を行う場合である。そのためのスイッチング特性のばらつきを補償する方法はいくつか提案されているが<sup>(90)</sup>、素子の直列接続では全ての素子に同じ信号を入力するのに対して、本稿で扱うフライングキャパシタ回路のスイッチング遅れの問題は、ペアとなるスイッチの特性のばらつきが原因であり、反転した2つの信号のタイミングを管理する必要がある。そのため、素子の直列接続の場合と同様の補償方法を用いることができない。

他方、本稿では、インバータの出力高調波およびスイッチングに伴う電磁ノイズを低減するため、従来のマルチレベルインバータよりも飛躍的にレベル数を増やすことを考えている。一般に、フライングキャパシタの電圧アンバランスを補償する方法として、各フライングキャパシタの電圧を検出して、それに合わせて動作モードを決定するという手法が提案されているが、レベル数を増やすほどキャパシタおよび検出器の数が増えてしまうため、小型化の視点から現実的でない<sup>(91)</sup>。そのため、本稿で目指すフライングキャパシタ電圧アンバランスの補償方法に求められる条件として以下の2点が挙げられる。

- 検出器や付加回路が不要であること
- シンプルかつ高効率であること

以下では、これらの要求を満たすキャパシタ初期充電抵抗を利用したキャパシタ電圧補償

方法について検討を行う。

### 5.4.3. キャパシタ初期充電抵抗を利用したキャパシタ電圧補償

フライングキャパシタ変換器は、スイッチング動作を始める前にフライングキャパシタが初期充電されて各キャパシタ電圧が規定値になっている必要がある。フライングキャパシタを充電するための方法として、いくつかの方法が考えられるが、最もシンプルな方法として、図 5.12 のように各素子と並列に初期充電用の抵抗を接続する方法が提案されている<sup>(89)</sup>。

これらのキャパシタ初期充電用の抵抗は、本来スイッチング動作前にもみ使用することを想定されているが、スイッチング動作中も接続したままにすることで、フライングキャパシタ電圧のバランス作用を働かせることができる。隣り合うフライングキャパシタの電位差によって、初期充電抵抗を流れる電流が変わり、それがバランスする方向に働くため、キャパシタ電圧のアンバランスに合わせた補償が可能である。

スイッチング動作中に初期充電抵抗がキャパシタ電圧のアンバランスを補償する働きをする電流は以下の式で求めることができる。

$$i_{R_C} = \frac{1}{R_C} (V_{FC-N} - V_{FC-(N+1)}) \dots\dots\dots (5.22)$$

また、デッドタイム中は2つの初期充電抵抗を介して電流が流れるため、

$$i_{R_C} = \frac{1}{2R_C} (V_{FC-N} - V_{FC-(N+1)}) \dots\dots\dots (5.23)$$

のアンバランス補償電流がフライングキャパシタを流れる。これより、キャリア 1 周期中にバランス作用として働く電荷量は、

$$Q_{R_C} = \left( \frac{T'}{R_C} - \frac{T_d}{2R_C} \right) (V_{FC-N} - V_{FC-(N+1)}) = \frac{2T' - T_d}{2R_C} (V_{FC-N} - V_{FC-(N+1)}) \dots\dots\dots (5.24)$$

となる。(5.24)式中の  $T'$  は第 3 章でも用いた、キャリア 1 周期中に負荷電流がフライングキャパシタを流れる時間である。初期充電抵抗の値を小さくするほど、キャパシタ電圧のバ

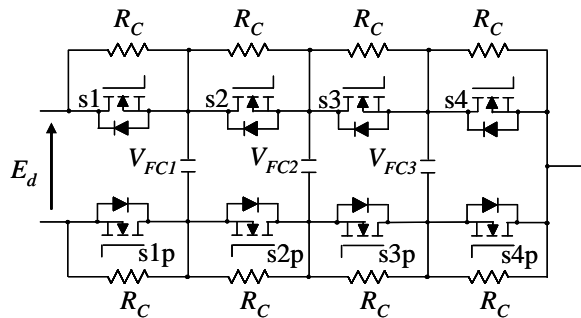


図 5.12 初期充電抵抗を接続した 5 レベルフライングキャパシタ回路



ランス効果は高くなるが、そこで発生する損失が大きくなってしまふ。回路に接続される  $2(n-1)$ 個の初期充電抵抗で発生する総損失は、

$$P_{R_C} = \frac{E_d^2}{(n-1)^2 R_C} \cdot 2(n-1) = \frac{2E_d^2}{(n-1)R_C} \dots\dots\dots (5.25)$$

で求められる。

初期充電抵抗が接続されているとき、フライイングキャパシタ電圧がアンバランスすると、負荷電流が瞬間的に変化する電圧自己バランス機能と初期充電抵抗によるバランス作用の2つの電圧補償作用が働く。したがって、キャパシタ電圧の平衡条件は、(5.21)式および(5.24)式より、以下のように求めることができる。

$$2C(V_{C0} - \frac{E_d}{2}) \left[ 1 - \exp(-\frac{\alpha T'}{2}) \left\{ \frac{\alpha}{\omega} \sin(\frac{\omega T'}{2}) + \cos(\frac{\omega T'}{2}) \right\} \right] + \frac{2T' - T_d}{2R_C} (E_d - V_{FC}) = \frac{\sigma_s \cdot t_s}{2} i_l \dots\dots\dots (5.26)$$

これより、初期充電抵抗を接続している場合のフライイングキャパシタ電圧の平衡点は、以下の式で求めることができる。

$$V_{FC+} = \frac{n-1-N}{n-1} E_d - \frac{2CR_C E_d \left[ 1 - \exp(-\frac{\alpha T'}{2}) \left\{ \frac{\alpha}{\omega} \sin(\frac{\omega T'}{2}) + \cos(\frac{\omega T'}{2}) \right\} \right] + R_C \cdot \sigma_s \cdot t_s \cdot i_l}{4CR_C \left[ 1 - \exp(-\frac{\alpha T'}{2}) \left\{ \frac{\alpha}{\omega} \sin(\frac{\omega T'}{2}) + \cos(\frac{\omega T'}{2}) \right\} \right] + 2T' - T_d} \dots\dots\dots (5.27)$$

ただし、当然、初期充電抵抗での補償により補償しすぎて、キャパシタ電圧が逆に規定値からずれることは有り得ないため、(5.27)式の右辺第2項は、右辺第1項よりも大きくなることに注意する。

図 5.13 は、入力電圧 200V、負荷抵抗 20Ω、負荷インダクタンス 40mH、各素子の平均スイッチング時間 300μs、各素子のスイッチング時間のばらつき 80%の動作条件で、初期充電

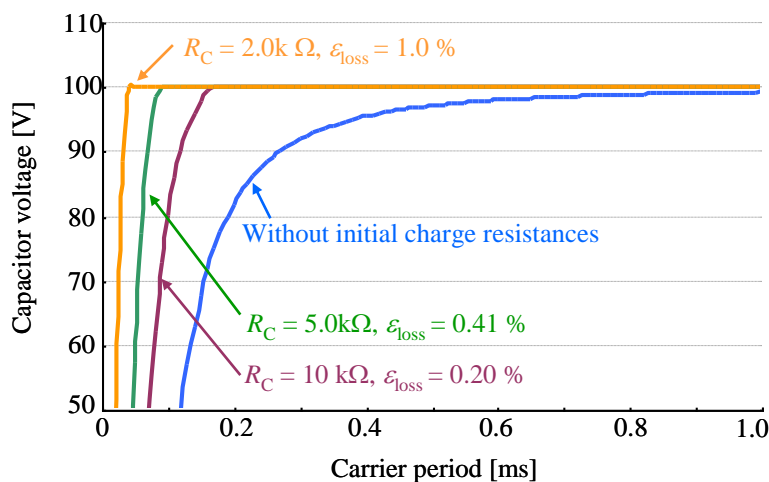


図 5.13 初期充電抵抗のバランス効果

( $V_{in} = 200V$ ,  $R_{load} = 20\Omega$ ,  $L_{load} = 40mH$ ,  $t_s = 300\mu s$ )

抵抗を接続しない場合および  $10\text{k}\Omega$ 、 $5\text{k}\Omega$ 、 $2\text{k}\Omega$  の各初期充電抵抗を接続した場合のキャリア周期に対するフライングキャパシタ電圧である。各初期充電抵抗を接続した場合の出力電力に対する初期充電抵抗の損失の割合を $\epsilon_s$ で示した。初期充電抵抗を接続しない場合には、キャリア周波数  $5\text{kHz}$  (キャリア周期  $0.2\text{ms}$ ) においてキャパシタ電圧が規定値に対して  $20\%$  程度低下してしまうのに対し、初期充電抵抗を接続して出力電力の  $0.2\%$  から  $0.41\%$  の小さな損失を生じるだけで、キャリア周波数  $10\text{kHz}$  (キャリア周期  $0.1\text{ms}$ ) においてもフライングキャパシタ電圧の電圧低下は規定値の  $10\%$  以内に抑制できることがわかる。また、変換器出力電力の  $1.0\%$  程度の損失まで許容できるならば、キャリア周波数  $50\text{kHz}$  でもキャパシタ電圧のアンバランスをほぼ生じずに安定的に動作が可能であることがわかる。

以上から、フライングキャパシタ回路の各素子にスイッチング時間遅れのばらつきがある場合でも、実際の素子で想定されるばらつき  $80\%$  程度の範囲内であれば、フライングキャパシタの初期充電用抵抗によってキャパシタ電圧アンバランスを補償可能であり、想定されるアンバランスに対して僅かな損失が生じるだけで、数十  $\text{kHz}$  の比較的高周波においてもキャパシタ電圧のバランスを確立できることが明らかになった。抵抗により電圧バランスを実現するこの補償方法は、一見安易な方法であるが、理想的な条件において電圧がバランスするフライングキャパシタ回路においては、非理想的な僅かなアンバランスを補償するだけで良く、この補償方法で十分に有効である。何より、元々各フライングキャパシタの初期充電用に必要不可欠な構成部品であり、非常にシンプルかつ高効率で、小型化の妨げにならない優れた方法であるといえる。

## 5.5. まとめ

本章では、実動作時において、フライングキャパシタ電圧にアンバランスが生じてしまう場合について指摘し、それについて理論解析を行った。各フライングキャパシタ電圧は、電圧自己バランス機能とスイッチングのタイミングばらつきによる電圧アンバランス作用が釣り合った電圧で平衡することを明らかにし、実験により理論解析の妥当性を確認した。また、主回路スイッチ素子に並列に抵抗を接続することで、スイッチングのタイミングばらつきによる電圧アンバランス作用を補償可能であることを示し、その際、当該抵抗で発生する損失は、主回路で扱う電力に対して十分に小さくできることを明らかにした。以上により、 $80\%$  程度のスイッチングのタイミングばらつきがある場合においても、フライングキャパシタの電圧バランスを保ち、フライングキャパシタコンバータの安定動作を実現できることを示した。

## 第6章

### 多レベル化と高パワー密度化を実現する実装方法

多レベルコンバータは、非常に多くの素子により構成されるため、実装方法の工夫なしでは高パワー密度化を達成し得ない。実装に関するいくつかの知見を基に、フライングキャパシタマルチレベルコンバータに特化したモジュール化の概念を提案し、試作回路によりその効果を実証する。

#### 6.1. ユニットモジュール化

##### 6.1.1. パワーデバイスモジュールの現状

一般的な2レベルコンバータにおいては、1相分の2個のIGBTと2個の逆並列ダイオードが1つのパッケージに入っている2 in 1パッケージおよび3相分の6つのIGBTとダイオードが1つのモジュールに実装された6 in 1パッケージが市販されている。さらに、パワーデバイスのみならず、ゲート駆動回路や保護回路までも内蔵したパワーモジュールも小容量の電力変換器で既に当たり前のように用いられている。

他方、もう少し広い概念としては、中大容量の電力変換器などにおいては、一相ごとにスタックと称されるモジュールにまとめられ、故障時などにレグごとに交換しやすく実装された電力変換器が用いられている<sup>(92)</sup>。

また、研究レベルでは、電力変換器に加えてフィルタや負荷までも電力変換システムの構成要素としてそれぞれをモジュール化し、各モジュールの組み合わせで電力変換システムが構築できるというPower Electronics Building Block (PEBB)の概念が提案されている<sup>(93)</sup>。

このように、電力変換システムは主回路スイッチ素子を含む様々な構成要素を組み合わせで実現され、その中に少なからず対称性や規則性が存在するため、ある複数の素子のまとまりごとにモジュール化して実装することはごく一般的に行われている。むしろ、現在のパワーエレクトロニクス機器において、製品を低コストで実現するためには、モジュール化は重要な要素技術であるといえる。

##### 6.1.2. マルチレベルコンバータのモジュール化

モジュール化の観点から考えると、マルチレベル回路方式は大きく以下の2つに分類することができる。

- ① 2レベルHブリッジや2レベルハーフブリッジコンバータを複数組み合わせる構成できる、カスケードHブリッジ、モジュラーマルチレベルカスケードコンバータ等
- ② 2レベルHブリッジや2レベルハーフブリッジコンバータをそのまま組み合わせても実現し得ない、ダイオードクランプ回路、フライングキャパシタ回路等

①の回路方式に関しては、モジュール化された2レベルコンバータを組み合わせることで、規則的に実装することが可能である。ただし、この場合、高パワー密度化の観点からは、必ずしも適切な実装方法とはいえない。一方、②の回路方式については、まず、①に対してモジュール自体をどう設計するかに関係要素があり、それぞれの回路方式の特徴に適したモジュール構成にする必要がある。次に、回路の規則性、対称性を利用した構成にすることによって、同一のモジュールを複数組み合わせる①のような直列接続だけでなく、様々な接続方法で多レベル化させることも可能である。②のマルチレベル回路がモジュール化されている例として、逆阻止IGBTを用いたT形マルチレベルコンバータの3相分のパワーデバイスが1つのパッケージに実装されたものが市販されている<sup>(94)(95)</sup>。

次節では、フライングキャパシタコンバータに適したモジュール化について検討を行う。

## 6.2. フライングキャパシタコンバータのモジュール化

### 6.2.1. コンセプト

図6.1は本研究で提案する、モジュール化されたフライングキャパシタコンバータの概念図である<sup>(96)</sup>。それぞれのモジュールは全く同じ素子を用いており、全く同じ構成である。個々のモジュールは、ある出力レベル数のフライングキャパシタコンバータとして構成し、単体で動作する。そのユニットモジュールを複数組み合わせるだけで、容易に様々な出力レベル数のコンバータを実現することが可能である。また、当然ながら、組み合わせたモ

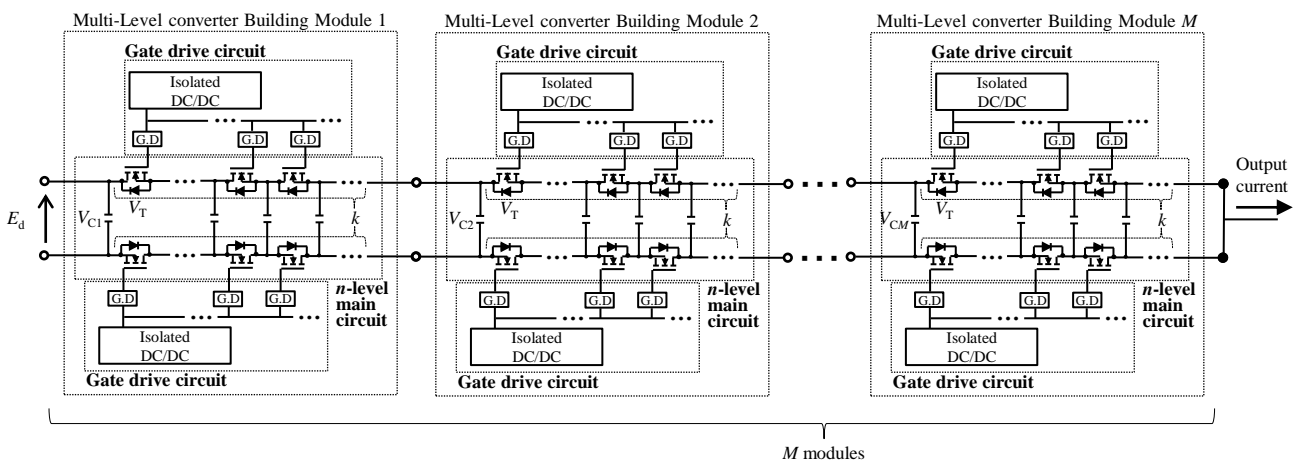


図6.1 モジュール化されたフライングキャパシタコンバータの概念図

表 6.1 モジュール接続数と出力レベル数, 変換器定格電圧の関係

The number of combining MLBMs		Output voltage levels	Rated input voltage
Single-phase	3-phase		
1 module	3 modules	(k+1) level	$E_{in}$
2 modules	6 modules	(2k+1) level	$2E_{in}$
3 modules	9 modules	(3k+1) level	$3E_{in}$
4 modules	12 modules	(4k+1) level	$4E_{in}$
5 modules	15 modules	(5k+1) level	$5E_{in}$
6 modules	18 modules	(6k+1) level	$6E_{in}$

ジュールを3つ用意すれば三相コンバータが実現できる。出力レベル数  $m$  とユニットモジュールにおける上アームもしくは下アームの主回路スイッチ素子数  $k$ , ユニットモジュールの接続数  $M$  の間には次式が成り立つ。

$$m = kM + 1 \dots\dots\dots (6.1)$$

また、接続するモジュール数  $M$  を多くするほど、コンバータ全体で扱える電圧が高くなる。したがって、本モジュールを用いることで、出力レベル数、電圧定格、変換器容量、相数などが同一のモジュールの組み合わせだけで実現することができる。表 6.1 に、この関係の一例を示す。

それぞれのモジュールは、上アームもしくは下アームそれぞれでゲート駆動用の絶縁電源を有し、それぞれの信号も絶縁されている。これにより、モジュールをどのように組み替えてもゲート駆動回路は問題なく動作することが可能である。

### 6.2.2. モジュールの設計指針

ある与えられた入力電圧に対して、モジュールの接続数を多くするほど各主回路スイッチに印加される電圧は低くなる。他方、最も直流入力側に近いフライングキャパシタの電圧はモジュール接続数を増やしても低くすることは出来ない。図 6.1 において、主回路スイッチの最大印加電圧  $V_{Tmax}$  と最も電圧の高いフライングキャパシタの電圧  $V_{Cmax}$  は以下の式で決定される。

$$V_{Tmax} = \frac{1}{kM} E_d \dots\dots\dots (6.2)$$

$$V_{Cmax} = E_d \dots\dots\dots (6.3)$$

主回路スイッチ素子の耐電圧およびフライングキャパシタとして用いるキャパシタの耐電圧は適切に選択する必要があるが、一モジュールの出力レベル数やモジュール接続数によって各主回路スイッチ素子およびフライングキャパシタの耐圧に対する電圧利用率が変化

する。主回路スイッチ素子およびフライングキャパシタの電圧利用率は以下のように定義する。

$$\lambda_T = \frac{V_{Tmax}}{V_{rT}} \dots\dots\dots (6.4)$$

$$\lambda_C = \frac{V_{Cmax}}{V_{rC}} \dots\dots\dots (6.5)$$

図 6.2 は、一モジュールのレベル数が 5 レベル、すなわち  $k=4$  のときの主回路スイッチ素子およびフライングキャパシタの電圧利用率とモジュール接続数  $M$  の関係を表す。(6.2)~(6.5) 式より、図 6.2 における動作点は直流入力電圧  $E_d$  に依存することが分かる。各素子において耐電圧のマージンは必要であるが、費用対効果と小型化の面からは、電圧利用率はなるべく高くなるよう設計した方がよい。図 6.2(a) はモジュール接続数が 1 つ、すなわち 5 レベルモジュール単体における主回路スイッチ素子およびフライングキャパシタの電圧利用率である。図 6.2(b), (c), (d) はそれぞれモジュール接続数  $M=2, 3, 4$ 、すなわち、出力レベル数 9, 13, 17 レベルのときの電圧利用率の関係である。この図 6.2 では、直流入力電圧はモジュール接続数  $M$  に対して比例することとして設計指針を立てた。したがって、(6.2) 式より、主回路スイッチ素子の電圧利用率はモジュール接続数  $M$  に依存せず一定である。一方、フライングキャパシタの電圧利用率はモジュール接続数  $M$  に比例することになる。よ

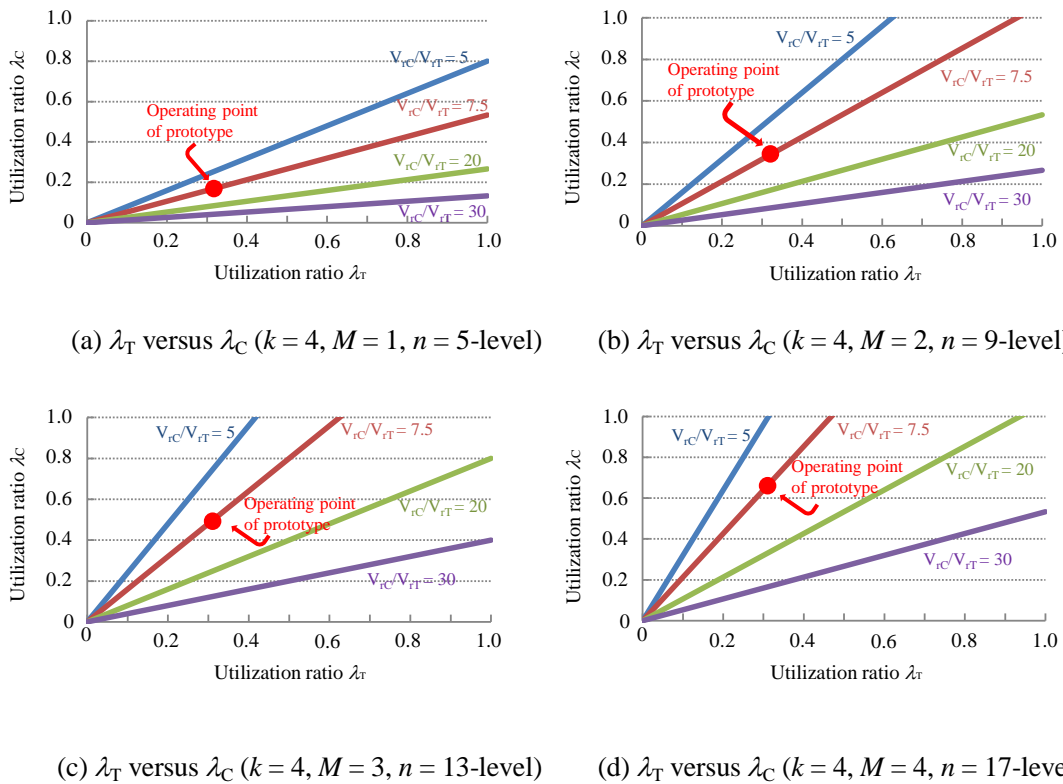


図 6.2 主回路スイッチ素子とフライングキャパシタの耐圧利用率に基づくフライングキャパシタモジュールの設計指針

つて、主回路スイッチ素子の電圧利用率とフライングキャパシタの電圧利用率の比、つまり図 6.2 の直線の傾きはモジュール接続数  $M$  に比例することになる。耐圧のマーヅンを考慮すると、電圧利用率の上限は、主回路スイッチ素子で 0.5、フライングキャパシタで 0.75 程度に抑える必要がある。以上のように、より無駄の無い設計を行うためには、モジュールに実装する主回路スイッチ素子の耐圧利用率とフライングキャパシタの耐圧利用率の比を想定されるモジュール接続数に配慮して適切に決定し、各素子を選択する必要がある。

### 6.2.3. 試作回路による動作検証

フライングキャパシタモジュールとして、試作回路を製作した<sup>(97)</sup>。一モジュールは図 6.3 の回路図のように、5 レベルコンバータとして設計した。使用した素子を表 6.2 に示す。市

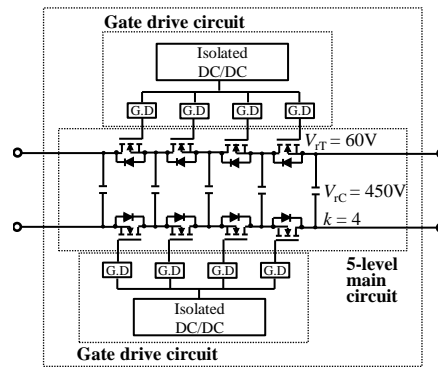


図 6.3 一試作モジュールの構成

表 6.2 試作モジュールに用いた素子

Flying capacitor	Six parallel ceramic capacitors, 450 V, 13.2 $\mu$ F
MOSFET	DirectFET <sup>®</sup> , IRF6648, 60V, 86 A, 5.5m $\Omega$
Isolated DC/DC converter	TME1215S, 15 V output, 1 W
Gate driver IC	FAN7361

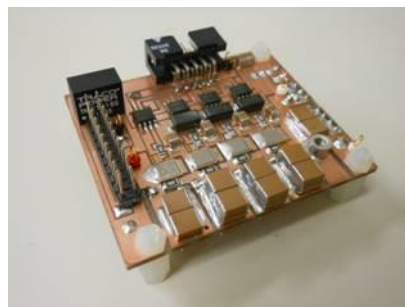


図 6.4 動作検証のための一次試作モジュール

販されているパワーMOSFETの中から、耐圧60VのMOSFETを選定し、一モジュール当たり8個ずつ用いた。フライングキャパシタとしては、450V耐圧の積層セラミックコンデンサを使用した。したがって、本試作モジュールにおいては、MOSFETとフライングキャパシタの耐圧利用率の比は7.5と設計した。これは、先に示した図6.2の直線そのものであり、モジュール接続数 $M=1\sim 4$ のそれぞれにおいて、各耐圧利用率が適切な範囲に収まるよう設計できていることが確認できる。ただし、本検討では、主回路スイッチ素子およびフライングキャパシタとして市販の標準品を選定しており、入手可能な耐圧の値がとびとびであるため、細かな選択には限界があることに留意されたい。

ゲート回路は、回路全体に対して一つの制御入力電圧を上アームと下アームそれぞれに備えた絶縁型DC/DCコンバータにより各アームの最下段のゲート駆動電源を確保し、それよりも上段については、2レベルコンバータでも一般的に用いられるブートストラップ回路を拡張した非常にシンプルかつ簡易な方法により、ゲートフローティング電源供給を実現している。

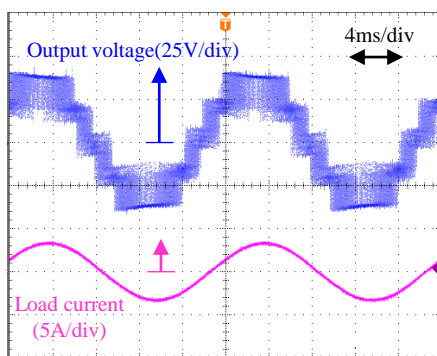


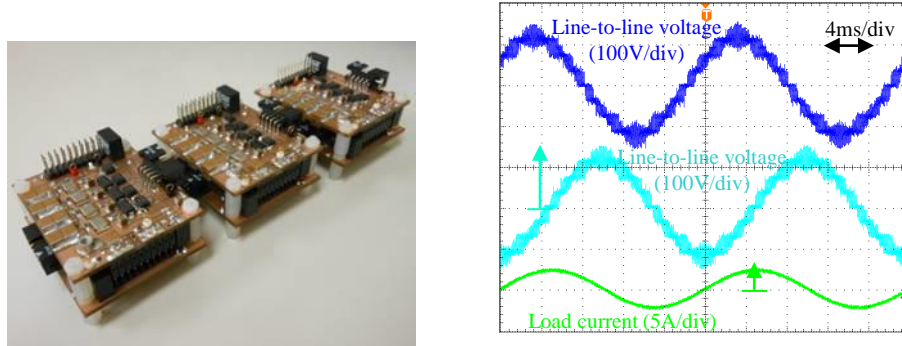
図 6.5 一次試作モジュールの動作波形

表 6.3 一次試作モジュールを組み合わせた変換器の実験条件

Realized converter	9-level 3-phase converter	13-level single-phase H-bridge converter	17-level single-phase half-bridge converter
Input DC voltage	150 V	225 V	300 V
Load resistance	30 Ω / phase	50 Ω	40 Ω
Load inductance	5 mH / phase	5 mH	20 mH
Fundamental frequency	50 Hz	50 Hz	50 Hz
Output PWM frequency (Carrier frequency)	20 kHz (2.5kHz)	120 kHz (10 kHz)	240 kHz (10 kHz)



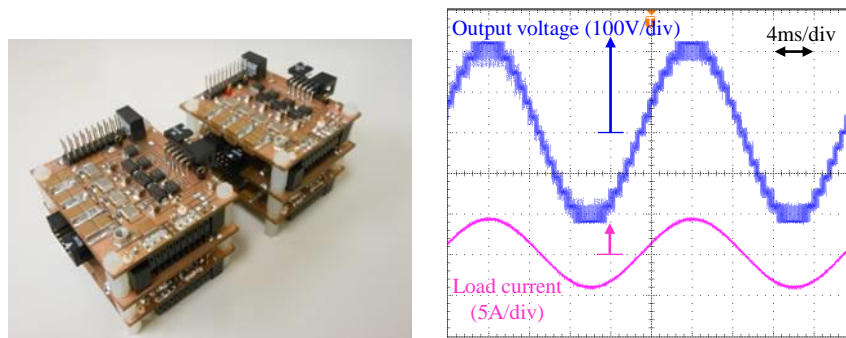
図 6.4 は試作したモジュールの外観である。点対称に配置されたコネクタで実現された入力側，出力側の 4 端子および制御電源入力端子を備える。このコネクタの配置により，同



(a) 外観

(b) 動作波形

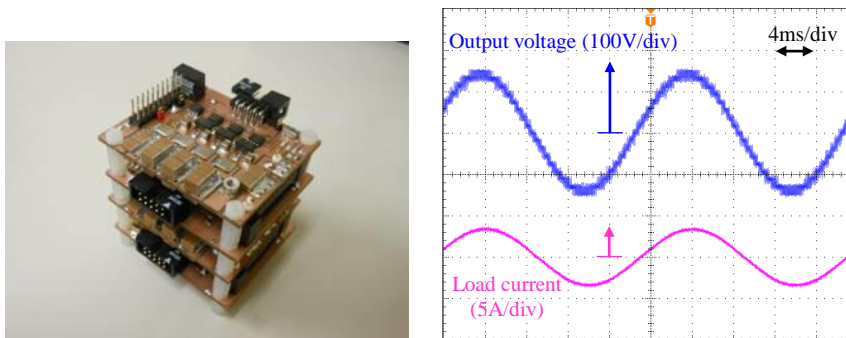
図 6.6 6つのモジュールを組み合わせて実現した三相 9 レベルインバータ



(a) 外観

(b) 動作波形

図 6.7 6つのモジュールを組み合わせて実現した単相 H ブリッジ 13 レベルインバータ



(a) 外観

(b) 動作波形

図 6.8 4つのモジュールを組み合わせて実現した  
単相ハーフブリッジ 17 レベルインバータ

一のジュールを互い違いの向きに垂直方向に積み上げることで、図 6.1 のようなモジュールの組み合わせ方を実現することが可能となる。

図 6.5 は、一次試作モジュール単体での動作波形である。5 レベル出力が得られていることが確認できる。図 6.6(a), 図 6.7(a), 図 6.8(a)はそれぞれ、6 モジュールを組み合わせ実現した三相 9 レベルインバータ、6 モジュールを組み合わせ実現した単相 H ブリッジ 13 レベルインバータ、4 モジュールを組み合わせ実現した単相ハーフブリッジ 17 レベルインバータである<sup>(96)</sup>。また、図 6.6(b), 図 6.7(b), 図 6.8(b)は、表 6.3 の実験条件における、各インバータの出力波形である。いずれも同一のモジュールの組み換えだけで回路構成を変更し、正常な動作波形が得られていることが確認できる。

以上より、フライングキャパシタコンバータをモジュール単位で実装するコンセプトについて、モジュールの拡張性および複数モジュールを用いた多レベルインバータの実現可能性を試作回路により実証した。

### 6.3. 1 チップ集積化

本研究で対象とする、数百 V 程度の低電圧の電力変換器においては、絶縁距離が短くて済むため、主回路素子を基板上に高密度で実装することができる。さらに、レベル数を多くするほど、低耐圧の半導体素子を使用できるため、IC 化さえも可能になる。本研究においては、主回路および駆動回路を半導体 1 チップ内に作り込むことを目指す「集積化」も視野に入れて研究を行っている<sup>(98)</sup>。1 チップ集積化は、半導体 1 チップで回路を構成する全てもしくは大部分の半導体デバイスを実現する究極の高密度実装技術である。ロジックの世界においては、大規模集積回路 CPU が今や 1 億個以上のトランジスタが 1 チップ半導体で実現されているが、それを電力の大きなパワーエレクトロニクスで行おうという構想である。マルチレベルインバータに限らず、電力変換器を 1 チップ集積化しようとする動きは以前からあり、文献<sup>(99)</sup>などで報告されている。また、2014 年 3 月には、横型素子である GaN-HEMT を用いた 1 チップマトリックスコンバータの開発が報告されている<sup>(100)(101)</sup>。

しかしながら、現段階では半導体 1 チップ電力変換器は実用化には至っていない。マルチレベルインバータの 1 チップ集積化を実現するためには、主回路はもとより周辺回路に関しても、集積化する際の障害となる要素をなくすことが必要である。次章では、このような思想のもと、現在の技術で集積化可能な素子のみを用いて、高パワー密度のフライングキャパシタコンバータを試作している。しかしながら、マルチレベルコンバータを 1 チップで実現する半導体デバイス構造の開発や半導体素子を 1 チップ化した際のフライングキャパシタの実現方法など、設計仕様を具体化するためには、さらなる検討が必要である。

これらの技術的な問題を解決し、マルチレベルインバータを半導体 1 チップ化することができれば、以下のようなメリットを享受することができる。

- デバイス間の寄生インダクタンスが限りなくゼロに近くなり、主回路スイッチ素子のスイッチングスピードを速くしても電磁ノイズをほとんど発生せずに高品質の電力変換が可能になる。
- スwitching速度を非常に速くできることにより、スイッチング損失を劇的に低減することが可能になる。
- 各素子を別のチップで作製する場合に比べてチップ面積を小さくすることができる。
- これらの効果により、電力変換器の体積を究極的に小型化でき、飛躍的な高パワー密度化が実現できる。また、これにより、極限まで高調波および電磁ノイズを低減する超多レベルインバータの実用化可能性も高まる。
- チップ面積を小さくでき、かつ作製は半導体プロセスで大部分が完了するため、大量生産が容易であり、非常に安価に作製することが可能となる。

以上のように、1チップ集積化されたフライングキャパシタマルチレベルコンバータは、本研究で目指す究極的な電力変換器を実現するための非常に有力な方式であるといえる。

## 6.4. まとめ

本章では、多レベル化と高パワー密度化を実現する実装方法として、フライングキャパシタマルチレベルコンバータに特化したモジュール化のコンセプトを提案し、試作回路によりその有効性を確認した。このモジュール化のコンセプトは、本章で示した試作回路のようにディスクリート素子で構成するだけでなく、半導体1チップを1モジュールと見なし、複数の半導体チップモジュールをワイヤボンディング等で接続するような構成も考えられる。これは、将来的にマルチレベルコンバータを1チップ集積化するフェーズに入っても、半導体1チップで実現できるレベル数には限界があると考えられるためである。つまり、多レベルインバータを半導体1チップに全て作り込むよりも、回路を分割して、適切なコストで作製できるレベル数のチップを複数接続の方がコスト的に有利となる可能性が高い。したがって、このモジュール化のコンセプトは、将来的に集積化マルチレベルコンバータを実現する際にも重要な技術になると考えられる。

## 第7章

### 多レベル高パワー密度コンバータの実証

本章では、これまで述べてきたフライングキャパシタコンバータに関する知見を基に、多レベル化および高パワー密度化を図ったフライングキャパシタコンバータの設計、実証例を示す。

#### 7.1. 出力フィルタの設計例

系統連系インバータや無停電電源装置等の用途では、インバータ出力波形の品質が求められるため、出力フィルタが用いられる場合が多い。マルチレベルインバータにおいては、3章で述べた通り、出力レベル数を増やすほど出力高調波を低減することができるが、インバータ高パワー密度化の観点からは、むやみに出力レベル数だけを増やすのではなく、適切なある程度のレベル数のインバータの出力に小型のフィルタを接続したシステムが総合的には有利であると考えられる。したがって、マルチレベルインバータのレベル数を考慮した出力フィルタの設計方法を確立する必要があるが、3.1節で述べた通り、マルチレベルインバータの出力高調波解析で導出した理論式がフィルタ設計の基礎となる。本節では、先に示したPWM出力波形の高調波理論解析結果を基に、出力レベル数をパラメータとした出力フィルタ設計手法の例を示す。

まず、最も単純な例の一つとして、RL直列負荷を接続した5レベルインバータについて、出力電圧高調波の理論式を基にした負荷電流の算定を行う。さらに、それを応用し、5レベルおよび9レベルインバータの出力に接続するLCフィルタの設計例を示す<sup>(68)</sup>。

表 7.1 5レベルインバータの実験条件

Type of inverter	Flying capacitor inverter
Fundamental frequency	50 Hz
Carrier frequency	10 kHz
Modulation factor	0.6
Load resistance	10 $\Omega$
Load inductance	60 mH

表 7.1 の条件において、先で導出したインバータ出力電圧の理論解析式を利用して、5 レベルインバータの出力電圧の各周波数成分を図 7.1 の破線で示す周波数毎の負荷インピーダンスで除算することで、同じく図 7.1 の実線のように負荷電流の高調波分布を理論的に求めた。妥当性検証のため、同一の条件により実験を行い、図 7.2(a)の波形、図 7.2(b), (c)の出力電圧および負荷電流の高調波解析結果を得た。理論解析結果と実験結果とを比較すると、主要高調波成分である 40, 80, 120, 160, 200kHz の成分とその側帯波の分布がよく一致していることが確認できる。また、実験結果において、理論式で算出した結果と含有している高調波成分の大きさが若干異なる部分が見られるが、これは 5 レベルインバータの試作回路のキャパシタ電圧に脈動があるためにキャリア周波数の整数倍の成分が含まれているためであると考えられる。以上のように、マルチレベル出力電圧高調波の理論式を利用して、容易に負荷電流の高調波分布を算定できる。

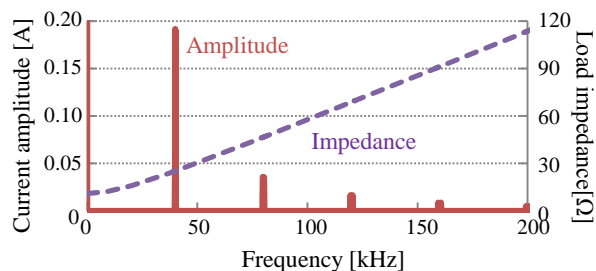
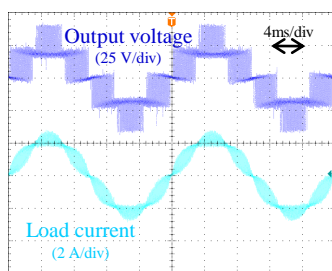
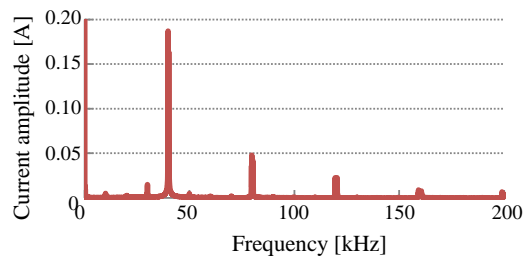
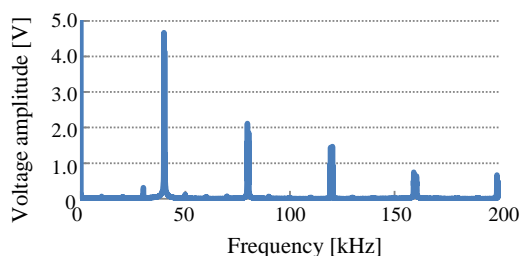


図 7.1 RL 負荷インピーダンスと 5 レベルインバータ出力負荷電流の高調波理論解析結果



(a) インバータ出力電圧および負荷電流波形



(b) 出力電圧の高調波解析結果 (c) 負荷電流の高調波解析結果  
図 7.2 RL 負荷を接続した 5 レベルインバータの実験結果

さらに、図 7.3 のように LC 高調波フィルタと RL 直列負荷が接続されたマルチレベルインバータにおいて、高調波フィルタの設計例を示す。5 レベルおよび 9 レベルインバータについて、要求仕様として負荷電圧の最有力高調波成分を 2.0% 以下に抑制するための高調

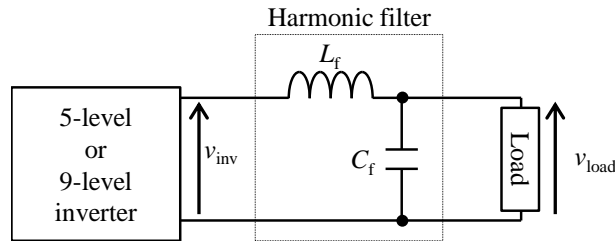
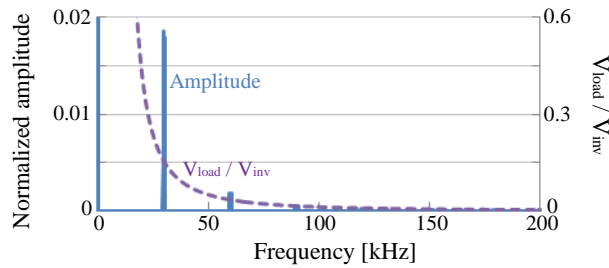


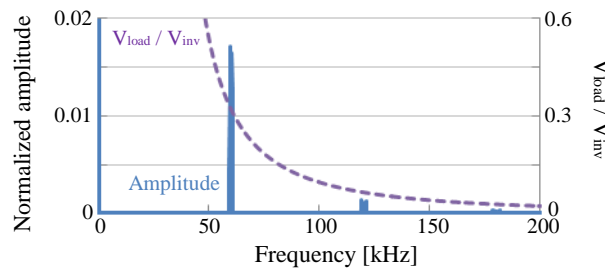
図 7.3 RL 負荷と高調波フィルタが接続された 5 レベルおよび 9 レベルインバータの回路構成

表 7.2 5 レベルおよび 9 レベルインバータの動作条件.

Type of inverter	Flying capacitor inverter
Fundamental frequency	50 Hz
Carrier frequency	7.5 kHz
Modulation factor	0.9
Load resistance	100 Ω
Load inductance	60 mH



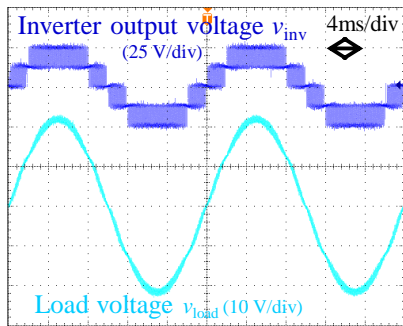
(a) 5 レベルインバータ ( $L_f = 76\mu\text{H}$ ,  $C_f = 2.7\mu\text{F}$ )



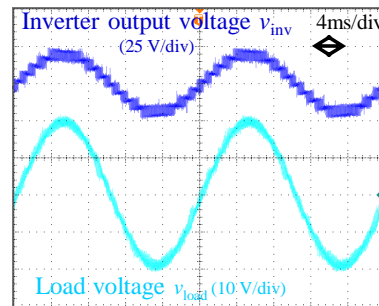
(b) 9 レベルインバータ ( $L_f = 29\mu\text{H}$ ,  $C_f = 1.0\mu\text{F}$ )

図 7.4 高調波フィルタの周波数特性および負荷電圧の理論解析結果

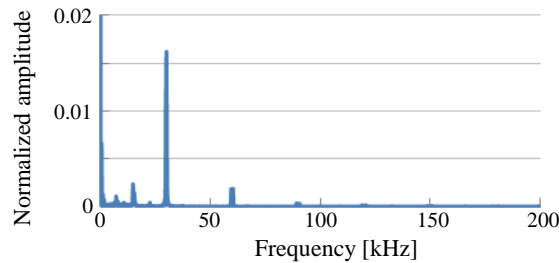
波フィルタを設計する。表 7.2 に検討条件を示す。図 7.4 の破線は設計したフィルタの周波数特性、実線は負荷電圧の高調波理論解析結果である。フィルタとして、系列化されている市販のインダクタとキャパシタを用い、5 レベルおよび9 レベルにおいて、最有力高調波成分がそれぞれ基本波振幅の 1.8% および 1.7% となるようにフィルタを設計した。このとき、カットオフ周波数は 5 レベル、9 レベルでそれぞれ 10.9kHz, 29.6kHz となった。図 7.5 は、設計したフィルタを接続した各インバータにおける負荷電圧の高調波解析結果である。それぞれ図 7.4 の理論解析結果とほぼ一致しており、要求仕様を満たす設計となっていることが確認できる。このように、本稿で導出した高調波解析手法を用いることで、調波毎に与えられた要求仕様を満足するフィルタの詳細な設計が可能となる。特に、インバータのレ



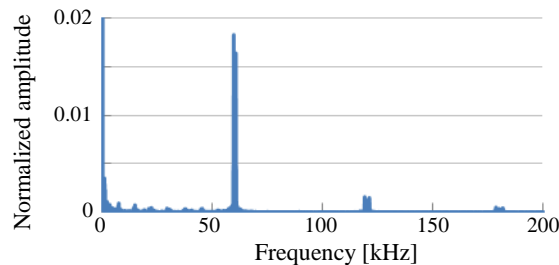
(a) 5 レベルインバータ実験波形



(b) 9 レベルインバータ実験波形



(c) 5 レベルインバータ負荷電圧の解析結果 ( $L_f = 76\mu\text{H}$ ,  $C_f = 2.7\mu\text{F}$ )



(d) 9 レベルインバータ負荷電圧の解析結果 ( $L_f = 29\mu\text{H}$ ,  $C_f = 1.0\mu\text{F}$ )

図 7.5 RL 負荷と高調波フィルタが接続された 5, 9 レベルインバータの実験結果

ベル数も実用上の設計パラメータとし、出力高調波低減の観点からインバータとフィルタの統合設計ができることが大きな特長である。

以上のように、導出した理論式を応用する例として、負荷電流の高調波分布を精度よく算定できることを示した。さらに、調波毎に与えられた要求仕様を満たす高調波フィルタの設計が可能となることも示した。導出した高調波理論式は、マルチレベルインバータに接続する高調波フィルタや連系リアクトル等の設計時に有用であるほか、モータ駆動におけるモータの高調波損失の算定等にも利用できる。ただし、いずれの場合においても負荷の詳細なモデリングは必要である。これについては本論文で扱う範囲を超えるため議論しないが、上記のような設計や解析を行う際には、これまで示してきた調波別の高調波解析結果がその基礎として必要不可欠である。

## 7.2. 三相7レベルフライングキャパシタインバータの試作

本節では、これまで得られた様々な知見を用いて三相7レベルフライングキャパシタインバータを設計、試作した例について述べる。マルチレベル変換器を比較的小容量の用途に適用することを考え、直流入力電圧300V、変換器容量1kW程度を想定した。また、今後のさらなる多レベル化を視野に入れ、レベル数は7レベルとした。大容量、高電圧の変換器では、多レベル化および高パワー密度化には限界があったが、小容量の変換器では、小容量で電圧が低いことにより許容される実装方法を導入することで多レベル化、高パワー密度化を同時に実現できる可能性がある。試作回路の特性と体積を評価し、従来の2レベルインバータに対する優位性を実証する。

### 7.2.1. 回路設計

#### (1) 主回路の設計

図7.6に三相7レベルフライングキャパシタインバータの主回路図を示す。マルチレベル変換器はレベル数を増やすほど、スイッチング素子1つ当たりに印加される電圧を下げることができ、7レベルの場合、素子に印加される電圧は入力電圧の6分の1になる。試作回路では、動作条件として直流入力電圧300V程度を想定し、スイッチング素子としてマージンを考慮して100V耐圧のMOSFETを用いた。100Vまで低い耐圧のMOSFETにおいては、市販の標準品でも非常に特性の良いデバイスが多く存在する。本試作回路では、その中でもIR社のDirectFET®と呼ばれるパッケージのMOSFETを使用した。DirectFET®は、通常のMOSFETのベアチップの片面側が金属のCANと呼ばれるドレイン電極兼放熱板でカバーされており、反対の面にゲート電極とソース電極がパット状に露出しているパッケージである。サイズはMOSFETのベアチップより一回り大きくなった程度と非常に小型であり、リードやボンディングワイヤもないためパッケージでの損失や寄生インダクタンスが非常に小さい。すなわち、スイッチング速度が速く、オン抵抗も非常に小さいため、集積化の前



段階の試作回路に用いるのに最適なパワーデバイスの一つであると考えられる。試作回路では、1相あたり12個、合計36個の DirectFET® IR6644 を使用した。

フライングキャパシタには、4章で述べた、体積当たりの静電容量が大きい Class-II（高誘電率系）積層セラミックコンデンサを用いた。これは、試作回路で扱う電圧 300V および電流 3A 程度の動作条件では、キャパシタの温度上昇よりも電圧リプルが設計の制約になるためである。静電容量  $C_{FC}$  はフライングキャパシタの電圧リプル  $V_{ripple}$  を考慮して以下の式から、キャパシタ最大電圧リプルを 50% と設定し、各フライングキャパシタは  $2\mu\text{F}$  と設計した。ただし、(5.1)式の  $I_{max}$  は負荷電流最大値、 $f_{carrier}$  はキャリア周波数である。

$$C_{FC} = \frac{I_{max}}{2V_{ripple} \cdot f_{carrier}} \dots\dots\dots (7.1)$$

回路実装の対称性を確保するため、用いるキャパシタは全て 250V 耐圧のものとし、 $1\mu\text{F}$  のキャパシタを 2 並列にして使用した。図 7.7 に試作回路の主回路表面の外観を示す。

また、フライングキャパシタの初期充電および電圧アンバランスの補償の役割を担う主回

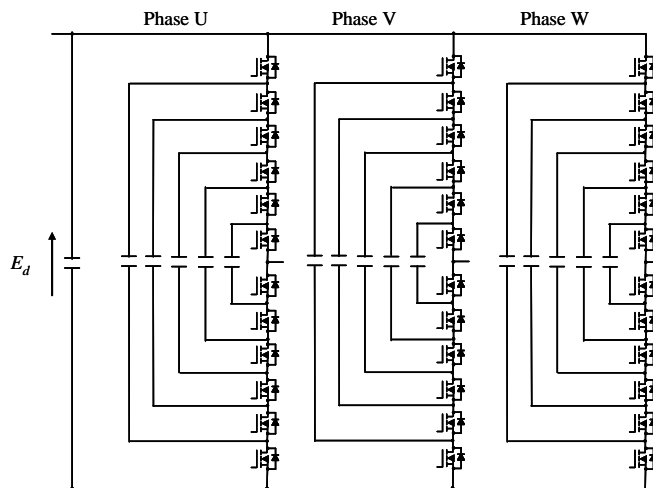


図 7.6 7 レベルインバータ回路図

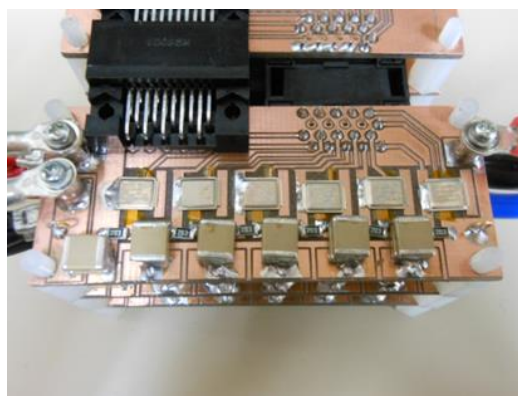


図 7.7 試作機の主回路

路スイッチ素子の並列抵抗として  $20\text{k}\Omega$ 、定格電力  $0.5\text{W}$  のチップ抵抗を選定した。今回用いた MOSFET はスイッチング速度が速いため、各素子でスイッチング時間のばらつきが存在してもフライングキャパシタの充放電への影響は少ないと考えられる。全ての並列抵抗の損失の合計がインバータ出力電力の  $0.05\%$  以下になるよう設計を行い、市販の系列から選定した。

(2) ゲート回路の設計

図 7.8 にゲート回路の回路図を示す。ゲート回路はブートストラップ方式によりフローティングする各主スイッチング素子のゲート駆動電源を構成した。ブートストラップ方式は、主回路素子のスイッチングを利用して下位側のゲート駆動回路電源コンデンサから上位側のゲート駆動回路電源コンデンサに順次充電を行うことで、フローティング電源を実現する方式である。この方式では、最下段のゲート駆動回路に接続された 1 つの電源により、原理的には上位にあるすべてのゲート駆動回路に電源を供給することができ、各々の主回路スイッチ素子に絶縁電源を設ける必要がなく、小型化に向けた方式である<sup>(102)(103)(104)</sup>。

図 7.9 に 3 レベル回路にブートストラップ方式を適用した場合の動作モードを示す。モード I のように  $s_{1p}$  が ON になると、最下段の駆動電源  $V_c$  から  $s_{1p}$ ,  $D1$  を通って電流が流れ、 $C1$  が充電される。 $s_{1p}$  が OFF の状態で  $s_{2p}$  への信号が入力されるモード II では、充電されている  $C1$  により  $s_{2p}$  が ON になった際、 $C1$  から  $s_{2p}$ ,  $D2$  を通って電流が流れ、 $C2$  が充電される。同様にモード III では、 $C2$  により  $C3$  が充電される。このように、最下段の駆動電

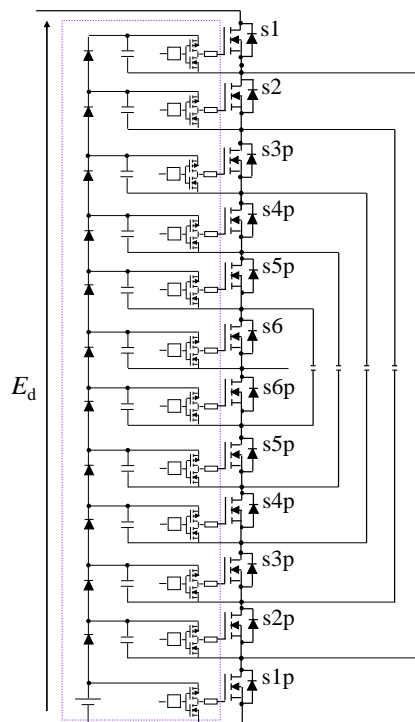


図 7.8 ゲート回路の構成

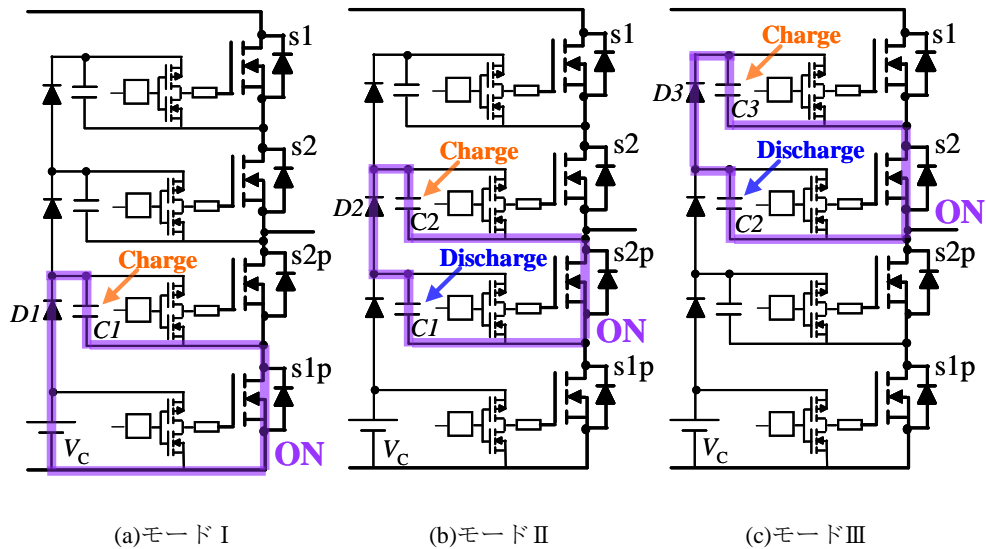


図 7.9 ブートストラップ電源絶縁方式の動作

源から、1 段上のコンデンサを充電し、さらにそのコンデンサからその 1 段上のコンデンサを充電するという動作を繰り返すことで、フローティングされている上位の全てのゲート駆動回路へ電源供給が可能となる。

しかし、原理上、動作開始時には、上位のコンデンサは充電されていない状態なので、全ての素子がスイッチングを行い、最上位のコンデンサの充電が完了するまでは、回路全体が正常なスイッチング動作を行える状態にはならない。

また、上段になるほどブートストラップコンデンサの充電電流が通過するダイオードの直列数が多くなるため、それらの順電圧降下の総和によりゲート駆動用電源の電圧が低くなる。ゲートドライブ回路および主回路オンオフ制御デバイスのゲート端子に印加可能な最大電圧によって駆動用電源  $V_c$  の電圧上限値が決まり、主回路オンオフ制御デバイスのゲート電圧閾値によって許容可能なダイオードの電圧降下が決まるため、ブートストラップ方

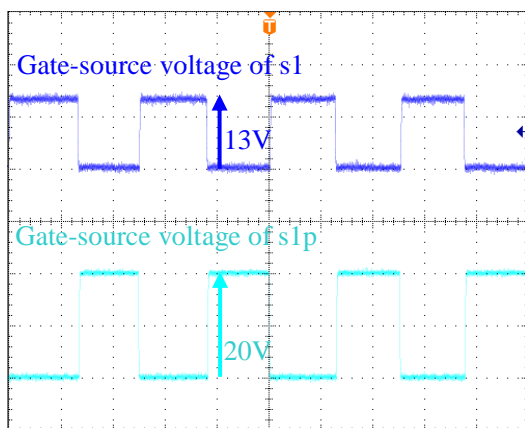


図 7.10 7 レベル回路のゲート駆動波形

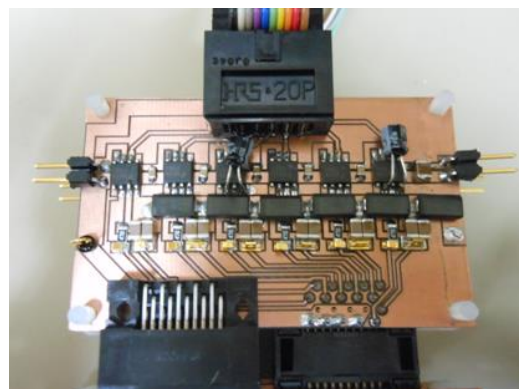


図 7.11 ゲート回路外観

式によって駆動できる主回路オンオフ制御デバイスの直列接続数，すなわちレベル数には限界があることがわかっている<sup>(104)</sup>。7レベル回路では，11個の直列ダイオードの順電圧降下が生じることになるが。試作機では最下段のゲート駆動電圧を20Vとし，600V耐圧でありながら順電圧降下0.64Vのダイオードを用いることによって，図7.10のように，最上段でも13V程度のゲート駆動電圧を確保でき，ブートストラップ方式の適用により絶縁電源を複数用いることなく実現した。

ゲート信号の絶縁には，ゲートドライバICに内蔵されているレベルシフト回路を用いた。また，ゲート抵抗は47Ωとした。ゲートドライバICやブートストラップ用ダイオード，ゲートチャージ用コンデンサ，ゲート抵抗なども全て表面実装形の小型素子を選定し，リフロー炉を用いずに半田ごてで実装できる範囲で極力高密度に実装を行った。図7.11に試作回路のゲート回路外観を示す。

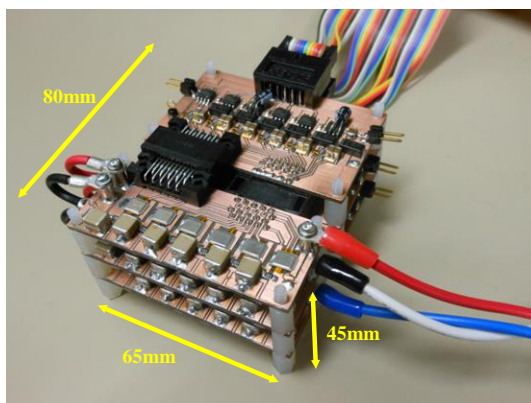


図 7.12 三相7レベルインバータ試作機

表 7.1 試作機の使用素子

Main Circuit	MOSFET	IRF6644TR1PBF, Direct FET, 100V, 10.3A
	Flying capacitor	GRM55DR72J224KW01L, 250V, 1μF
	Initial charge resistor	ERJ8GEYJ203V, 20kΩ, 0.25W
Gate drive circuit	Gate driver	FAN7361MX
	Diode	D4F60, 600V, 4A
	Capacitor	C3216JB1H105K, 50A, 1μF
	Gate resistor	ERJS08J470V, 47Ω, 0.25W
etc.	Connector (main circuit)	FX2-20S-1.27DS(71)
	Connector (gate circuit)	FX2-20P-1.27DS(71)
	Connector (signal circuit)	HIF6A-20PA-1.27DS

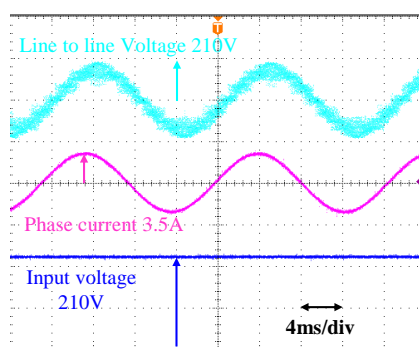


図 7.13 RL 負荷時の動作波形 ( $f_{\text{carrier}} = 10\text{kHz}$ ,  $R_{\text{load}} = 30\Omega$ ,  $L_{\text{load}} = 5\text{mH}$ )



図 7.14 誘導モータ駆動時の動作波形

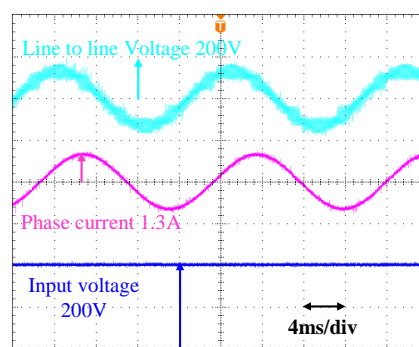


図 7.15 誘導モータ駆動装置構成

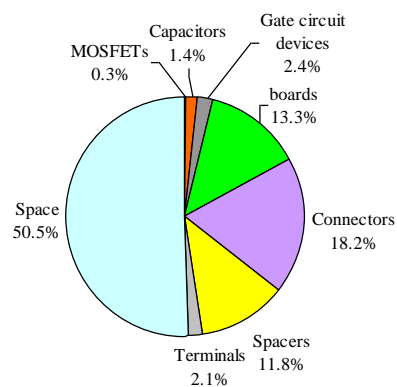


図 7.16 試作機の体積の内訳

### (3) 実装と構造

図 7.12 に三相 7 レベルライニングキャパシタ試作回路の外観, 表 7.1 に主な使用素子を示す。低電圧の変換器で絶縁距離を短くとることができるため, 全ての素子を両面基板に面実装し, それを三相分の 3 層構造にすることとした。それぞれ主回路とゲート回路の基

板を別々に製作し、コネクタで接続する構造とした。また、前述の通り、非常に特性の良い MOSFET を用いたこと、また 7 レベルにしたことでスイッチング損失が大幅に低減出来るとの予測から、ヒートシンクおよびファン等の冷却器は用いずに製作した。最終的には、主回路およびゲート回路、コネクタまでを含め、65mm×80mm×45mm のサイズまで小型化することが出来た。

#### (4) 動作確認

三相 7 レベルインバータ試作回路の基礎特性を評価するため、RL 負荷および誘導電動機を負荷として動作確認を行った。図 7.13 に入力電圧 210V、キャリア周波数 10kHz、RL 負荷、550W 出力時の動作波形を示す。スイッチングに伴う電磁ノイズが少ない良好な波形が得られており、負荷の線間電圧は高調波の少ない階段状の波形となっていることが確認できる。7 レベルインバータでは出力電圧の総合ひずみ率 (THD) は 2 レベルインバータの 3 分の 1 程度となる<sup>(68)</sup>。また、初期充電抵抗によってフライングキャパシタ電圧のバランスを保ち、安定動作が確立できていることが確認できる。

また、図 7.14 のように 0.75kW の誘導電動機を負荷として無負荷状態で駆動し、図 7.15 の波形を得た。RL 負荷時と同様に良好な線間電圧波形が得られていることが確認できる。フライングキャパシタ電圧は、負荷力率が低い場合にバランス作用が弱くなるが、試作機は誘導機の力率が低い無負荷の場合でもキャパシタ電圧がバランスし、安定的に動作することができた。

しかしながら、効率が想定よりも低く、デバイスの温度上昇が大きくなってしまったため、出力電力 550W で動作確認を終えた。温度上昇が大きくなってしまった理由として、ゲート抵抗の値を大きく設計したためスイッチング損失が大きいこと、3 相分の基板を垂直方向に重ねた構造としたため熱が籠ってしまったことが挙げられる。

また、体積の内訳を分析すると、図 7.16 のようにまた、実際に回路として動作している部分は全体の 2 割程度であり、半分は空間、残り 3 割程度はコネクタやスペーサで占められていることが判明し、設計、実装次第でさらなる高パワー密度化が可能であることが分かった。これらの点を改良し、当初の仕様を満たす三相 7 レベルフライングキャパシタインバータを再設計、製作する。

#### (5) 実装方法と構造の改良

改良を図った二次試作回路では、1 枚の両面基板上に全ての素子を実装することとし、図 7.17 のように製作した<sup>(105)</sup>。この構造により、一次試作回路での基板間に熱が籠ることは解消することができた。また、主回路とゲート回路を同一の基板上に実装したため、スイッチング時のサージ電圧を低減することが出来たため、各ゲート抵抗の値を 47Ω から 20Ω に変更してスイッチング速度を速くし、スイッチング損失の低減を図った。二次試作回路は、75mm×150mm×20mm のサイズとなり、その体積は一次試作回路より僅かに小さくすることが出来た。

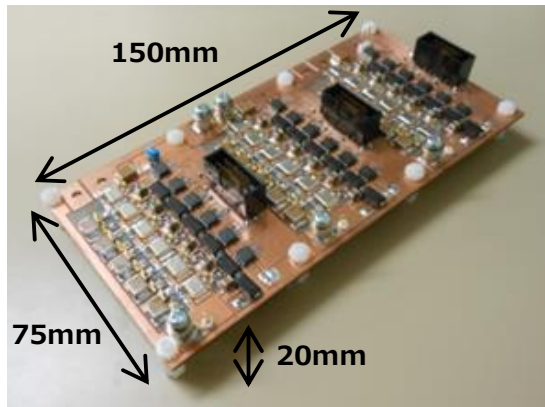


図 7.17 三相 7 レベルインバータ試作機

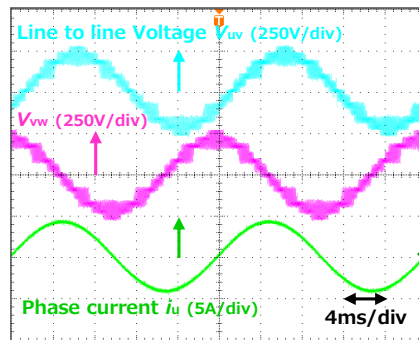


図 7.18 800W 出力時の動作波形 ( $R_{load} = 30 \Omega$ ,  $L_{load} = 5 \text{ mH}$ )

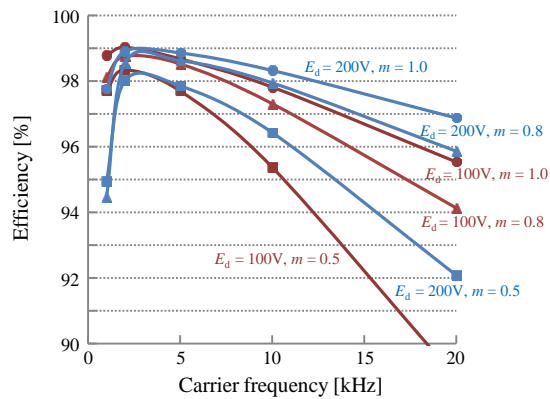


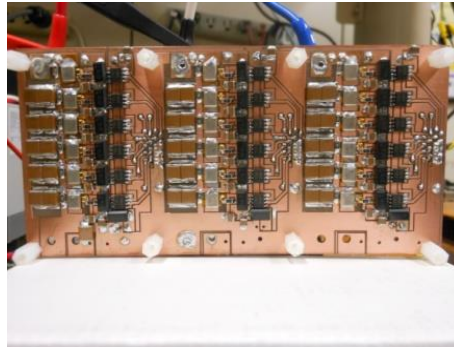
図 7.19 試作機の変換効率 ( $R_{load} = 30 \Omega$ ,  $L_{load} = 5 \text{ mH}$ )

### 7.2.2. 実験結果

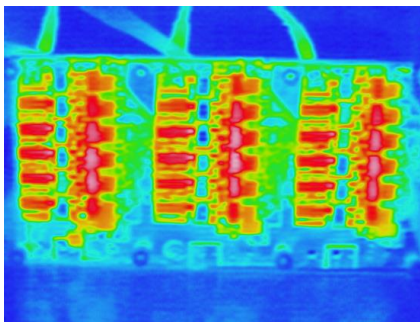
図 7.18 は、試作機に RL 負荷を接続し、800W を出力した際の実験波形である。正弦波状の電圧波形が出力されていることが確認できる。また、変換効率はキャリア周波数 2kHz の

とき、最高で 99.0% が観測され、キャリア周波数、入力電圧  $E_d$  および変調率  $m$  に対して図 7.19 のような特性となった。

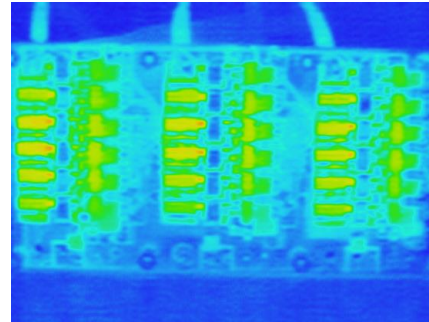
次に、サーモカメラを用いて温度分布を測定した。図 7.20(a) は測定を行った試作機の裏



(a) 試作機裏面



(b) 温度分布 (変調率 1, 出力 496W)



(c) 温度分布 (変調率 0.5, 出力 131W)

図 7.20 試作機裏面の温度分布

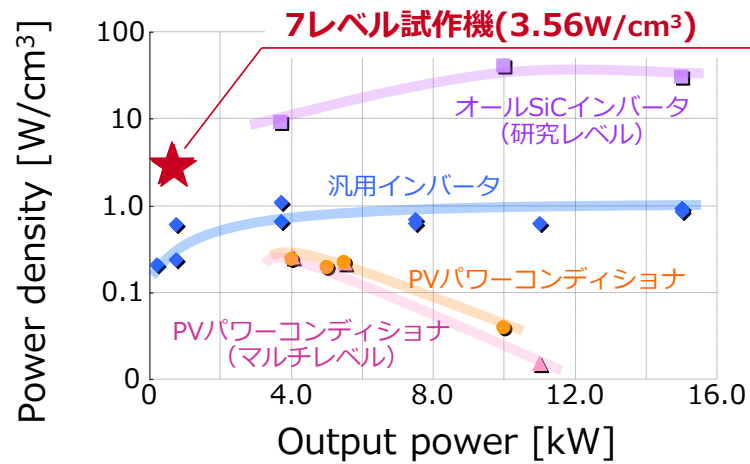


図 7.21 市販のインバータのパワー密度比較



面であり、左から U, V, W相となっている。またそれぞれの相のスイッチは下から s1p, s2p, …, s6p となっている。図 7.20 (b)は変調率 1.0 で 496W 出力時の試作回路の温度分布である。最も発熱すると考えられる MOSFET の表面温度がフライングキャパシタやゲートドライブ回路の各素子よりも低くなっているように見られるが、これは DirectFET<sup>®</sup>が金属パッケージであるため周囲とは反射率が異なるためであり、実際の温度は周囲の銅パターンと同程度の温度になっていることを確認している。基板の銅パターンの温度は 55.6°Cに達しており、基板全体の温度上昇に伴う周辺回路の温度上昇に注意する必要がある。

図 7.20(b)は、変調率 0.5, 131W 出力時の試作回路の温度分布である。変調率 1.0 の場合に比べ、全体的に温度が低く、最高で 46.2°Cとなった。一般に、マルチレベルインバータにおいて、キャリアレベルシフト変調方式を用いた場合、変調率によってスイッチングデバイスの発熱が集中するが、キャリア位相シフト信号生成方式を用いた場合、変調率に依らず各スイッチングデバイスの損失が均一になる。これは、キャリア 1 周期中に全ての素子が 1 回ずつスイッチングを行い、それぞれの素子に主電流が均等に分割されて流れるためである。試作回路においてはキャリア位相シフト信号生成方式を用いているため、変調率に依らず各素子の損失が均一になっていることが確認できた。例えば、ダイオードクランプ方式においては、変調率が低い場合に出力端に近い素子に常に負荷電流が流れ、損失が集中してしまうため、その最悪の条件を考慮して冷却器の設計を行なう必要がある。そのため、上記のフライングキャパシタ変換器特有のメリットは高パワー密度化を図る上では、非常に有益である。

図 7.21 は市販されているインバータの出力パワー密度をプロットしたものである。試作回路の出力パワー密度は  $3.56\text{W}/\text{cm}^3$  と非常に高いパワー密度を実現できている。それぞれのインバータの機能が異なり、考慮している体積の範囲も違うため、同一条件での比較はできないが、試作した三相 7 レベルフライングキャパシタインバータは小容量でありながら、最新の 2 レベルインバータよりも高い出力パワー密度を達成できていることが確認できる。

以上のように、フライングキャパシタインバータは、低高調波、低電磁ノイズといったマルチレベル方式の利点を備えるだけでなく、体積の増大や効率の低下といったマルチレベル方式で懸念されていた事項を解消し、高パワー密度化、高効率化を実現しながら安定動作が可能であることを実証した。

### 7.3. 18 モジュールで実現した三相 25 レベルフライングキャパシタインバータ

本節では、電力変換器の波形改善および高パワー密度化を目指し、多レベルかつ高パワー密度を実現するフライングキャパシタコンバータの試作を試みる。前章で提案、実証したモジュール化の概念を用い、同一の 5 レベルモジュールを 18 個組み合わせることで、構成素子数が増えることによる、設計、実装の煩雑さを軽減し、三相 25 レベルフライングキ

ャパシタコンバータを試作する。

### 7.3.1. 回路設計

一モジュールの回路構成および複数モジュールの組み合わせ方については、前章の図 6.1 に示した通りであり、主回路、ゲート回路とモジュール連結のためのコネクタで構成される 5 レベルフライングキャパシタコンバータである。

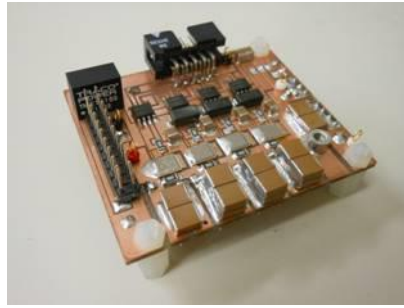
前章で示した、動作確認のためのモジュールは一次試作モジュールであり、素子パラメータおよび放熱性能改善のためのプリント基板の検討を行って試作を重ね、25 レベルインバータ実現のための知見を積み上げた。以下では、段階的な試作の過程を順を追って解説し、最終的に 18 モジュールの組み合わせによって実現した三相 25 レベルインバータの動作検証を行う<sup>(106)</sup>。

#### (1) 一次試作モジュール

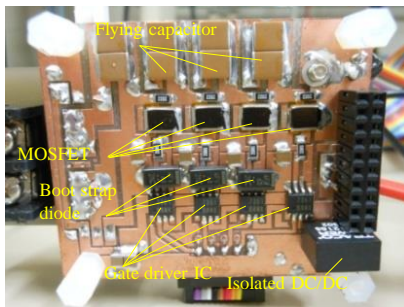
一次試作モジュールは 6.2.3 項で述べた通り、前述のモジュールの設計指針に従って各素子を選択した。主回路スイッチ素子である MOSFET は、オン抵抗が低く、スイッチング速度の速い、市販されている中でも最低レベルの耐圧 60V のデバイスを一モジュール当たり 8 個用いた。フライングキャパシタには、450V、2.2 $\mu$ F の Class-II (高誘電率系) 積層セラミックコンデンサを 6 並列にし、13.2 $\mu$ F として実装した。ゲート回路は、各モジュールの上アームと下アームそれぞれに備えた絶縁型 DC/DC コンバータとブートストラップ回路によりフローティング電源を確保し、いかなるモジュールの組み合わせ方でも全ての MOSFET を駆動できるように設計をした。

本試作モジュールは、両面ガラスエポキシプリント基板を用い、対称に配置されたコネクタで実現された入力側および出力側の 4 端子により、同一のモジュールを互い違いの向きに垂直方向に積み上げることで多レベル化が実現することができる。図 7.22(a)は一次試作モジュールの外観である。

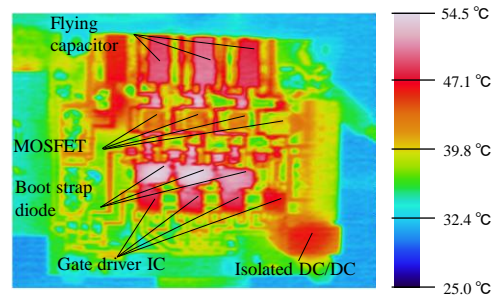
図 7.22(b)および(c)は、モジュール裏面の可視光画像と出力電力 118W、PWM キャリア周波数 10 kHz での実動作時の一モジュールの温度分布である。この素子配置では、基板の両面で素子が発熱するため、モジュール内に熱がこもっている。図 7.22(c)から、主回路スイッチ素子の MOSFET、フライングキャパシタおよびゲートフローティング電源用のブートストラップダイオードの温度が高くなっていることが確認できる。ブートストラップダイオードは、瞬時にゲートチャージ用の大きな電流を流す動作をしており、チップ面積とパッケージが小さな素子を選定したため、温度上昇が大きくなってしまった。また、複数モジュールを用いた場合には、構造モジュールを垂直方向に積むため、放熱性能が低いことが分かった。モジュールを効率的に放熱させるためには、スタックしたモジュールの側面から強制風冷すればよいが、さらなる高パワー密度化および大容量化のためには、素子配置および構造を改良する必要がある。



(a) 外観



(b) 可視画像



(c) 118W 出力, 10kHz 動作時のモジュール温度分布

図 7.22 両面ガラスエポキシ基板を用いた一次試作モジュール

### (2) 二次試作モジュール

高パワー密度化および大容量化のため、モジュール構造の改善を図る。そこで、体積を変えずに放熱性能を向上させるため、アルミ基板の導入を想定し、その前段階の検討として図 7.23(b)の片面ガラスエポキシ基板を用いた図 7.24(a)に示す二次試作モジュールを作製した。素子は全て表面実装形を用い、部品面の反対面は絶縁基板のみの構造とした。この構造では、垂直方向にモジュールをスタックすることが出来ないため、水平方向にモジュールを接続していく構造とし、モジュール表面の両端にコネクタを配置させた。この構造の利点として、モジュールの裏面側にヒートシンク、さらにはファンを付けることも可能になり、設計次第で大電力容量のモジュールを実現することも可能とした。図 7.24(b)および(c)は、二次試作モジュール表面の可視光画像と出力電力 197W、PWM キャリア周波数 10 kHz での実動作時の一モジュールの温度分布である。このときのモジュールの温度上昇のピーク点は、55.6°Cであった。一次試作モジュールでは、基板の両面から発熱するため、熱がこもりやすい形状であったが、二次試作モジュールでは片面プリント基板を用いたため、この変更だけでも放熱性能が向上しており、温度測定試験の結果、一次試作モジュールと同程度の温度上昇を許容すれば 67.0%大きな電力を扱うことが出来ることを確認した。

### (3) 三次試作モジュール

三次試作モジュールは、二次試作モジュールを基に、同様の構造および素子配置で基板

を図 7.23(c)に示す片面プリントのアルミ基板に変更して作成した。アルミ基板の採用に当たり、研究室内の装置で基板を作成することが出来ないため外注することとし、プリントパターンと素子配置を僅かに変更し、図7.25および図7.26のように設計、製作した。図7.26(a)はアルミ基板を用いた三次試作モジュールの外観である。

図 7.26(b)および(c)は、三次試作モジュール表面の可視光画像と 197W 出力、PWM キャリア周波数 10 kHz での実動作時の一モジュールの温度分布である。アルミ基板を用いたことにより、基板全体の温度がほぼ均一になり、基板全体から放熱することが可能となったことが確認できる。このときのモジュール温度のピークは 44.1°Cであった。これにより、二

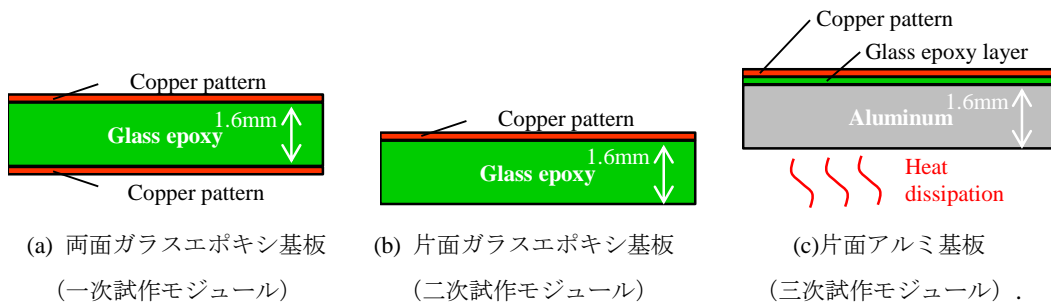
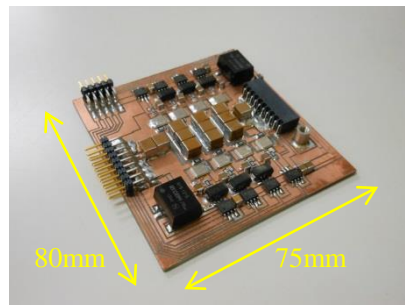
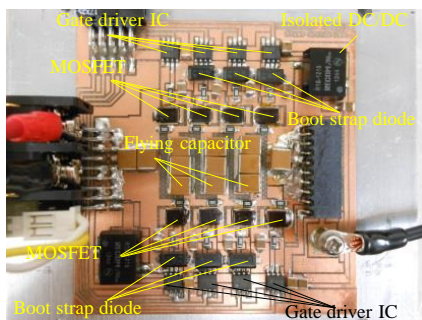


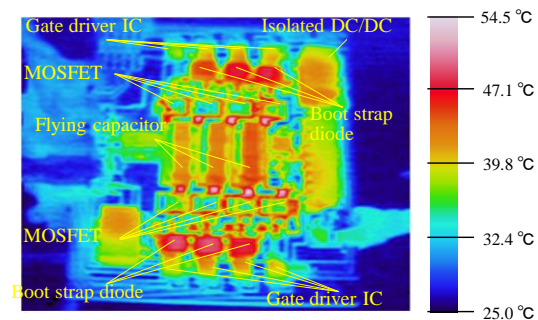
図 7.23 各試作モジュールに用いた回路基板の比較



(a) 外観

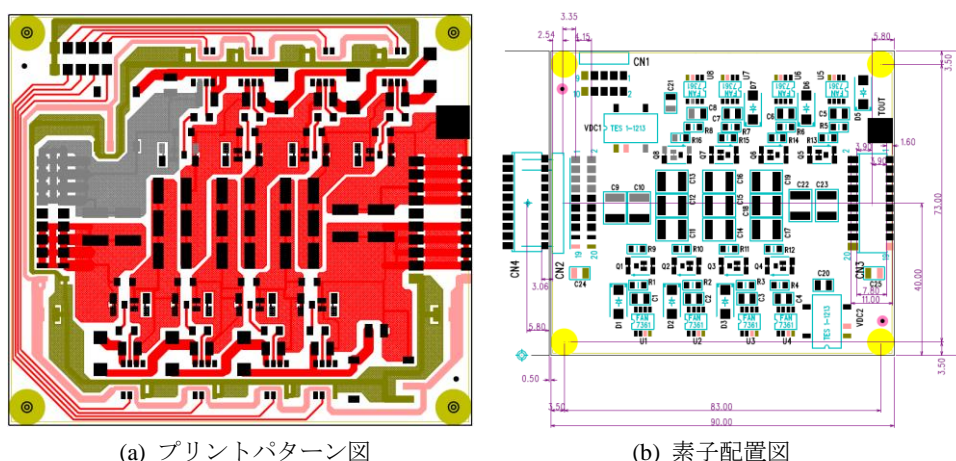


(b) 可視画像



(c) 197W 出力、10kHz 時のモジュール温度分布

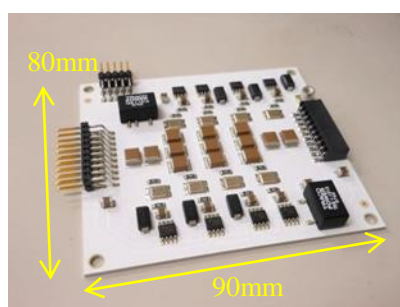
図 7.24 両面ガラスエポキシ基板を用いた二次試作モジュール



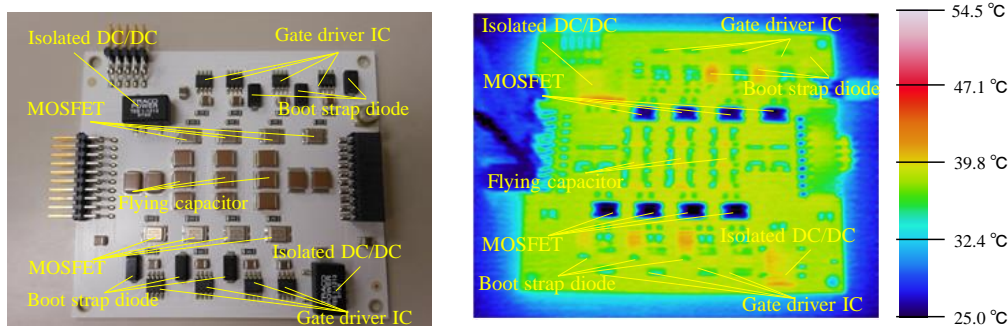
(a) プリントパターン図

(b) 素子配置図

図 7.25 アルミ基板を用いた三次試作モジュールの  
プリントパターン図と素子配置図。



(a) 外観



(b) 可視画像

(c) 197W 出力時のモジュール温度分布

図 7.26 片面アルミ基板を用いた三次試作モジュール

次試作モジュールと比較して、同じ電力を扱ってもモジュールの温度上昇を  $10^{\circ}\text{C}$  以上低く抑えることが可能となった。本三次試作モジュールは、モジュール最大温度  $45^{\circ}\text{C}$  までの温度上昇を許容すれば、 $200\text{W}$  の出力電力を扱うことができ、その際の実出力パワー密度は

2.74W/cm<sup>3</sup>と算出される。さらに、理論的には、モジュールを複数接続すれば、その分扱える電力も比例して増えるため、モジュールを多数組み合わせで出力レベル数を増やしても、出力パワー密度はほぼ変わらない。また、さらに大きな電力を扱う場合には、モジュールのアルミ板側にヒートシンクを取り付けることで、実現が可能である。ただし、使用した素子の限界や絶縁距離などの設計上の制約により、扱える電力および電圧には上限がある。

### 7.3.2. 実験結果

図 7.27 は、三次試作モジュールの組み合わせで実現した各レベル数の三相インバータに RL 負荷を接続した際の線間電圧および電流波形である。いずれも正常な動作波形が得られており、図 7.27 (f) の 25 レベルコンバータの結果においては出力フィルタを用いていないにも関わらず、ほぼ正弦波状の出力電圧波形が得られていることが確認できる。

図 7.28 (a) に、18 モジュールを組み合わせで実現した三相 25 レベルインバータの外観を示す。また、図 7.28 (b) は、200W 出力動作時の温度分布である。温度上昇が一部のモジュールに集中することなく、各モジュールの温度が均一になっていることが確認できる。前述の通り、一般に、フライングキャパシタコンバータにおける主回路スイッチ素子の損失均一化は、放熱や変換器体積の点から有利であるが、モジュール化のコンセプトにより複数モジュールを用いる場合でも、熱設計の異なるモジュールを用意することなく、回路を

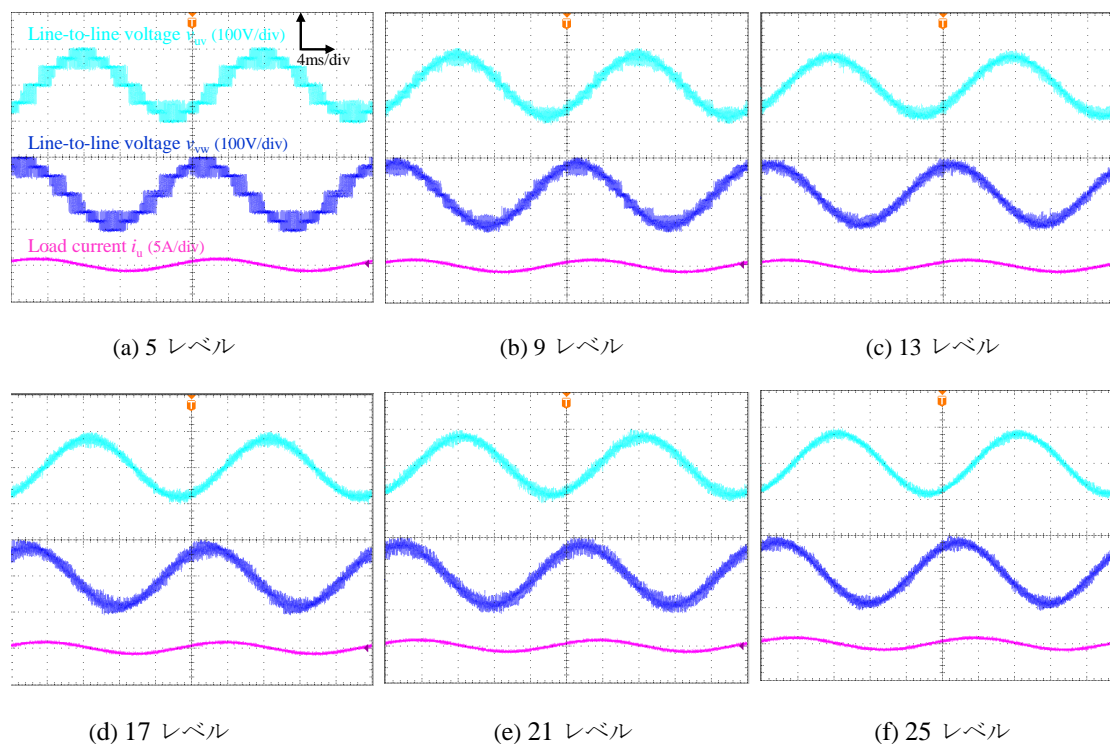
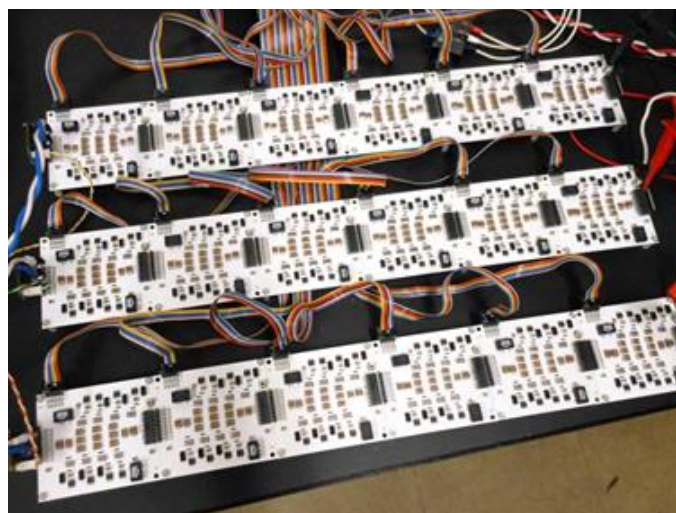
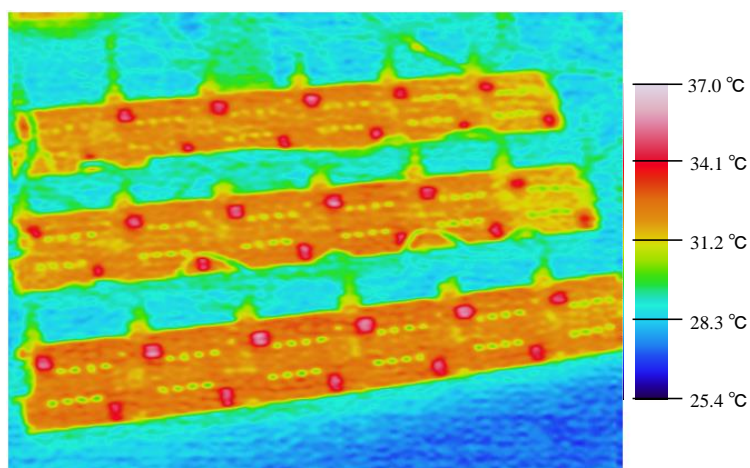


図 7.27 三次試作モジュールの組み合わせで実現した各レベル数のインバータの動作波形



(a) 外観.



(b) 200W 出力時の温度分布

図 7.28 18 モジュールの組み合わせで実現した三相 25 レベルインバータ試作回路

構成する全てのモジュールの熱設計を統一できるという大きな利点を享受した実装方法になっていることを示すことができた。

以上のように、フライングキャパシタコンバータモジュールのコンセプトを提案し、3つの試作回路により、超多レベル化および高パワー密度化が可能な実装技術であることを実証した。

#### 7.4. まとめ

本章では、電力変換器の波形改善および高パワー密度化という本研究の目的に対して、

マルチレベルコンバータを多レベル化，小型化するための実装方法について実証検討を行った。前章で提案したフライングキャパシタコンバータのモジュール化の概念を本論文で述べてきた様々な基盤技術をもとに設計製作して具現化し，従来の常識を超える 25 レベルもの出力電圧段数の実現による波形改善と実装の工夫による高パワー密度化を両立できることを実証した。特に，近年 LED 用基板として低コストで用いられているアルミ基板をモジュールの基板に応用することで，より一層の高パワー密度化が果たせることを確認した。



## 第8章

### 結論

本研究では、周辺回路も含めたフライングキャパシタコンバータの安定動作と最適設計に必要な不可欠な基礎的事項を明らかにし、種々の知見について、実機試作によりその有効性、妥当性を実証した。本章では、研究の成果をまとめ、今後の課題について整理して述べる。

#### 8.1. 本研究の成果

本研究で得られた成果として、大きく以下の5つが挙げられる。

##### (1) コンバータ出力電圧多レベル化の効果に関する定量的評価

マルチレベルインバータのPWM出力波形について、代表的な2種類の変調方式について、高調波理論解析式を導出し、活用しやすい形式でまとめた。この理論式は、マルチレベルインバータの出力に接続する高調波フィルタや連系リアクトルの設計、負荷電流波形の算定および負荷で発生する高調波損失の解析等に有用であり、周辺機器を含めた電力変換器全体の統合設計のために必要不可欠な知見である。また、マルチレベルインバータ出力電圧波形の全高調波ひずみ率 (THD) を算出する理論式も導出し、上記の式と併せて、マルチレベルインバータの様々な応用における最適レベル数の決定に寄与することを示した。

##### (2) フライングキャパシタの選定指針の明確化

マルチレベルコンバータにおいては、マルチレベル出力電圧の源となる各電圧を維持するためのキャパシタの体積が変換器のパワー密度に大きく影響する。これは、特に出力レベル数を多くするほど顕著になるため、変換器多レベル化と高パワー密度化の両立を目指す本研究において、キャパシタの体積がマルチレベルインバータの実用化可能性を大きく左右する。

フライングキャパシタ回路方式においては、PWM キャリア周波数を高くするほどフライングキャパシタの充放電周期が短くなり、キャパシタ電圧リプルを低減することができ、

静電容量の低減が可能となる。しかしながら、原理上、主電流経路にキャパシタが直列に接続され、それにより熱が発生するため、高周波化によるキャパシタの小型化には限界があり、フライングキャパシタの温度上昇も加味してキャパシタを選定する必要があることを指摘した。電圧リップルの制約および温度上昇の制約は、回路の動作条件と用いるキャパシタの特性から理論的に算出することができ、これらを用いて体積を最小化するキャパシタの選定指針を明らかにした。

### (3) フライングキャパシタの電圧バランスのメカニズム解明とアンバランスの補償

キャリア位相シフト変調方式を用いて信号生成する場合、原理的には、フライングキャパシタの充電と放電の動作モードが1キャリア周期中に均等に表れるため、各キャパシタは電圧制御なしで電圧の平均値を規定値で平衡させることができる。しかしながら、実際のインバータにおいては、各主回路スイッチ素子のスイッチング速度に少なからずばらつきがあるため、充電と放電の動作モードが現れる時間が変わってしまい、各キャパシタの電圧が規定値で平衡しない場合があることを指摘した。さらに、これによりフライングキャパシタに生じる電圧アンバランスについて理論解析を行った。一方、キャパシタ電圧が規定値から変動した場合、電圧が自然に規定値に戻る方向に充放電動作をする電圧自己バランス機能を有することを明らかにし、上記の動作と併せてキャパシタ電圧バランスのメカニズムを解明した。

これらの解析により、PWM周波数が高い場合や変換器出力に接続される負荷のインダクタンスが大きい場合に、電圧自己バランス機能のバランス作用が弱くなってしまうことを突き止め、その対策として、各主回路スイッチ素子に並列にフライングキャパシタの充電補助抵抗を接続する非常にシンプルで実用的な方法により電圧バランス作用を得ることができることを示した。以上から、レベル数を増やし、フライングキャパシタの数が多くなった場合においても、各キャパシタは個別の制御なしで電圧を規定値に保つことができることを示した。

### (4) 多レベル化と高パワー密度化を実現する実装方法の提案と実証

電力変換器の多レベル化と高パワー密度化を同時に実現するためには、膨大な数の素子を放熱や絶縁距離を加味した上で、可能な限り高密度に実装する必要がある。現在一般的に用いられている6 in 1モジュールのIGBTやインテリジェントパワーモジュール(IPM)は、1モジュールで三相2レベルインバータを構成するが、多レベルインバータの実現のためには、従来よりもさらに多くの回路素子を含んだまとまりとしてモジュール化を進める必要があった。

そこで、5レベルフライングキャパシタコンバータを1モジュールとして、同一のモジュールを複数接続することにより、多レベルインバータを実現する実装方法を提案した。この実装方法は、フライングキャパシタ回路方式の対称性と規則性を利用して実現しており、

各主回路スイッチ素子の損失均一化の利点も生かし、マルチレベルコンバータとしては比較的パワー密度の高いモジュールの試作に成功した。さらに、開発したモジュールは、接続の方法を変えるだけでレベル数、耐電圧、変換器容量、相数などを変えることが可能であり、様々な用途に対応可能な単位コンバータになり得ることを示した。

### (5) 実機試作による設計手法の妥当性実証

上記の通り、本論文では、フライングキャパシタマルチレベルコンバータの周辺回路を含めた各要素について、設計指針および実現手法を明らかにした。最後に、これまで明らかにした知見を活かし、出力フィルタおよびフライングキャパシタインバータの設計、試作例を示した。最終的には、パワー密度  $2.74\text{W}/\text{cm}^3$  の同一モジュール 18 個を組み合わせることで、従来の 2 レベルインバータの 24 倍の 144 個の主回路スイッチ素子を用いた、三相 25 レベルインバータを実現した。

以上のように、本論文では、マルチレベルインバータを構成する各要素の設計に関する知見を積み上げ、フライングキャパシタマルチレベルコンバータにより、電力変換器の波形改善と高パワー密度化が可能であることを実証した。

## 8.2. 今後の課題と展望

### 8.2.1. 今後の課題

本論文では、電力変換器の波形改善および高パワー密度化について前述のような成果を得た。今後は、さらに高いレベルで波形改善および高パワー密度化を実現し、さらには実用化のフェーズに入ることが必要である。このような方向を目指すための課題および本研究で扱いきれなかった内容について、以下にまとめる。

#### (1) 高周波動作時の損失増加とフライングキャパシタ小型化のトレードオフ関係

PWM キャリア周波数を高くするほど、フライングキャパシタの静電容量を小さくすることが出来るが、PWM キャリア周波数を高くするほど、主回路スイッチ素子で発生するスイッチング損失は大きくなってしまふ。したがって、PWM キャリア周波数の設定値により、フライングキャパシタを小型化することを重視するか、または主回路スイッチ素子の冷却器を小型化することを重視するかが変わることになる。

本論文では、PWM キャリアの高周波化に関しては扱いきれなかった。今後は、主回路スイッチ素子の特性や寄生インダクタンスに起因する電磁ノイズを考慮し、PWM キャリアの高周波化と主回路スイッチ素子の損失、フライングキャパシタの体積のトレードオフ関係を定量的に明らかにする必要がある。超低耐圧デバイスや SiC や GaN、ダイヤモンド等のワイドバンドギャップ半導体デバイスを適用することによる超高周波スイッチングも想定し、設計指針として一般化する必要がある。

### (2) 変換器多レベル化による制御性能向上の詳細評価

キャリア位相シフト変調方式を用いたマルチレベルコンバータにおいては、レベル数を多くするに伴い、等価出力 PWM 周波数を高くすることができるため、制御時間遅れを短くすることが出来る可能性がある。本論文では、マルチレベルインバータのモーションコントロールへの応用を例に、制御性能向上の可能性を示したが、その効果を定量化して評価するところまでは達成できていない。出力電圧リップルを低減するだけでなく、制御の面からの性能向上もマルチレベルコンバータの重要な改善要素であるため、2レベルコンバータとの詳細な比較評価が必要である。

### (3) フライングキャパシタコンバータの事故時運転継続性能の検証

前項目(2)と関連して、コンバータの多レベル化による制御周期の短縮および出力電圧リップルの低減により、系統連系インバータ等への応用時に、系統擾乱時の事故時運転継続性能(FRT: Fault Ride Through)を向上できる可能性がある。一方、フライングキャパシタコンバータは、静電容量の小さな多数のフライングキャパシタにより複数の電圧が保持されていることから、事故時にフライングキャパシタ電圧が変動し、FRTが低下してしまう可能性も否定できない。2レベルインバータとの比較検証が必要である。

### (4) 1チップ集積化したフライングキャパシタコンバータの実現

本研究では、変換器多レベル化と高パワー密度化を両立する実装方法として、モジュール化の概念を提案した。試作モジュールは、全て市販のディスクリート素子を用いて作製したが、最終的には、試作モジュールを半導体1チップ集積化することを目指している。マルチレベルコンバータを1チップ集積化する際、構成素子数が多いことにより半導体チップ面積が大きくなってしまい、歩留りの悪化によるコストの増大が懸念される。したがって、半導体1チップとして作製する範囲を適切なコストで作製できる比較的少ないレベル数の回路に抑え、そのチップを複数ボンディングワイヤにより接続するなどして、多レベル化を実現する方法がコストの面から現実的である。この概念こそが、モジュール化の大きな利点であり、論文中で示した試作モジュールは現段階で実現可能な一実施例に過ぎない。

集積化マルチレベルコンバータ実現のためには、仕様を決めるとともに、実現方法を明らかにし、半導体構造の開発が必要である。1チップ集積化を目指す過程では、その前段階として、前述のユニットモジュール化をさらに小型化、高密度実装する方法として、ベアチップをベースとしたモジュール化や主回路のみを1チップ集積化した構成などが考えられる。いくつかの試作、検討を基にした集積化マルチレベルコンバータの具現化が急務である。

### (5) フライングキャパシタコンバータの高電圧、大容量用途への応用

論文中で示した試作回路は、今後多様な電力ネットワークが構築される際に、飛躍的に導入量が増えると予想される数 kW 級の電力変換器を想定して製作した。しかし、本研究で理論的に明らかにした設計指針や実現方法は、変換器の容量や電圧によって制限されない一般的な知見である。今後は、企業や他の研究機関と共同で、比較的大容量のフライングキャパシタコンバータの研究開発が必要である。

### 8.2.2. 今後の展望

本論文の成果は、2014 年度から開始されている、「戦略的イノベーション創造プログラム (SIP : エスアイピー) / 次世代パワーエレクトロニクス」における、「次世代パワーモジュールを使用したパワーエレクトロニクス機器とその統合システムの包括的研究開発」のベースとなる研究成果として位置付けられ、当該プロジェクトで計画されている研究構想は、本研究で得た多くの知見の上に成り立っている<sup>(107)</sup>。

フライングキャパシタコンバータは、高周波化によりキャパシタを小型化することが出来るマルチレベル電力変換方式の中でも数少ない回路方式の一つであり、変換器の性能が主回路スイッチ素子のスイッチング特性に大きく左右されるともいえる。したがって、次世代パワーモジュールの適用により、さらなる高パワー密度化、高効率化を達成できる可能性があり、当該研究開発プログラムにより、電力変換器のクリーン化、高パワー密度化をさらに高いレベルで実現することが期待される。

## 参考文献

### 第 1 章

- (1) 経済産業省資源エネルギー庁：「平成 25 年度エネルギーに関する年次報告（エネルギー白書 2014）」，2014 年 6 月，<http://www.enecho.meti.go.jp/about/whitepaper/2014pdf/>
- (2) 新エネルギー・産業技術総合開発機構（NEDO）：「平成 20 年度調査報告書「2050 年における省エネルギー社会の実現に向けた電気エネルギー有効利用に関わるグリーンエレクトロニクス技術」に係る調査研究」，2009 年 3 月
- (3) 経済産業省資源エネルギー庁：「エネルギー基本計画」，2014 年 4 月，<http://www.meti.go.jp/press/2014/04/20140411001/20140411001-1.pdf>
- (4) 日本経済団体連合会：「地球規模の温暖化対策への貢献～日本産業界のさらなる挑戦～」，2014 年 7 月，<http://www.keidanren.or.jp/policy/2014/065.html>
- (5) エネルギー・環境会議 コスト等検証委員会，コスト等検証委員会報告書，2011 年 12 月，<http://www.cas.go.jp/jp/seisaku/npu/policy09/pdf/20111221/hokoku.pdf>
- (6) Amory Lovins, “The Negawatt Revolution –Solving the CO<sub>2</sub> Problem--”, Keynote Address at the Green Energy Conference, 1989, <http://www.ccnr.org/amory.html>
- (7) Ichiro Omura: “Future Role of Power Electronics”, Proc. CIPS2010, 2010-3
- (8) 大村一郎：「第 4 回 パワーエレクトロニクス技術と環境未来都市」，ひびきの便り，pp.101-104, 2012 年 9 月
- (9) 河村篤男：「ネガワットの定義とその評価」，平成 24 年電気学会産業応用部門大会，1-S5-7, pp.21-22, 2012-8
- (10) 河村篤男：「ネガワットコストとパワーエレクトロニクス」，富士電機技報，Vol.85, No.6, p.391, 2012 年
- (11) NTT ファシリティーズ，エネット：「「電力デマンドサイドにおけるビジネス・シナジー・プロポーザル」での採択について」，ニュースリリース，2012 年 3 月，<http://www.ntt-f.co.jp/news/heisei24/h24-0321.html>
- (12) 日本電機工業会：「伸びゆくインバータ 2014」，2014 年
- (13) エネルギー総合工学研究：「新電力ネットワークシステム実証研究 新電力ネットワーク技術に係る総合調査 経過報告【第三部】電力供給の現状調査経過報告」，2006 年 3 月

- (14)九州電力, 離島の再生可能エネルギー発電設備に対する接続申込みの回答保留について, 2014年7月, <http://www.kyuden.co.jp/var/rev0/0043/9751/emjyd2n8r.pdf>
- (15)東京大学大学院 工学系研究科 先端電力エネルギー・環境技術教育研究センター : 「APET\_ユビキタスパワーネットワーク (日本型先進スマートグリッド) について」, <http://www.apet.t.u-tokyo.ac.jp/UbiquitousPowerGrid.pdf>
- (16)Dong Dong, Igor Cvetkovic, Dushan Boroyevich, Wei Zhang, Ruxi Wang, and Paolo Mattavelli: "Grid-Interface Bidirectional Converter for Residential DC Distribution Systems—Part One: High-Density Two-Stage Topology", IEEE Trans. Pels., Vol.28, No.4, pp.1655-1666, 2013-4
- (17)Dushan Boroyevich, Fred Wang, J. Daan van Wyk, Fred. C. Lee, Qian Liu, and Rolando Burgos; "Systems Integration at CPES", International Conference on Integrated Power Systems (CIPS2006), 2006-6
- (18)Alex Huang: "FREEDM System – A Vision for the Future Grid", Proc. IEEE Power and Energy Society General Meeting 2010, 2010-7
- (19)Hiromichi Ohashi and Ichiro Omura: "Role of Simulation Technology for the Progress in Power Devices and Their Applications", IEEE Trans. Electron Devices, Vol.60, No.2, 2013-2
- (20)三菱電機: 「ニュースリリース SiC を用いたパワーコンディショナで国内業界最高の電力変換効率 98.0 % を実証」, 2011年1月20日, <http://www.mitsubishielectric.co.jp/news/2011/0120.html>
- (21)三菱電機: 「ニュースリリース SiC 適用鉄道車両用インバーターの製品化」, 2011年10月3日, <http://www.mitsubishielectric.co.jp/news/2011/1003-a.html>
- (22)荒井和雄: 「SiC 半導体のパワーデバイス開発と実用化への戦略—新規半導体デバイス開発における産総研の役割—」, Synthesiology, Vol.3, No.4, 2010年
- (23)Alex Lidow, Johan Strydom, Michael de Rooij, and Yanping Ma: "GaN Transistors for Efficient Power Conversion", Power Conversion Publications, 2012
- (24)日本電機工業会: 「インバータの上手な使い方 (電気ノイズ予防対策について)」, 2008年12月
- (25)三村英之, 相原孝志, 永山祐一, 宮田博昭, 内山倫行: 「大規模太陽光発電システムの開発」, 日立評論, Vol.91, No.3, pp.56-59, 2009年3月
- (26)田中和幸: 「分散電源の導入と需要地系統の構築」, 電力中央研究所
- (27)新エネルギー・産業技術総合開発機構 (NEDO) : 「平成 18 年度～20 年度成果報告書 パワーエレクトロニクスインバータ基盤技術開発」, 2009年5月

## 第 2 章

- (28)杉本光昭, 加藤寧, 栗田健太郎, 曾根田瑞夫, 奥山賢一, 横山謙二郎: 「佐久間サイリスタ変換装置試験所用装置の概要」, 日立評論, Vol.53, No.4, 1971
- (29)Tadashi Sato, Yoshinao Matsushita, Koji Temma, and Isao Iyoda: “Suggestion and Feasibility Study for Massively Parallel Back-To-Back System”, *IEEJ Transactions on Power and Energy*, Vol.121, No.1, pp.15-21, 2001 (in Japanese)
- 佐藤正, 松下義尚, 天満耕司, 伊与田功: 「多並列 BTB システムの提案および課題検討」, 電学論 B, Vol.121, No.1, pp.15-21, 2001
- (30)Makoto Hagiwara, Hirofumi Akagi, and Hideaki Fujita: “A Self-Commutated BTB System and its Performance under a Single-Line-to-Ground Fault Condition”, *IEEJ Transactions on Industry Applications*, Vol.122, No.3, pp.280-287, 2002 (in Japanese)
- 萩原誠, 赤木泰文, 藤田英明: 「自励式 BTB (Back-To-Back) のシステム構成と一線地絡時の運転特性」, 電学論 D, Vol.122, No.3, pp.280-287, 2002
- (31)Alireza Nami, Jiaqi Liang, Frans Dijkhuizen, and Georgios D. Demetriades: “Modular Multilevel Converters for HVDC Applications: Review on Converter Cells and Functionalities”, *IEEE Trans. Pels*, Vol. 30, No. 1, pp.18-36, 2015-1
- (32)Hideaki Fujita: “Emerging Technologies for Multilevel Converters in Japan”, 2011 Japan-Korea Joint Workshop on Semiconductor Power Converter, IEEJ-SPC-03, pp.11-16, 2011
- (33)Isao Takahashi and Hiroshi Mochikawa : “A New Control of PWM Inverter Waveform for Minimum Loss Operation of an Induction Motor Drive”, *IEEE Trans. Ind. Appl.*, Vol.21, No.3 pp.580-587, 1985
- (34)Katsumi Yamazaki and Noriaki Fukushima: “Carrier Loss of Induction Motors Driven by Inverters—Comparison between Results Separated by Experiment and Field Analysis—”, *IEEJ Transactions on Industry Applications*, Vol. 129, No. 11, pp.1068-1074 (2009) (in Japanese)
- 山崎克巳, 福島範晃: 「インバータ駆動誘導電動機のキャリア損」, 電学論 D, Vol.129, No.11, pp.1068-1074, 2009
- (35)Weijun Yin: “Failure Mechanism of Winding Insulations in Inverter-Fed Motors”, *IEEE Electrical Insulation Magazine*, Vol.13, No.6, pp.18-23, 1997
- (36)Jih-Sheng Lai and Fang Zheng Peng: “Multilevel Converters-A New Breed of Power Converters”, *IEEE Trans. Ind. Appl.*, Vol. 32, No. 3, pp.509-517, 1996
- (37)Samir Kouro, Mariusz Malinowski, K. Gopakumar, Josep Pou, Leopoldo G. Franquelo, BinWu, Jose Rodriguez, Marcelo A. Pérez, and Jose I. Leon: “Recent Advances and Industrial Applications of Multilevel Converters”, *IEEE Trans. Ind. Electron.*, Vol.57, No.8, pp.2553-2580, 2010



- (38) Seyed Saeed Fazel, Steffen Bernet, Dietmar Krug, and Kamran Jalili: "Design and Comparison of 4-kV Neutral-Point-Clamped, Flying-Capacitor, and Series-Connected H-Bridge Multilevel Converters", *IEEE Trans. Ind. Appl.*, Vol. 43, No. 4, 2007
- (39) Fang Zheng Peng: "A Generalized Multilevel Inverter Topology with Self Voltage Balancing", *IEEE Trans. Ind. Appl.*, Vol. 37, No. 2, pp.611-618, 2001-3
- (40) Sergio Alberto Gonzalez, Santiago Andres Verne, and Maria Ines Valla: "Multilevel Converters for Industrial Applications", CRC Press, 2013-7
- (41) J. Rodriguez, Jih-Sheng Lai, and F.Z. Peng: "Multilevel Inverters: A Survey of Topologies, Controls, and Applications", *IEEE Trans. Ind. Appl.*, Vol.49, No.4, pp.724-748, 2002
- (42) Haitham Abu-Rub, Joachim Holtz, Jose Rodriguez, and Ge Baoming: "Medium-Voltage Multilevel Converters-State of the Art, Challenges, and Requirements in Industrial Applications", *IEEE Trans. Ind. Electron.*, Vol. 57, No. 8, 2010
- (43) A. Nabae, I. Takahashi, and H. Akagi: "A New Neutral-Point-Clamped PWM Inverter," *IEEE Trans. Ind. Appl.*, Vol. 17, No. 5, pp. 518-523, 1986
- (44) Satoshi Ogasawara, Tadashi Sawada, and Hirofumi Akagi: "Analysis of the Neutral Point Potential Variation of Neutral-Point-Clamped Voltage Source PWM Inverters", *IEEE Transactions on Industry Applications*, Vol.113, No.1 pp.41-48, 1993  
小笠原悟司, 沢田直, 赤木泰文: 「中性点クランプ電圧形 PWM インバータの中性点電位変動の解析」, 電学論 D, Vol.113, No.1, pp.41-48, 1993
- (45) T.A. Meynard and H. Foch: "Multi-level conversion High voltage choppers and voltage source inverters", *IEEE PESC'92*, pp.397-403, 1992
- (46) Alstom: Catalog "Symphony Air Cooled Medium Voltage AC Drives"
- (47) V. Guennegues, B. Gollentz, F. Meibody-Tabar, S. Raël, and L. Leclere: "A Converter Topology for High Speed Motor Drive Applications", *European Conference on Power Electronics and Applications (EPE) 2009*, 2009-9
- (48) 富士電機: 「アドバンスド NPC 変換器用 RB-IGBT」, 富士時報, Vol.84, No.5, 2011
- (49) 富士電機ニュースリリース: 「メガソーラー用パワーコンディショナーの発売について」, <http://www.fujielectric.co.jp/about/news/detail/2012/20120417000007362.html>, 2012-4
- (50) Hirofumi Akagi: "Classification, Terminology, and Application of the Modular Multilevel Cascade Converter (MMCC)", *IEEE Trans. Pels*, Vol.26, No.11, pp.3119-3130, 2011-11
- (51) A. Lesnicar and R. Marquardt: "An Innovative Modular Multilevel Converter Topology Suitable for a Wide Power Range", *IEEE Power Tech Conference 2003*, 2003-6
- (52) Masaki Yamada, Akihiro Suzuki, Akihiko Iwata, Toshiyuki Kikunaga, Hajimu Yoshiyasu, Kazuo Yamamoto, and Nobuhiko Hatano: "Effective Operation Method by Interdependent Use

- of Condenser Energy of the Voltage Transient Sag Compensator with Controlled Gradational Voltage”, *IEEJ Transactions on Industry Applications*, Vol.125, No.2, pp.126-132, 2005
- 山田正樹, 鈴木昭弘, 岩田明彦, 菊永敏之, 吉安一, 山本和生, 羽田野伸彦: 「階調制御型瞬低補償装置におけるエネルギー流用制御」, 電気学会論文誌 D, Vol.125, No.2, pp.126-132, 2005
- (53) Makoto Hagiwara, Kazutoshi Nishimura, and Hirofumi Akagi: “A Medium-Voltage Motor Drive with a Modular Multilevel PWM Inverter Part I. Experimental Verification by a 400-V, 15-kW Downscaled Model”, *IEEJ Transactions on Industry Applications*, Vol.130, No.4, pp.544-551, 2010 (in Japanese)
- 萩原誠, 西村和敏, 赤木泰文: 「モジュラー・マルチレベル PWM インバータを用いた高圧モータドライブ第 1 報: 400V, 15kW ミニモデルによる実験的検証」, 電気学会論文誌 D, Vol.130, No.4, pp.544-551, 2010-4
- (54) Kazutoshi Nishimura, Makoto Hagiwara, and Hirofumi Akagi: “A Medium-Voltage Motor Drive with a Modular Multilevel PWM Inverter Part II. Startup Method and Performance”, *IEEJ Transactions on Industry Applications*, Vol.130, No.4, pp.552-559, 2010 (in Japanese)
- 西村和敏, 萩原誠, 赤木泰文: 「モジュラー・マルチレベル PWM インバータを用いた高圧モータドライブ第 2 報: 始動法と始動特性」, 電学論 D, Vol.130, No.4, pp.552-559, 2010-4
- (55) T. Bruckner, S. Bernet, and H. Guldner: “The active NPC converter and its loss-balancing control”, *IEEE Trans. Ind. Electron.*, vol. 52, no. 3, pp. 855–868, 2005-6
- (56) Barbosa P, Steimer P, Steinke J, Winkelkemper M, and Celanovic N: “Active-Neutral-Point-Clamped (ANPC) Multilevel Converter Technology”, *European Conference on Power Electronics and Applications (EPE) 2005*, 2005
- (57) Yugo Kashihara and Jun-ichi Itoh: “Performance Comparison of the Efficiency and Power Density among Multilevel Converter Topologies for a PV Inverter by the Pareto-Front Curve”, *IEEJ Transactions on Industry Applications*, Vol.134, No.2, pp.209-219, 2014-2 (in Japanese)
- 檜原有吾, 伊東淳一: 「パレートフロントカーブを用いた PV 用マルチレベルトポロジーの効率とパワー密度の性能比較」, 電学論 D, Vol.134, No.2, pp.209-219, 2014-2
- (58) Lienhardt A. M, Gateau G, and Meynard T. A: “Stacked Multicell Converter (SMC): Reconstruction of flying capacitor voltages”, *IEEE Industrial Electronics Society Annual Conference (IECON) 2005*, pp.691-696, 2005
- (59) Samir Kouro, Mariusz Malinowski, K. Gopakumar, Senior, Josep Pou, Leopoldo G. Franquelo, BinWu, Jose Rodriguez, Marcelo A. Perez, and Jose I. Leon: “Recent Advances and Industrial Applications of Multilevel Converters”, *IEEE Trans. Ind. Electron.*, Vol. 57, No. 8, 2010-8

- (60) Meisam Sadeghi, Seyed Hossein Hosseini, and Mohammad Nilkar: "A New Mixed Stacked Multicell Converter with Interesting Advantages", *Power Electronics, Drive Systems and Technologies Conference 2011*, pp.44-49, 2011-2
- (61) B. P. McGrath, T. A. Meynard, G. Gateau, and D. G. Holmes: "Optimal Modulation of Flying Capacitor and Stacked Multicell Converters Using a State Machine Decoder", *IEEE Trans. Pels*, Vol.49, No.4, pp.724-748, 2002
- (62) Yugo Tadano, Shota Urushibata, Kazuya Ogura, Akira Shigaki, and Masakatsu Nomura: "A Multilevel PWM Strategy suitable for High-Voltage Motor Direct Drive Systems in Consideration of the Adverse Effect of a Deadtime", *IEEJ Transactions on Industry Applications*, Vol. 126, No. 1, pp.1-9 (2006) (in Japanese)  
只野裕吾, 漆畑正太, 小倉和也, 紫垣颯, 野村昌克: 「デッドタイムの影響を考慮した高圧電動機直接駆動用多重 PWM 制御法」, 電学論 D, Vol.126, No.1, pp.1-9 (2006)
- (63) Hidemine Obara, Masamu Kamaga, Takumi Ito, and Yukihiro Sato: "An Investigation of Capacitors for Flying Capacitor Converters", *IEEJ Transactions on Industrial Application*, Vol.131, No.12, pp.1393-1400, 2011 (in Japanese)  
小原秀嶺, 釜我昌武, 伊藤拓巳, 佐藤之彦: 「フライングキャパシタマルチレベル変換器におけるキャパシタ選定指針に関する検討」, 電気学会論文誌 D, Vol.131, No.12, pp.1393-1400, 2011-12
- (64) Hidemine Obara and Yukihiro Sato: "Theoretical Analysis of Self-Balancing Function of Capacitor Voltages in Flying Capacitor Multi-level Converters", *IEEE Energy Conversion Congress and Exposition (ECCE) 2011*, pp.2079-2086, 2011-9
- (65) Hidemine Obara and Yukihiro Sato: "Trial Construction and Evaluation of Prototype Flying Capacitor Inverter to Realize High Power Density", *IEEJ Annual meeting 2013*, 4-042, pp.73-74, 2013-3 (in Japanese)  
小原秀嶺, 佐藤之彦: 「フライングキャパシタマルチレベルインバータの高パワー密度化に向けた試作と評価」, 平成 25 年電気学会全国大会, 4-042, pp.73-74, 2013-3
- (66) Hidemine Obara and Yukihiro Sato: "A Theoretical Comparison of Capacitors in Multi-Level Converters", *2013 Korea-Japan Joint Technical Workshop on Semiconductor Power Converter*, IEEJ-SPC-P1-07, pp.79-80, 2013-10

### 第3章

- (67)Hidemine Obara, Hiroshi Oguri, and Yukihiko Sato: “Theoretical Analysis of Harmonics in PWM Output Waveform of Multi-Level Inverters”, *IEEJ Transactions on Industrial Applications*, Vol.134, No.1, pp.59-67, 2014 (in Japanese)  
小原秀嶺, 小栗寛司, 佐藤之彦: 「マルチレベルインバータにおける PWM 出力波形の高調波理論解析」, 電気学会論文誌 D, Vol.134, No.1, pp.59-67, 2014
- (68)Hidemine Obara, Hiroshi Oguri, and Yukihiko Sato : ”Theoretical Analysis of Harmonics in PWM Output Voltage of Multi-level Converters”, *IEEJ Semiconductor Power Converter Technical Meeting*, SPC-13-035, pp.119-124, 2013-1 (in Japanese)  
小原 秀嶺, 小栗 寛司, 佐藤 之彦: 「マルチレベルインバータにおける PWM 出力電圧高調波の理論解析」, 電気学会半導体電力変換研究会, SPC-13-035, pp.119-124, 2013-1
- (69)Isao Takahashi and Shota Miyairi : “Relation between the Output Voltage, Waveform of the PWM Inverter and its Gate Control Signals”, *IEEJ Transactions on Power and Energy*, Vol. 95, No. 2, pp.73-80, 1975-2 (in Japanese)  
高橋勲, 宮入庄太: 「PWM インバータの出力波形とゲート制御信号との関係」, 電学論 B, Vol. 95, No. 2, pp.73-80, 1975-2
- (70)電気学会半導体電力変換方式調査専門委員会編: 「半導体電力変換回路」, 電気学会, 1987
- (71)Hidemine Obara, Tatsuhito Saito, Kenji Natori, and Yukihiko Sato: “A Realization of High-Performance Motion Control Systems by Applying Multi-Level Converters”, *Annual Conference of the IEEE Industrial Electronics Society (IECON) 2014*, DD-023191, pp.2656-2662, 2014-10
- (72)Hidemine Obara, Kenji Natori, and Yukihiko Sato : ”A Study on Performance Improvement of Motion Control Systems by Using Multi-Level Inverters”, *IEEJ Mechatronics Control Technical Meeting*, MEC-13-175, pp.23-28, 2013-11 (in Japanese)  
小原秀嶺, 名取賢二, 佐藤之彦: 「マルチレベルインバータによるモーションコントロールシステムの性能向上に関する一考察」, 電気学会メカトロニクス制御研究会, MEC-13-175, pp.23-28, 2013-11
- (73)Isao Takahashi, and Hiroshi Mochikawa: “A New Control of PWM Inverter Waveform for Minimum Loss Operation of an Induction Motor Drive”, *IEEE Trans. Ind. Appl.*, Vol.21, No.4 pp.580-587, 1985
- (74)Prasopchok Hothongkham, and Vijit Kinnares: “ Investigation into Harmonic Losses in a PWM Multilevel cascaded H-Bridge Inverter Fed Induction Motor”, *International Conference on Power Electronics and Drive Systems (PEDS) 2007*, pp.1043-1048, 2007

- (75) Keisuke Fujisaki, Ryou Yamada, and Takahiro Kusakabe: "Difference in Iron Loss and Magnetic Characteristics for Magnetic Excitation by PWM Inverter and Linear Amplifier", *IEEJ Transactions on Industrial Applications*, Vol. 133, No. 1 pp.69-76, 2013 (in Japanese)  
藤崎敬介, 山田涼, 日下部隆弘: 「PWM インバータとリニアアンプの励磁電源による鉄損・磁気特性の差異」, 電気学会論文誌 D, Vol. 133, No. 1 pp.69-76, 2013
- (76) Masaru Endou, Takashi Okitsu, and Minoru Obe: "Transformer Winding Loss Analysis with consideration of Inverter Harmonics Current", *Japanese Industry Applications Society Conference (JIASC) 2010*, 1-45, pp.339-340, 2010-8 (in Japanese)  
遠藤優, 沖津隆志, 大邊実: 「インバータによる高調波電流を考慮した変圧器の巻線損失解析」, 平成 22 年電気学会産業応用部門大会, 1-45, pp.339-340, 2010-8
- (77) Hiroshi Oguri, Hidemine Obara, and Yukihiro Sato: "An Investigation of Loss Reduction of Inverter-Fed Induction Motor with Multi-Level Inverter", *Japanese Industry Applications Society Conference (JIASC) 2013*, 1-69, pp.301-304, 2013-8 (in Japanese)  
小栗寛司, 小原秀嶺, 佐藤之彦: 「マルチレベル化によるインバータ駆動誘導電動機の損失低減に関する一検討」, 平成 25 年電気学会産業応用部門大会, 1-69, pp.301-304, 2013-8
- (78) Hidemine Obara and Yukihiro Sato: "Experimental Investigations of Effect of Multi-Level Inverters on Harmonic Iron Loss Reduction", *Japanese Industry Applications Society Conference (JIASC) 2013*, 1-82, pp.347-350, 2013-8 (in Japanese)  
小原秀嶺, 佐藤之彦: 「マルチレベルインバータによる高調波鉄損低減効果に関する実験検討」, 平成 25 年電気学会産業応用部門大会, 1-82, pp.347-350, 2013-8

## 第 4 章

- (79) 株式会社 村田製作所 編: 「セラミックコンデンサの基礎と応用」, オーム社, 2003
- (80) S. L. Swartz: "Topics in Electronic Ceramics", *IEEE Trans. Electrical Insulation*, Vol.25, No.5, pp.935-987, 1990
- (81) 矢口金次, 八木谷孝之, 小野勇: 「コンデンサの性能と使い方」, 東京電気大学出版部, 1964-10
- (82) Hidemine Obara and Yukihiro Sato: "Selection Criteria of Capacitors for Flying Capacitor Converter", *IEEJ Journal of Industry Applications*, Letter, Vol.4, No.2, pp.105-106, 2015-3

## 第 5 章

- (83)Richardt H. Wilkinson, et al.: “Natural Balance of Multicell Converters: The General Case”, *IEEE Trans. Pels*, Vol. 21, No. 6, pp.1658-1666, 2006
- (84)Anshuman Shukla, Arindam Ghosh, Avinash Joshi: Capacitor Voltage Balancing Schemes in Flying Capacitor Multilevel Inverters, *IEEE Power Electronics Specialists Conference (PESC) 2007*, pp.2367-2372, 2007
- (85)B. P. McGrath and D. G. Holmes: “Enhanced Voltage Balancing of a Flying Capacitor Multilevel Converter Using Phase Disposition (PD) Modulation”, *IEEE Trans. Pels*, Vol. 26, No. 7, pp.256-263, 2011
- (86)S. Thielemans, A. Ruderman, B. Reznikov, and J.A.A. Melkebeek: “Five-Level H-Bridge Flying Capacitor Converter Voltage Balance Dynamics Analysis”, 2010 IEEE International Symposium on Industrial Electronics (ISIE),pp.826-831, 2010
- (87)Hidemine Obara and Yukihiro Sato: “Fundamental Investigations of Balance of Capacitor Voltages in Flying Capacitor Multi-level Converters”, *IEEJ Japanese Industry Applications Society Conference (JIASC) 2011*, 1-6, pp.119-122, 2011-9 (in Japanese)
- 小原秀嶺, 佐藤之彦: 「フライングキャパシタマルチレベル変換器のキャパシタ電圧バランスに関する基礎検討」, 平成 23 年電気学会産業応用部門大会, 1-6, pp.119-122, 2011-9
- (88)Hidemine Obara and Yukihiro Sato: “Theoretical Analysis of Self-Balancing Function of Capacitor Voltages in Flying Capacitor Multi-level Converters”, *IEEE Energy Conversion Congress and Exposition (ECCE) 2011*, pp.2079-2086, 2011-9
- (89)Hidemine Obara and Yukihiro Sato: “Development of High Power Density Flying Capacitor Multi-level Converters with Balanced Capacitor Voltage”, *IEEE Energy Conversion Congress and Exposition (ECCE) 2012*, pp.330-336, 2012-9
- (90)Yasushi Abe, Koji Maruyama, Yasushi Matsumoto, Kiyooki Sasagawa, and Kouki Matsuse: “Performance Evaluation of An Auxiliary Power Supply System for Railways with Series Connection of IGBTs”, *IEEJ Transactions on Industry Applications*, Vol.127, No.3, pp.241-247, 2007
- 阿部康, 丸山宏二, 松村康, 笹川清明, 松瀬貢規: 「IGBT 直列接続による車両用補助電源装置の高性能化に関する検討」, 電学論 D, Vol.127, No.3, pp.241-247, 2007
- (91)Mostafa Khazraei, Hossein Sepahvand, Keith A. Corzine, and Mehdi Ferdowsi: “Active Capacitor Voltage Balancing in Single-Phase Flying-Capacitor Multilevel Power Converters”, *IEEE Trans. Ind. Electron.*, Vol. 59, No. 2, pp.769-778, 2012

## 第 6 章

- (92)Shinya Suzuki, Makoto Mukunoki, and Daisuke Yoshizawa: “Development of the Large Capacity Converter for Steel Plant”, *IEEJ Annual Meeting 2014*, 4-052, p.85, 2014-3 (in Japanese)  
鈴木伸也, 椋木誠, 吉沢大輔: 「鉄鋼プラント向け大容量変換器の開発」, 平成 26 年電気学会全国大会, 4-052, p.85, 2014-3
- (93)Benjamin Beker, Jerry L. Hudgins, John Coronati, Blake Gillett, and Sampat Shekhawat: “Extraction of Parasitic Circuit Elements in a PEBB for Application in the Virtual Test Bed”, *IEEE IAS Annual Meeting 1997*, Vol. 2, pp. 1217-1221, 1997
- (94)小松康佑, 原田孝仁, 楠木善之: 「アドバンスト NPC 回路用 IGBT モジュールの系列化」, 富士時報, Vol.84, No.5, pp.299-303, 2011
- (95)山本紗矢香: 「AT-NPC3 レベル大容量 IGBT モジュール—大容量モジュール用パッケージ「M404 パッケージ」」, 富士電機技報, Vol.87, No.4, pp.1-2, 2014
- (96)Hidemine Obara and Yukihiko Sato: “A Concept of Multi-Level Converter Building Modules to Realize Higher Number of Output Levels”, *IEEE Energy Conversion Congress and Exposition (ECCE) 2013*, S105, pp.3042-3048, 2013-9
- (97)Hidemine Obara and Yukihiko Sato: ”A Study on Implementation of Modularized Flying Capacitor Multi-Level Inverters”, *IEEJ Annual meeting 2014*, 4-051, pp.83-84, 2014-3 (in Japanese)  
小原秀嶺, 佐藤之彦: 「フライングキャパシタマルチレベルインバータモジュールの実装に関する検討」, 平成 26 年電気学会全国大会, 4-051, pp.83-84, 2014-3
- (98)Masamu Kamaga, Kyungmin Sung, Yukihiko Sato, and Hiromichi Ohashi: “An Investigation of Flying Capacitor Converter for Circuit Integration”, *IEEJ Transactions on Electrical and Electronic Engineering*, Vol. 6, Issue 4, pp. 376–383, 2011
- (99)Hidemoto Tomita, Hiroomi Eguchi, Shinya Kijima, Norihiro Honda, Tetsuya Yamada, Hideo Yamawaki, Hirofumi Aoki, and Kimimori Hamada: “Wide-Voltage SOI-BiCDMOS Technology for High-Temperature Automotive Applications”, *International Symposium on Power Semiconductor Devices & IC's (ISPSD) 2011*, pp.28-31, 2011-5
- (100)Shuichi Nagai, Yasuhiro Yamada, Noboru Negoro, Hiroyuki Handa, Yuji Kudoh, Hiroaki Ueno, Masahiro Ishida, Nobuyuki Otuska, and Daisuke Ueda: “A GaN 3×3 Matrix Converter Chipset with Drive-by-Microwave Technologies”, *IEEE International Solid-State Circuits Conference (ISSCC) 2014*, pp.494-496, 2014
- (101)根津禎: 「GaN でマトコンを 1 チップ化 大きさを従来比 1/100 に」, 日経エレクトロニクス 2014.3.3, 2014

## 第7章

(102)Masamu Kamaga, Kyungmin Sung, Yukihiro Sato, and Hiromichi Ohashi: “Floating Gate Power Supplies for Flying Capacitor Multilevel Converters”, *IEEJ Transactions on Industry Applications*, Vol.130, No.7, pp.933-934, 2010 (in Japanese)

釜我昌武, 成慶珉, 佐藤之彦, 大橋弘通: 「フライングキャパシタマルチレベル電力変換器のゲートフローティング電源供給方式」, 電気学会論文誌 D, Vol.130, No.7, 研究開発レター, pp.933-934, 2010

(103)Masamu Kamaga, Kyungmin Sung, Yusuke Hayashi, Yukihiro Sato, and Hiromichi Ohashi: “An Investigation of Gate Drive Circuits and Losses in Power Devices of Multilevel Converters for Circuit Integration to Realize High Output Power Density”, *the 5th International Conference on Integration of Power Electronics Systems (CIPS) 2008*, 2008

(104)Hidemine Obara and Yukihiro Sato : ”An investigation of isolation methods for gate drive circuits in flying capacitor multi-level converters”, *Japanese Industry Applications Society Conference (JIASC) 2012*, 1-20, pp.137-140, 2012-8 (in Japanese)

小原秀嶺, 佐藤之彦: 「フライングキャパシタマルチレベルインバータのゲート駆動回路絶縁方式に関する一検討」, 平成24年電気学会産業応用部門大会, 1-20, pp.137-140, 2012-8

(105)Hidemine Obara and Yukihiro Sato: “Study on Volume of Multi-level Converters Considering Circuit Implementation to Realize High Power Density”, *IEEJ Annual meeting 2012*, 4-038, pp.65-66, 2012-3 (in Japanese)

小原 秀嶺, 佐藤 之彦: 「マルチレベル変換器の高パワー密度化に向けた実装を考慮した体積評価」, 平成24年電気学会全国大会, 4-038, pp.65-66, 2012-3

(106)Hidemine Obara and Yukihiro Sato: “Improved Thermal Management of Multi-Level Converter Building Module to Realize Higher Power Density”, *IEEE Energy Conversion Congress and Exposition (ECCE) 2014*, P3511, pp.2147-2152, 2014-9

## 第8章

(107)内閣府 政策統括官(科学技術・イノベーション担当): 「SIP(戦略的イノベーション創造プログラム) 次世代パワーエレクトロニクス(どこでもパワエレ機器で豊かな省エネ社会) 研究開発計画」, 内閣府 Web サイト, 2014-5, [http://www8.cao.go.jp/cstp/gaiyo/sip/keikaku/2\\_pawaere.pdf](http://www8.cao.go.jp/cstp/gaiyo/sip/keikaku/2_pawaere.pdf)



## 謝辞

主指導教員として、6年半に渡りご指導を頂きました佐藤之彦教授に深く御礼申し上げます。佐藤先生からは、徹底してものごとの本質を見抜くこと、ものごとを正確に伝えるために適切な言葉を使うことの重要性を学びました。また、学会のみならず、展示会やワークショップ等、研究成果を対外的に発表する多くの機会を頂いたことにより、本研究や私自身をたくさんの方々に知ってもらい、様々なご助言を頂くことができました。

同研究室の教員として、また本学位論文の審査員としてご指導を頂きました近藤圭一郎教授に御礼申し上げます。近藤先生には、一步引いた視点から、研究の位置付けや価値に関する貴重なご指摘を頂きました。

本学位論文の審査員としてご指導、ご助言を頂きました、劉康志教授、武居昌宏教授、早乙女英夫准教授、関屋大雄准教授に御礼申し上げます。

同研究室の教員としてご指導を頂きました名取賢二助教に御礼申し上げます。名取先生には、制御の観点からマルチレベルコンバータを考えるきっかけを頂き、それまでとは異なるアプローチの研究を行うことができました。

パワーデバイスや電力変換器の実装技術について有意義な議論をさせて頂き、また、産業技術総合研究所で働くきっかけを頂きました、NPERC-J 理事長 大橋弘通氏、産業技術総合研究所 西澤伸一氏、中島昭氏に深く御礼申し上げます。定期的に専門の異なる第一線の研究者と研究、議論をする機会を頂き、より俯瞰的な視点で研究を進めることができました。

鉄損評価用のインダクタ試料をご提供頂き、高調波損失について有益な議論をさせて頂きました、豊田工業大学 藤崎敬介教授に御礼申し上げます。

本研究の一部に対して経済的なご支援を頂きました（独）日本学術振興会に御礼申し上げます。

同研究室のスタッフとして、実験装置やサーバの管理のみならず、研究費執行、出張処理等、種々の事務作業を肩代わりして頂きました千葉誠技術職員に心より感謝申し上げます。

マルチレベル変換器研究チームとして本研究の土台を築き、在学中ご指導頂きました、当研究室 OB 釜我昌武氏、伊藤拓巳氏（現：東芝三菱電機産業システム（株））に御礼申し上げます。

また、マルチレベル変換器研究チームとしてともに研究を遂行した、当研究室 OB 川崎将裕氏（現：パナソニック（株））、木内将人氏（現：大成建設（株））、大塚浩司氏（現：東海旅客鉄道（株））、小栗寛司氏（現：キヤノン（株））、当研究室 OG 飯村美起氏（現：（株）日立製作所）に御礼申し上げます。作業を分担することにより、効率的に研究を進めることができました。

在学中、多くの時間を共にさせて頂いた、当研究室 OB 徐進氏（現：Myway プラス（株））、戸林俊介氏（現：東芝三菱電機産業システム（株））をはじめとする諸先輩方に深く感謝申し上げます。研究や実験に関するご助言を頂いたのはもちろん、公私共に様々なことを学ばせて頂きました。学部 4 年生の頃から研究にのめり込み、有意義な研究室生活を送ることができたのは先輩達のおかげです。

同研究室のメンバーとして、在学中ともに切磋琢磨しました当研究室 OB 井出喜大氏（現：富士重工業（株））、岡野翔太氏（現：東日本旅客鉄道（株））をはじめとする同研究室の同期、後輩の皆様御礼申し上げます。

本研究は、名前を挙げればきりがなほ多くの方々を知って頂き、多様な議論の機会を頂きながら遂行することができました。本研究のアイデアの多くはこのような議論から生まれたものであり、それなしでは本論文の完成には至りませんでした。学会や展示会、ワークショップ等において、ご指摘、ご助言を下された全ての方々に御礼申し上げます。

最後に、私の 7 年半にわたる大学、大学院生活を支援して下さい、暖かい目で見守ってくれた両親、家族に心より御礼申し上げます。

2015 年 7 月

## 発表論文等

### 1. 論文

- [1] Hidemine Obara, Masamu Kamaga, Takumi Ito, and Yukihiro Sato: “An Investigation of Capacitors for Flying Capacitor Converters”, *IEEJ Transactions on Industrial Application*, Vol.131, No.12, pp.1393-1400, 2011-12 (in Japanese)  
小原 秀嶺, 釜我 昌武, 伊藤 拓巳, 佐藤 之彦: 「フライングキャパシタマルチレベル変換器におけるキャパシタ選定指針に関する検討」, 電気学会論文誌 D, Vol.131, No.12, pp.1393-1400, 2011-12
- [2] Hidemine Obara, Hiroshi Oguri, and Yukihiro Sato: “Theoretical Analysis of Harmonics in PWM Output Waveform of Multi-Level Inverters”, *IEEJ Transactions on Industrial Application*, Vol.134, No.1, pp.59-67, 2014-1 (in Japanese)  
小原 秀嶺, 小栗 寛司, 佐藤 之彦: 「マルチレベルインバータにおける PWM 出力波形の高調波理論解析」, 電気学会論文誌 D, Vol.134, No.1, pp.59-67, 2014-1
- [3] Hidemine Obara, Masamu Kamaga, Takumi Ito, and Yukihiro Sato : ”An Investigation of Capacitors for Flying Capacitor Converters”, *Electrical Engineering in Japan*, Vol.186, No.4, pp.81-91, 2014-3
- [4] Hidemine Obara and Yukihiro Sato: “Selection Criteria of Capacitors for Flying Capacitor Converter”, *IEEJ Journal of Industry Applications*, Letter, Vol.4, No.2, pp.105-106, 2015-3
- [5] Hidemine Obara, Hiroshi Oguri, and Yukihiro Sato: “Theoretical Analysis of Harmonics in PWM Output Waveform of Multi-Level Inverters”, *Electrical Engineering in Japan*, Vol.191, No.4, pp.55-65, 2015-6

### 2. 国際会議での発表

- [6] Hidemine Obara and Yukihiro Sato: “Theoretical Analysis of Self-Balancing Function of Capacitor Voltages in Flying Capacitor Multi-level Converters”, *IEEE Energy Conversion Congress and Exposition (ECCE) 2011*, pp.2079-2086, Phoenix, Arizona, USA, 2011-9

- [7] Hidemine Obara and Yukihiro Sato: “Development of High Power Density Flying Capacitor Multi-level Converters with Balanced Capacitor Voltage”, *IEEE Energy Conversion Congress and Exposition (ECCE) 2012*, pp.330-336, Raleigh, North Carolina, USA, 2012-9
- [8] Hidemine Obara, Hiroshi Oguri, and Yukihiro Sato: “An investigation of harmonics in output voltage of flying capacitor multi-level converters”, *2012 Korea-Japan Joint Technical Workshop on Semiconductor Power Converter*, IEEJ-P2-19, pp.198-199, Pohang, Korea, 2012-11
- [9] Hidemine Obara and Yukihiro Sato: “A Concept of Multi-Level Converter Building Modules to Realize Higher Number of Output Levels”, *IEEE Energy Conversion Congress and Exposition (ECCE) 2013*, S105, pp.3042-3048, Denver, Colorado, USA, 2013-9
- [10] Hidemine Obara and Yukihiro Sato: “A Theoretical Comparison of Capacitors in Multi-Level Converters”, *2013 Korea-Japan Joint Technical Workshop on Semiconductor Power Converter*, IEEJ-SPC-P1-07, pp.79-80, Nagoya, Japan, 2013-10
- [11] Hidemine Obara and Yukihiro Sato: “Improved Thermal Management of Multi-Level Converter Building Module to Realize Higher Power Density”, *IEEE Energy Conversion Congress and Exposition (ECCE) 2014*, P3511, pp.2147-2152, Pittsburgh, Pennsylvania, USA, 2014-9
- [12] Hidemine Obara, Tatsuhito Saito, Kenji Natori, and Yukihiro Sato: “A Realization of High-Performance Motion Control Systems by Applying Multi-Level Converters”, *Annual Conference of the IEEE Industrial Electronics Society (IECON) 2014*, DD-023191, pp.2656-2662, Dallas, Texas, USA, 2014-10
- [13] Miki Imura, Yuki Dodo, Hidemine Obara, and Yukihiro Sato: “A Study on Minimum Required Capacitance in Flying Capacitor Multilevel Converters for Grid-Connected Applications”, *IEEE Energy Conversion Congress and Exposition (ECCE) 2015*, Montreal, Canada, 2015-9 (accepted)
- [14] Hidemine Obara, Kenji Natori, and Yukihiro Sato: “Experimental Study on Performance Improvement of Force Control by Using Multi-Level Converters”, *Annual Conference of the IEEE Industrial Electronics Society (IECON) 2015*, Yokohama, Japan, 2015-11 (accepted)

### 3. 国内大会での発表

- [15] Hidemine Obara, Masamu Kamaga, Takumi Ito, and Yukihiro Sato: “An Investigation of

Capacitors for Flying Capacitor Topology”, *IEEJ Annual meeting 2010*, 4-050, pp.84-85, Tokyo, Japan, 2010-3 (in Japanese)

小原 秀嶺, 釜我 昌武, 伊藤 拓巳, 佐藤 之彦:「フライングキャパシタマルチレベル回路のキャパシタ選択に関する検討」, 平成 22 年電気学会全国大会, 4-050, pp.84-85, 東京, 2010-3

- [16] Hidemine Obara, Masamu Kamaga, Takumi Ito, and Yukihiro Sato: “An Investigation of Capacitors for Flying Capacitor Converters to Realize High Power Density”, *IEEJ Japanese Industry Applications Society Conference (JIASC) 2010*, 1-22, pp.249-254, Tokyo, Japan, 2010-8 (in Japanese)

小原 秀嶺, 釜我 昌武, 伊藤 拓巳, 佐藤 之彦:「フライングキャパシタマルチレベル変換器における高パワー密度化のためのキャパシタ選定指針に関する検討」, 平成 22 年電気学会産業応用部門大会, 1-22, pp.249-254, 東京, 2010-8

- [17] Masato Kiuchi, Hidemine Obara, Takumi Ito, and Yukihiro Sato: “Load Test of Flying Capacitor Multi-level Converter under High Switching Frequency”, *IEEJ Annual meeting 2011*, 4-075, pp.138-139, Osaka, Japan, 2011-3 (in Japanese)

木内 将人, 小原 秀嶺, 伊藤 拓巳, 佐藤 之彦:「フライングキャパシタマルチレベル変換器の高スイッチング周波数時における実負荷試験」, 平成 23 年電気学会全国大会, 4-075, pp.138-139, 大阪, 2011-3

- [18] Hidemine Obara and Yukihiro Sato: “Fundamental Investigations of Balance of Capacitor Voltages in Flying Capacitor Multi-level Converters”, *IEEJ Japanese Industry Applications Society Conference (JIASC) 2011*, 1-6, pp.119-122, Okinawa, Japan, 2011-9 (in Japanese)

小原 秀嶺, 佐藤 之彦:「フライングキャパシタマルチレベル変換器のキャパシタ電圧バランスに関する基礎検討」, 平成 23 年電気学会産業応用部門大会, 1-6, pp.119-122, 沖縄, 2011-9

- [19] Koji Otsuka, Hidemine Obara, and Yukihiro Sato: “An Analysis of Switching Over voltage of Flying Capacitor Converters”, *IEEJ Annual meeting 2012*, 4-047, pp.81-82, Hiroshima, Japan, 2012-3 (in Japanese)

大塚 浩司, 小原 秀嶺, 佐藤 之彦:「フライングキャパシタ変換器におけるスイッチング時の過電圧解析」, 平成 24 年電気学会全国大会, 4-047, pp.81-82, 広島, 2012-3

- [20] Hidemine Obara and Yukihiro Sato: “Study on Volume of Multi-level Converters Considering Circuit Implementation to Realize High Power Density”, *IEEJ Annual meeting 2012*, 4-038, pp.65-66, Hiroshima, Japan, 2012-3 (in Japanese)

小原 秀嶺, 佐藤 之彦:「マルチレベル変換器の高パワー密度化に向けた実装を考慮した体積評価」, 平成 24 年電気学会全国大会, 4-038, pp.65-66, 広島, 2012-3

- [21] Hidemine Obara, Hiroshi Oguri, and Yukihiro Sato : "An investigation of harmonics in output voltage of multi-level inverters", *IEEJ Semiconductor Power Converter Technical Meeting, SPC-12-102*, pp.33-38, Nara, Japan, 2012-7 (in Japanese)  
小原 秀嶺, 小栗 寛司, 佐藤 之彦 : 「マルチレベルインバータの出力電圧高調波に関する一検討」, 電気学会半導体電力変換研究会, SPC-12-102, pp.33-38, 奈良, 2012-7
- [22] Hidemine Obara and Yukihiro Sato : "An investigation of isolation methods for gate drive circuits in flying capacitor multi-level converters", *Japanese Industry Applications Society Conference (JIASC) 2012*, 1-20, pp.137-140, Chiba, Japan, 2012-8 (in Japanese)  
小原 秀嶺, 佐藤 之彦 : 「フライングキャパシタマルチレベルインバータのゲート駆動回路絶縁方式に関する一検討」, 平成 24 年電気学会産業応用部門大会, 1-20, pp.137-140, 千葉, 2012-8
- [23] Hidemine Obara, Hiroshi Oguri, and Yukihiro Sato : "Theoretical Analysis of Harmonics in PWM Output Voltage of Multi-level Converters", *IEEJ Semiconductor Power Converter Technical Meeting, SPC-13-035*, pp.119-124, Kyoto, Japan, 2013-1 (in Japanese)  
小原 秀嶺, 小栗 寛司, 佐藤 之彦 : 「マルチレベルインバータにおける PWM 出力電圧高調波の理論解析」, 電気学会半導体電力変換研究会, SPC-13-035, pp.119-124, 京都, 2013-1
- [24] Hidemine Obara and Yukihiro Sato : "Trial Construction and Evaluation of Prototype Flying Capacitor Inverter to Realize High Power Density", *IEEJ Annual meeting 2013*, 4-042, pp.73-74, Aichi, Japan, 2013-3 (in Japanese)  
小原 秀嶺, 佐藤 之彦 : 「フライングキャパシタマルチレベルインバータの高パワー密度化に向けた試作と評価」, 平成 25 年電気学会全国大会, 4-042, pp.73-74, 愛知, 2013-3
- [25] Hiroshi Oguri, Hidemine Obara, and Yukihiro Sato : "An Investigation of Loss Reduction of Inverter-Fed Induction Motor with Multi-Level Inverter", *Japanese Industry Applications Society Conference (JIASC) 2013*, 1-69, pp.301-304, Yamaguchi, Japan, 2013-8 (in Japanese)  
小栗 寛司, 小原 秀嶺, 佐藤 之彦 : 「マルチレベル化によるインバータ駆動誘導電動機の損失低減に関する一検討」, 平成 25 年電気学会産業応用部門大会, 1-69, pp.301-304, 山口, 2013-8
- [26] Hidemine Obara and Yukihiro Sato : "Experimental Investigations of Effect of Multi-Level Inverters on Harmonic Iron Loss Reduction", *Japanese Industry Applications Society Conference (JIASC) 2013*, 1-82, pp.347-350, Yamaguchi, Japan, 2013-8 (in Japanese)  
小原 秀嶺, 佐藤 之彦 : 「マルチレベルインバータによる高調波鉄損低減効果に関する実験検討」, 平成 25 年電気学会産業応用部門大会, 1-82, pp.347-350, 山口, 2013-8
- [27] Hidemine Obara, Kenji Natori, and Yukihiro Sato : "A Study on Performance Improvement of

Motion Control Systems by Using Multi-Level Inverters”, *IEEJ Mechatronics Control Technical Meeting*, MEC-13-175, pp.23-28, Niigata, Japan, 2013-11 (in Japanese)

小原 秀嶺, 名取 賢二, 佐藤 之彦:「マルチレベルインバータによるモーションコントロールシステムの性能向上に関する一考察」, 電気学会メカトロニクス制御研究会, MEC-13-175, pp.23-28, 新潟, 2013-11

- [28] Hiroshi Oguri, Hidemine Obara, and Yukihiro Sato : ”A Study on Reduction of Volume and Loss of Output Filter with Multi-Level Inverter”, *IEEJ Semiconductor Power Converter / Motor Drive Technical Meeting*, SPC-14-030, MD-14-030, pp.25-30, Hyogo, 2014-1 (in Japanese)

小栗 寛司, 小原 秀嶺, 佐藤 之彦:「インバータのマルチレベル化による出力フィルタ体積及び損失低減に関する検討」, 電気学会半導体電力変換/モータドライブ合同研究会, SPC-14-030, MD-14-030, pp.25-30, 兵庫, 2014-1

- [29] Hidemine Obara and Yukihiro Sato : ”A Study on Implementation of Modularized Flying Capacitor Multi-Level Inverters”, *IEEJ Annual meeting 2014*, 4-051, pp.83-84, Ehime, Japan, 2014-3 (in Japanese)

小原 秀嶺, 佐藤 之彦:「フライングキャパシタマルチレベルインバータモジュールの実装に関する検討」, 平成 26 年電気学会全国大会, 4-051, pp.83-84, 愛媛, 2014-3

- [30] Yuki Dodo, Miki Imura, Hidemine Obara, and Yukihiro Sato : ”A Study on Downsizing of Inductor for Grid-Interconnection by Using Multi-Level Inverters”, *Japanese Industry Applications Society Conference (JIASC) 2014*, 1-7, pp.63-64, Tokyo, Japan, 2014-8 (in Japanese)

百々 裕輝, 飯村 美起, 小原 秀嶺, 佐藤 之彦:「系統連系インバータのマルチレベル化による連系リアクトルの小型化に関する検討」, 平成 26 年電気学会産業応用部門大会, 1-7, pp.63-64, 東京, 2014-8

- [31] Miki Imura, Yuki Dodo, Hidemine Obara, and Yukihiro Sato : ”A Study on Required Capacitance of Capacitors in Flying Capacitor Converters for Grid-Connected Applications”, *IEEJ Semiconductor Power Converter / Motor Drive Technical Meeting*, SPC-15-031, MD-15-031, pp.7-12, Osaka, Japan, 2015-1 (in Japanese)

飯村 美起, 百々 裕輝, 小原 秀嶺, 佐藤 之彦:「系統連系応用に向けたフライングキャパシタマルチレベル変換器におけるキャパシタの所要静電容量に関する検討」, 電気学会半導体電力変換/モータドライブ合同研究会, 大阪, SPC-15-031, MD-15-031, pp.7-12, 2015-1

- [32] Hidemine Obara and Yukihiro Sato : ”A Study on Relationship between Device Rated Voltage Selection and Efficiency for Multilevel Converter Modules”, *IEEJ Annual meeting 2015*, 4-115,

pp.192-193, Tokyo, Japan, 2015-3 (in Japanese)

小原 秀嶺, 佐藤 之彦:「マルチレベルコンバータモジュールの素子耐圧設計と効率に関する検討」, 平成 27 年電気学会全国大会, 4-115, pp.192-193, 東京, 2015-3

#### 4. 特許等

[33] 佐藤 之彦, 小原 秀嶺, 大橋 弘通, 中島 昭, 西澤 伸一:「マルチレベル電力変換回路および装置」, 日本国特許, 特願 2012-201460, 2012-9 (出願中)

[34] 佐藤 之彦, 小原 秀嶺, 中島 昭, 大橋 弘通, 西澤 伸一:「電力変換回路および装置」, 日本国特許, 特願 2013-186885, 2013-9 (出願中)

[35] 佐藤 之彦, 小原 秀嶺, 大橋 弘通, 中島 昭, 西澤 伸一:「マルチレベル電力変換回路および装置」, 国際出願 (PCT 出願), PCT/JP2013/74221, 2013-9 (出願中)

#### 5. 受賞

[36] 優秀論文発表賞 (部門表彰), 平成 22 年電気学会産業応用部門大会, 2011-9

[37] 優秀論文発表賞 (部門表彰), 平成 24 年電気学会半導体電力変換研究会, 2013-6

#### 6. 外部資金

[38] 科学研究費補助金, 特別研究員奨励費, 研究課題番号: 14J04344 「集積化マルチレベルインバータの開発」, 総額 2200 千円, 2014-2015

#### 7. 副論文

[39] Kenji Natori, Hidemine Obara, Kouhei Yoshikawa, Bao Cong Hiu, and Yukihiro Sato: “Flexible Power Flow Controller for Next-Generation Multi-Terminal DC Power Network”, *IEEE Energy Conversion Congress and Exposition (ECCE) 2014*, P114, pp.778-784, Pittsburgh, Pennsylvania, USA, 2014-9



- [40] Yutaro Ikegami, Hidemine Obara, and Yukihiro Sato: “A Study on Device Chip Area Selection of SiC-MOSFETs to Minimize Total Power Loss”, *The 9th International Conference on Power Electronics 2015 -ECCE Asia (ICPE 2015-ECCE Asia)*, ThH3-4, Seoul, Korea, 2015-6
- [41] Azumi Saito, AACHIQ MUSTAPHA, Hidemine Obara, Yasunori Tanaka, Akio Takatsuka, Akiyoshi Fukui, Akira Matsumoto, and Yukihiro Sato: “Active Voltage Control of SiC-SIT DC Circuit Breakers for Higher Voltage DC Distribution Systems”, *IEEJ Semiconductor Power Converter Technical Meeting*, SPC-12-006, pp.31-36, Osaka, Japan, 2012-1 (in Japanese)  
齊藤 杏実, AACHIQ MUSTAPHA, 小原 秀嶺, 田中 保宣, 高塚 章夫, 福井 昭圭, 松本 暁, 佐藤 之彦: 「高電圧直流給電システム用 SiC-SIT 直流遮断器のアクティブ電圧制御」, 電気学会半導体電力変換研究会, SPC-12-006, pp.31-36, 大阪, 2012-1
- [42] Takumi Umeda, Tatsuhito Saito, Hidemine Obara, Kenji Natori, and Yukihiro Sato: “Connecting Model of Basic Converter Units for Multi-Stage/Series/Parallel Converters Based on State-Space Averaging Method”, *IEEJ Annual meeting 2013*, 4-007, pp.12-13, Aichi, Japan, 2013-3 (in Japanese)  
梅田 拓海, 齋藤 達仁, 小原 秀嶺, 名取 賢二, 佐藤 之彦: 「多段/多直列/多並列変換器の状態平均化法を用いた基本要素結合モデル」, 平成 25 年電気学会全国大会, 4-007, pp.12-13, 愛知, 2013-3
- [43] Takumi Umeda, Tatsuhito Saito, Hidemine Obara, Kenji Natori, and Yukihiro Sato: “A Study of Analysis Method Based on Connecting Model of Basic Converter Units”, *Japanese Industry Applications Society Conference (JIASC) 2013*, 1-74, pp.319-322, Yamaguchi, Japan, 2013-8  
梅田 拓海, 齋藤 達仁, 小原 秀嶺, 名取 賢二, 佐藤 之彦: 「縦続接続した電力変換器における基本要素結合モデルに基づく解析手法の一検討」, 平成 25 年電気学会産業応用部門大会, 1-74, pp.319-322, 山口, 2013-8
- [44] Kohei Yoshikawa, Hui Bao Cong, Hidemine Obara, Kenji Natori, and Yukihiro Sato: “Bidirectional Power Flow Controller to Realize Next Generation DC Power Network”, *IEEJ Semiconductor Power Converter / Motor Drive Technical Meeting*, SPC-14-042, MD-14-042, Hyogo, 2014-1 (in Japanese)  
吉川 晃平, Hui Bao Cong, 小原 秀嶺, 名取 賢二, 佐藤 之彦: 「次世代直流電力ネットワークを実現する双方向パワーフローコントローラ」, 電気学会半導体電力変換/モータドライブ合同研究会, SPC-14-042, MD-14-042, pp.89-94, 兵庫, 2014-1
- [45] Kenji Natori, Kouhei Yoshikawa, Hui Bao Cong, Hidemine Obara, and Yukihiro Sato: “Power Flow Control Method for Next-Generation DC Power Network”, *Japanese Industry Applications Society Conference (JIASC) 2014*, 1-19, pp. 115-120, Tokyo, 2014-8 (in Japanese)  
名取 賢二, 吉川 晃平, Hui Bao Cong, 小原 秀嶺, 佐藤 之彦: 「次世代直流電力ネッ

トワークにおけるパワーフロー制御法」, 平成 26 年電気学会産業応用部門大会, 1-19, pp.115-120, 東京, 2014-8

- [46] Hirokatsu Umegami, Fumiya Hattori, Hideto Yoshida, Hidemine Obara, Tatsuhito Saito, Masato Kanematsu, Wataru Kawamura, Yuuhei Okazaki, Tomoyuki Mannen, Shouhei Komeda, Kazuto Takagi, Kazuhiro Koiwa, Keisuke Kusaka, Masakazu Kato, Daisuke Sato, Toshiki Nakanishi, and Tsuyoshi Nagano: “Foundation and Activities of Ph.D. candidates of Power Electronics in Japan (PPEJ) -Research Environments of Ph.D. Candidates in Various Countries and Their Differences Finding from Ph.D. candidate meeting -IPEC Hiroshima-”, *IEEE Semiconductor Power Converter / Motor Drive Technical Meeting*, SPC-15-037, MD-15-037, pp.43-48, Osaka, Japan, 2015-1 (in Japanese)

梅上 大勝, 服部 文哉, 吉田 秀人, 小原 秀嶺, 齋藤 達仁, 兼松 正人, 川村 弥, 岡崎 佑平, 萬年 智介, 米田 昇平, 高木 一斗, 小岩 一広, 日下 佳祐, 高橋 広樹, 加藤 尚和, 佐藤 大介, 中西 俊貴, 長野 剛: 「Ph.D. candidates of Power Electronics in Japan (PPEJ)の設立とその活動 -Ph.D. candidate meeting -IPEC Hiroshima-で見た各国の博士後期課程学生を取り巻く研究環境とその違い-」, 電気学会半導体電力変換/モータドライブ合同研究会, SPC-15-037, MD-15-037, pp.43-48, 大阪, 2015-1

- [47] Yutaro Ikegami, Hidemine Obara, and Yukihiko Sato: “A Study on Effect of Device Chip Area on Total Power Loss in Semiconductor Power Converters (First report)”, *IEEE Annual meeting 2015*, 4-115, p.18, Tokyo, Japan, 2015-3 (in Japanese)

池上 悠太郎, 小原 秀嶺, 佐藤 之彦: 「パワー半導体デバイスのチップ面積が損失に与える影響の検討(第1報)」, 平成 27 年電気学会全国大会, 4-115, p.18, 東京, 2015-3

- [48] 川瀬貴晴, 田島翔太, 小原秀嶺, 羽澄亮平, 那須智子: 「(解説) ソーラー・デカスロン・ヨーロッパ 2014—千葉大学の挑戦」, 太陽エネルギー学会誌「太陽エネルギー」, Vol.40, No.6 (通巻 224 号), pp.53-61, 2014-12