

有線通信における伝送特性の劣化とその補償に関する研究

2015年1月

千葉大学大学院工学研究科

人工システム科学専攻 電気電子系コース

高遠 健司

(千葉大学審査学位論文)

有線通信における伝送特性の劣化とその補償に関する研究

2015年1月

千葉大学大学院工学研究科

人工システム科学専攻 電気電子系コース

高遠 健司

「有線通信における伝送特性の劣化とその補償に関する研究」

目次

第一章 緒論	1
1.1 研究の背景	1
1.2 研究の目的	7
1.3 論文の構成	8
参考文献	11
第二章 電力線通信でのケーブル被覆の影響	13
2.1 まえがき	13
2.2 無限長の送電線間の容量計算	14
2.3 誘電体の影響の検討	18
2.4 伝搬遅延時間の測定実験	22
2.5 まとめ	24
参考文献	25
第三章 電力線通信の SPD による特性劣化	26
3.1 まえがき	26
3.2 SPD のインピーダンスの測定と分析	26
3.3 SPD の設置方法と配線の影響	36
3.4 OFDM 型 PLC モデムの伝送容量	41
3.5 まとめ	45
参考文献	47
第四章 放送システム用の低遅延で高性能の AD/DA コンバータ	48
4.1 まえがき	48
4.2 市販の AD/DA 変換 LSI の伝送特性と遅延	48
4.3 新開発 AD/DA コンバータの構成	50
4.4 IIR フィルタの設計と安定性	53
4.5 まとめ	59
参考文献	60

第五章 逐次設定方式の F I R 逆フィルタ	61
5.1 まえがき	61
5.2 従来の逆フィルタの設計方法	61
5.3 逐次係数設定の FIR 逆フィルタ	65
5.4 VHDL シミュレーション	75
5.5 まとめ	77
参考文献	78
第六章 結論	79
謝辞	82
Appendix I	83
AP-1) 学術論文	83
AP-2) 国内発表	83
AP-3) 海外発表	84
AP-4) 国内特許 (筆頭のみ)	84
AP-5) 米国特許	86

第一章 緒論

1.1 研究の背景

有線通信の媒体としては従来から往復二導体（いわゆるペア線）、同軸ケーブルなどのメタルケーブルや光ファイバケーブルがある。これらは電話線の様に直流と音声の低周波交流を同時に伝えるもの、高周波のアナログ信号や高速デジタル信号を伝えるもの、あるいは光ファイバケーブルのように光信号を伝えるものなど多種多様である。また LSI 内部配線や通信装置内のプリント基板の配線も、信号の高速化に従い単に論理素子の入出力を接続する導体ではなく、有線通信の媒体（伝送路）と考える必要がある。これらは全て専用の通信媒体で伝送されるのは本来の信号のみだが、外部からの誘導ノイズあるいは媒体内部で発生するノイズや非線形歪の影響を受ける。通信媒体毎に特有の特性劣化があるため、それらを補償する線路等化器（イコライザ）や分散補償装置等が開発されている。

それに対し電力線通信（PLC）の様に、専用の通信線以外を通信媒体とするニーズが出てきた。電力線は専用の通信媒体でないために、送りたい信号以外に 50Hz/60Hz の大きな電圧や歪、誘導ノイズだけでなく機器の電源装置からの伝導ノイズが著しい。配線形態は複雑で適切な終端が無い場合インピーダンス不整合による反射や信号減衰も複雑で大きい。

図 1-1 に専用の通信媒体の場合、専用でない場合を含めた有線通信の全体像を示す。

専用の場合は、最短は LSI 内部の数 mm の線路から、最長は光ファイバによる全国ネットワーク網の 1000km に及ぶものがある。また専用で無い場合として、電力線通信の電力配線用ケーブルが代表例であり、埋設水道管なども音波を信号としてとらえれば信号処理の応用面で通信媒体として含まれる。

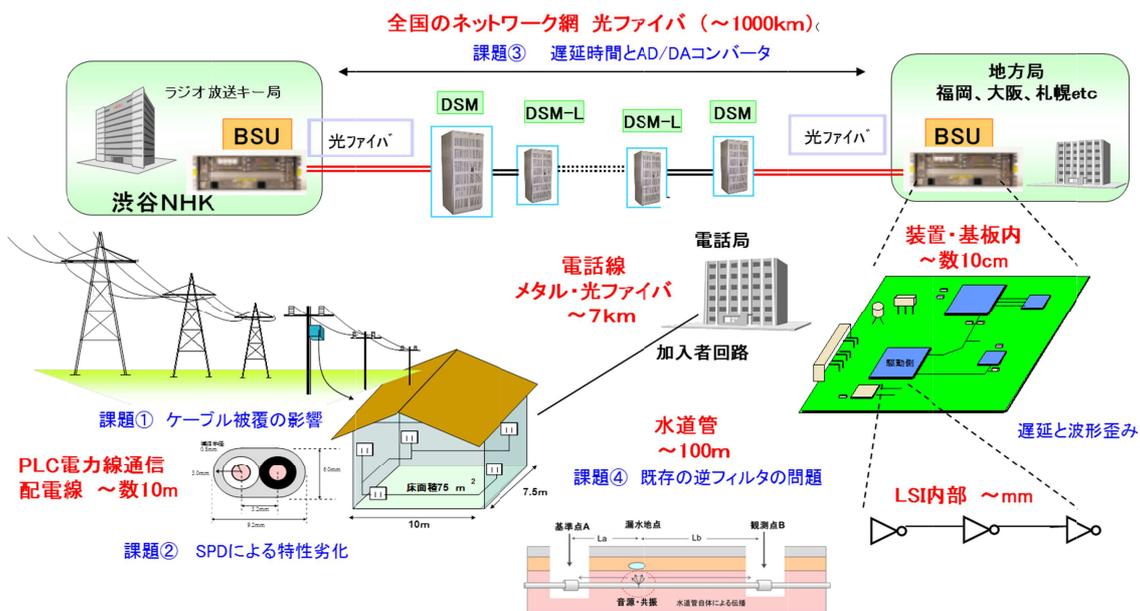


図 1-1 有線通信の全体像

この様に、有線通信の媒体は長さ・媒体の種類・信号速度・環境・ノイズなどあらゆる側面で多様なものであり、それぞれが特有の課題を持っている。

図 1-1 に示した通線通信の全体像のなかで、本論で取りあげた具体的な課題は以下の 4 つであり、電力線通信関係と信号処理の関係に分類できる。

- 課題① ケーブル被覆の影響 (電力線通信関係)
- 課題② SPD による特性劣化 (電力線通信関係)
- 課題③ 遅延時間と AD/DA コンバータ (信号処理関係)
- 課題④ 既存の逆フィルタの問題 (信号処理関係)

課題①と課題②は、電力線通信での信号の劣化に関するもので、電力配線用ケーブルの基本的なパラメータの欠如と SPD(保安器)の与える影響についての課題である。

課題③はラジオ放送用の専用線システムにおいて、遅延時間の最小化を要求された AD/DA コンバータのデジタルフィルタ設計に関わる信号処理関係の課題である。

課題④は信号の等化器として、逆フィルタの実現に関わる信号処理の課題である。

次のページから各課題についての、詳細な背景を述べる。

(1) ケーブル被覆の影響（電力線ケーブルの実効比誘電率が不明）

電力線通信（PLC）では宅内の電灯線に 2～30MHz の高速信号が伝送される。電灯線は専用の通信媒体でないため、信号の反射を考慮した終端等の処理はされていない。従って PLC モデムが送信した信号は、実際の宅内の電灯線の各コンセントで反射を起こして定在波が発生する。定在波の発生は漏洩電波の主要因であり、発生周波数は反射し合うポイント間の距離と信号の伝播速度に依存する。伝播速度は簡易的には光速に対し、導体間の比誘電率を ϵ_s とすれば $1/\sqrt{\epsilon_s}$ 倍と遅くなる。電灯線ケーブル（例：1.6φ の VVF ケーブル）は導体間隔が狭く被覆は導体の近傍にしかない（図 1-2(c)参照）。すなわち導体間に誘電体と空気の両方がある場合、誘電体の比誘電率 ϵ_s だけで単純計算できないはずである。2006 年当時、実物大モデルの実測とシミュレーション(モーメント法)による基礎研究が数多くなされていたが、シミュレータの都合で比誘電率は図 1-2(b)に示す導体の周囲が全て誘電体であるとして計算されており、常に実験値とシミュレーションに誤差があることが報告されていた[1-1][1-2]。すなわち VVF ケーブルのような形態での実効的な比誘電率は不明であった。

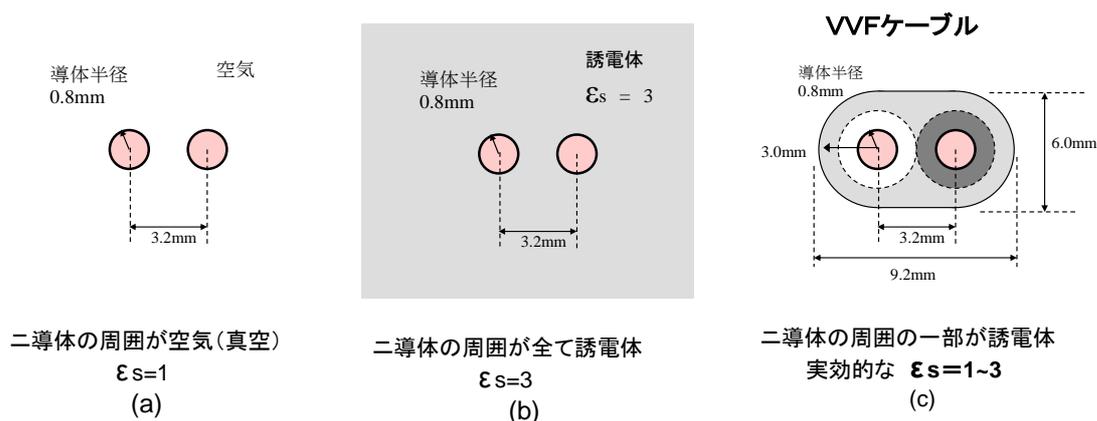


図 1-2 往復二導体の周囲と VVF ケーブル断面図

(2) SPDによる特性劣化（電力線に接続するサージ保護素子（SPD）の影響が不明）

2006年10月から高速電力線通信（PLC）が日本では屋内でのみ利用可能となった。その後、屋内と屋外のグレーゾーンに関する議論が進み、2013年9月より屋外のセキュリティカメラ等（配電盤からの電力線）への適用が屋内より10dB厳しい規制値で可能となった。

日本の業界標準 JIS（C60364-4-44）では、新築のビルや家において AC 電源線へのサージ保護素子 SPD（Surge Protective Device）の設置を推奨している。（図 1-3 参照）SPD の目的は鉄塔や高圧線への落雷により、AC 電源線に誘導されたサージ電圧から屋内の電気機器を守ることである。JIS 標準は屋内の電気機器に対して 1.5kV のサージに耐えるようカテゴリ II で規定しており、SPD は屋内の電源線に誘導するサージ電圧を 1.5kV 以下に制限する必要がある。

SPD は通常はバリスタなど大きな静電容量を持つ素子で構成されるものが多く、PLC 信号(2MHz~30MHz)を大きく減衰させる懸念があった。実測では 4MHz などむしろ低周波数域で共振現象による大きな損失が見られた。これより、SPD の静電容量だけでなくインダクタンスを考慮する必要がある、家屋における SPD の設置や接続について、総合的に検討する必要が生じた。SPD と PLC の伝送特性の関連性を定量的に検討した研究は筆者らの研究[1-3]~[1-6] 以外に殆どなされていなかった。

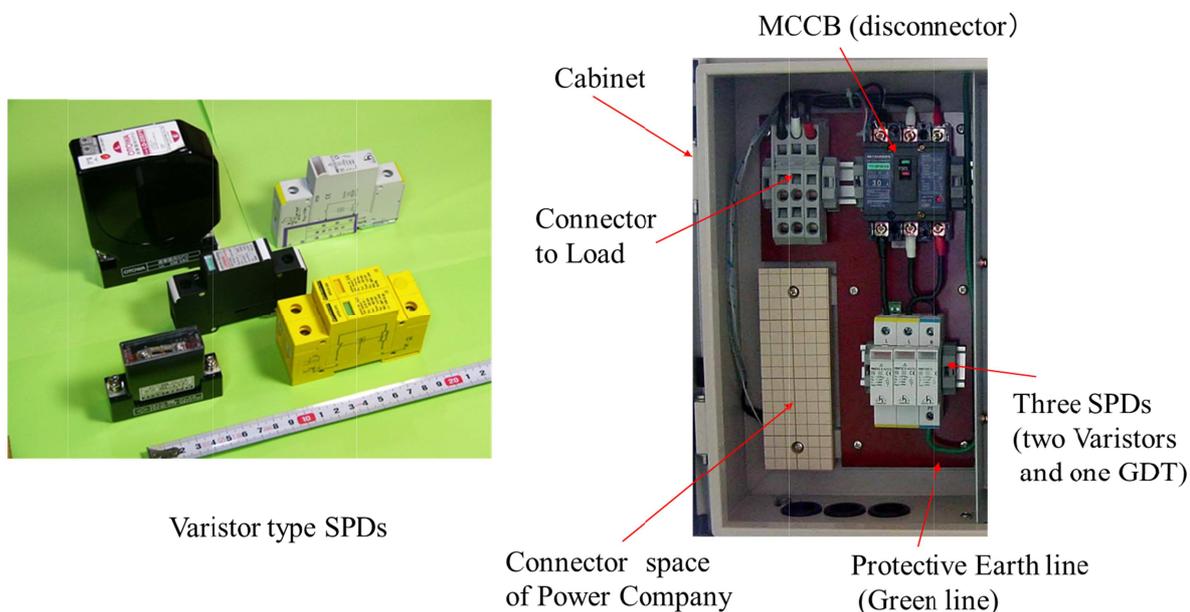


図 1-3 各種 SPD と SPD を搭載したキャビネット

(3) 遅延時間とAD/DAコンバータ（遅延時間が1msec以下のLSIが市場に無い）

NTTの一般専用線システムではAM放送・FM放送向けオーディオ帯域の信号をデジタル信号に変換し、光ファイバで日本全国に配信するサービスがある。オーディオ信号をデジタル信号に変換するために開発したのがBSU(Broadcasting Service Unit)である。BSUの入力と出力は600Ωアナログのインターフェイスであり、それを高速デジタル信号に変換するには高性能のAD/DA変換器が必要である。放送用のAD/DA変換器はITU-TのJ.41勧告に準拠し、14bitで量子化したものを11bitに圧縮した32kHz(384kbps)の信号である。放送という基幹系であるために低ノイズ、広ダイナミックレンジ等の一般的な高品質特性の他に、次の二つの開発課題があった。

第一にGain周波数特性は理想的に近いものが必要で、帯域内(15kHz以内)は極めて平坦であること。帯域外(16kHz以上)の減衰特性が100dB以上であること。また音色を変えるような不要信号(折返し信号)を一切発生しないこと。

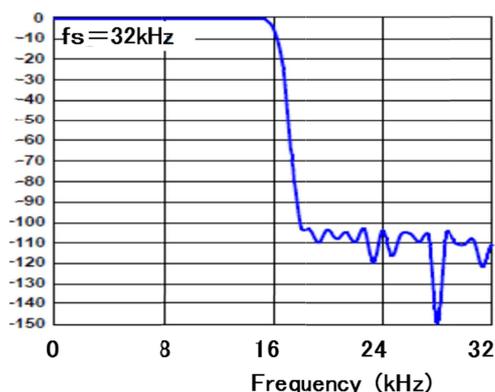
第二に放送では時報や複数の放送局間で出演者が生中継で会話する番組があり、遅延時間が問題になる。既存のデジタル基幹網自体の遅延は削減出来ないため、新開発のBSUのAD/DA変換では絶対遅延時間が最小(1msec以下)であること。

最近の市販AD/DA変換LSIは $\Delta\Sigma$ AD/DAの技術により、非常に高性能(24bit入出力)であるが、上記の二つの課題をLSI単体で同時に満足するものは市販されていない。

図1-4(a)は市販の高性能オーディオ用のAD変換LSIのGain-周波数特性の例である[1-7]。

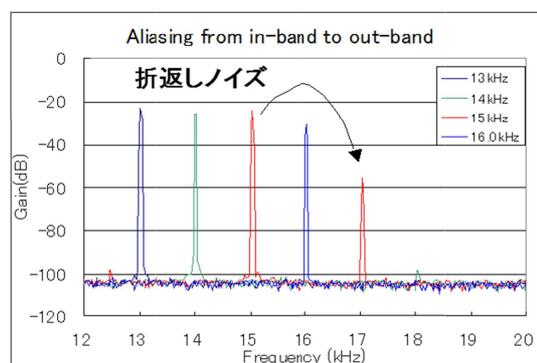
32kHzで動作させた場合に、ナイキスト周波数である16kHzでは7dBしか遮断されていない。これ以外の市販AD変換ICの周波数特性も概ねこのような遮断特性であった。またIC単体の特性を実測した結果、ナイキスト周波数を挟んだ折返しノイズが大きく、例えば図1-4(b)で15kHzの信号は17kHzに30dB程度の減衰で折り返しており不要な信号を発生させている。AD/DA変換LSIを対向して測定した絶対遅延時間は2.2msecと長かった。この様に周波数特性と遅延時間が放送用AD/DA変換器の要求を満たしていなかった。

高性能オーディオ用AD変換LSIの特性(Data Sheet)



(a) Gain-周波数特性

AD・DA変換LSIの実測



(b) 折返し特性

図1-4 Data Sheetには現れない折返しノイズの発生

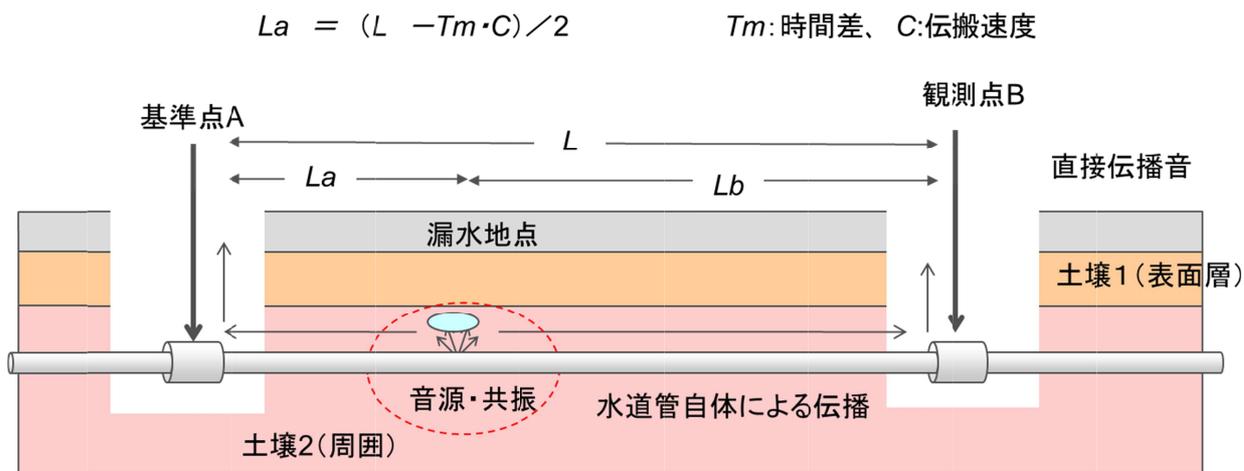
(4) 既存の逆フィルタの問題

埋設水道管からの水漏れは、社会的に大きな問題である。東京都の漏水率は3%以下[1-8]であるが外国では20~40%という大都市も珍しくない。埋設水道管の漏水地点を検出する手段として相関法[1-9]という計測技術がある。(図1-5参照)これは水道管にマンホールを通じて地上からアクセス出来る2地点A,Bの漏水音を検出し、2点の漏水音の相関から到達時間の差 T_m を求め、漏水地点を特定する手法であり関連の発明[1-10]~[1-14]も多い。ただしこの方法は誤差が大きく、数mの違いが発生すれば、地上からの掘削のやり直しとなり多額の費用がかかる。そこで通信の信号処理技術を応用した逆フィルタを使って配管をその周囲を伝送路として等化し、相関法を補償することで、より正確な漏水地点を検出できないかと考えた。

逆フィルタ自体は音響装置のエコー防止や、伝送路の線路等化器、無線信号のエコーキャンセル等に広く使われている。逆フィルタの主目的は、源信号が伝送路の周波数特性等により受ける特性劣化を補正し、源信号により近いものを再現する線路等化である。

逆フィルタは音響関係で多くの研究[1-15]がなされ実用化も進んでいる。主な設計手法としてはIIR(Infinite Impulse Response)フィルタによるもの[1-16]、FFT/IFFRにより周波数域に変換し設計する方法[1-17]、アダプティブフィルタで適応的にFIR(Finite Impulse Response)フィルタ係数を設定するもの[1-18]~[1-20]等がある。一般に伝送路にインパルスを入力し受信側でそのインパルス応答を検出することで、伝送路の特性を測定し、その逆特性(逆フィルタの係数)を計算することができる。但しこれらはインパルス応答の全データを受信し、その全てを利用した複雑な計算が必要である。またアダプティブフィルタでは係数を求めるのに収束するまで時間が必要である。

これら従来の方法に比べ、安定性に優れ、計算量が少なく、係数計算が短時間という優位性を有する新しいアルゴリズムが望まれた。



1.2 研究の目的

本論文は 1.1 項に示された電力線通信など新たな有線通信路における課題の解決、及び既存の通信路での遅延や歪など伝送特性の劣化問題の解決を目指し、様々な観点から検討を進めたものである。具体的な研究目的を以下に示す。

(1) ケーブル被覆の影響

電力線の家屋で多用される VVF ケーブルの絶縁物（塩化ビニル）は二線導体の周囲の一部にしか無いため、絶縁物と空気の空間的割合を考慮した実効的な比誘電率を求める計算式が無かった。そこで電磁気学の基本にもどり、VVF ケーブルの断面図から絶縁物と空気の両方を通過する電気力線に着目し、複数本の電気力線それぞれの静電容量（電界）を計算することで実効的な比誘電率を求める。

(2) SPDによる特性劣化

PLC モデムの SPD 付加による伝送レート低下の問題に対し、線路の伝送損失周波数特性に着目した。SPD 自体の仕様（バリスタ電圧・最大電力）から SPD 自体の静電容量と SPD および設置時の配線長によるインダクタンスによる共振の関係の検討を行い、伝送特性の Gain・周波数特性からシャノンの定理を応用し、伝送容量の劣化を見積もる。以上より電力線に SPD をどのように選定・設置し、PLC 信号の劣化を見積れば良いか実用的な情報を提供する。

(3) 遅延時間と AD/DA コンバータ

市販の AD/DA 変換 LSI でサンプリング周波数を 32kHz~192kHz の範囲で可変出来るものがある。サンプリング周波数を増加すると遅延時間は減少するが帯域幅はナイキスト周波数まで必要以上に広がってしまう。そこで遅延時間短縮のため AD/DA 変換 LSI をオーバサンプリングで利用しつつ、FPGA で帯域を制限するデジタルフィルタ回路を設計し、低遅延と高遮特性を両立する AD/DA コンバータ回路を開発する。

(4) 既存の逆フィルタの問題

逆フィルタの実現には、伝送路のインパルス応答をもとに逆特性を実現させる FIR フィルタ回路の係数が計算することで達成される。逆フィルタを FIR フィルタで実現する場合の一クロック毎の FIR フィルタ演算動作に着目し、逆フィルタが再現すべきインパルス応答を期待値としてそれと比較・演算をすることで、逐次的に FIR フィルタ係数を算出する新アルゴリズムを開発する。

以上、多様化している伝送路のそれぞれに特徴的な伝送特性の劣化や課題について、具体的な対応手段や対応回路の検討を進め、有線通信全体での伝送特性の劣化と補償を俯瞰することが研究の目的である。

1.3 論文の構成

本論は全六章で構成され、一章で研究の背景と目的を述べ、第二章から第五章は具体的な伝送特性に関わる課題と補償について記述し、最後の第六章でまとめを行っている。

第二章；電力線通信でのケーブルの被覆の影響

第三章：電力線通信の SPD による特性劣化

第四章：放送システム用の低遅延で高性能の AD/DA コンバータ

第五章：逐次係数設定方式の FIR 逆フィルタ

1) 第二章は電力線ケーブルの実効的な比誘電率を電磁気学の基本にもどり計算したものである。家屋内の配線として代表的な VVF ケーブルは図 1-2 に示すとおり、断面が円の二線往復導体でその周囲が塩化ビニルで絶縁されている。始めに無限長の送電線間の容量計算式を簡易なものから厳密な式について調査し、電気力線と計算式との関係を検討した。次に電気力線を複数本描き（図 1-6 参照）、電気力線それぞれに影響する誘電体と空気の範囲を計算し、電気力線にそった電界を計算した。導体表面を電気力線毎に等間隔に分割して電界を計算し、電気力線毎の静電容量からケーブル全体の静電容量（誘電率）を計算し、実効的な比誘電率を計算した。そして最後に実際の VVF ケーブルでの伝搬遅延時間を測定し、計算結果と比較した。以上、電力線ケーブルの実効的な比誘電率の計算を電気力線という古典的な手法で解析的に検討した構成である。

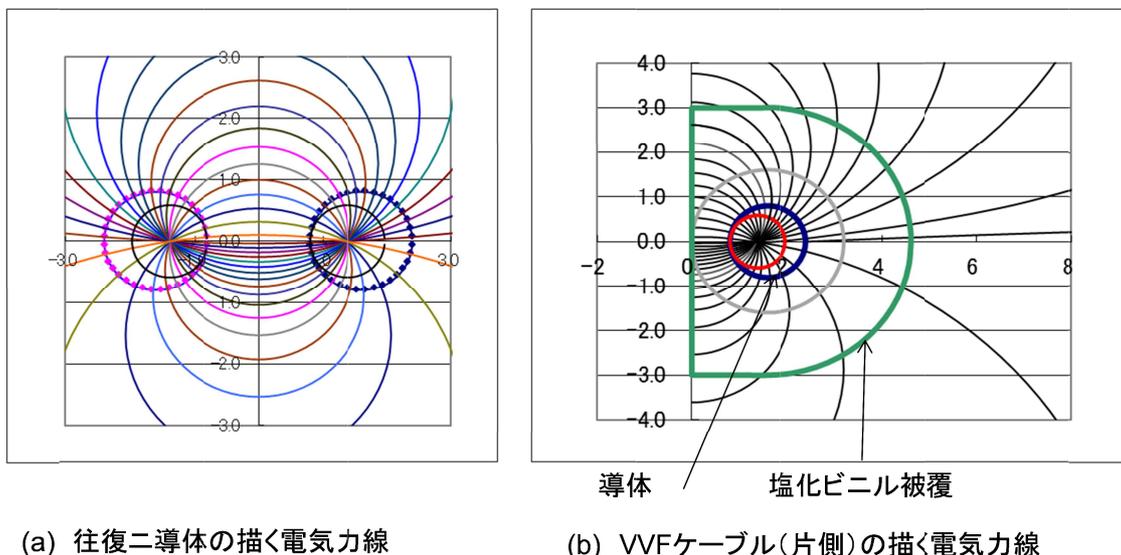


図 1-6 往復二導体の描く電気力線

2) 第三章は電力線に接続するサージ保護素子 (SPD) の PLC への影響を検討したものである。始めに屋内の電力配電線のインピーダンスを測定した。反射等により大きく上下にうねる周波数特性が SPD を接続することで更に減衰した。そこで各種 SPD の単体インピーダンスを測定し大きな減衰が発生する共振の状態を調査した。次に SPD それぞれの違いをメーカーのデータシートから SPD 内蔵のバリスタ素子の仕様(電流容量とバリスタ電圧)と静電容量の関係を分析し、共振周波数が静電容量と SPD 自身のもつインダクタンス及び配線のインダクタンスによる事を明確にした。以上の結果から、実際の SPD の設置方法と配線の影響について、PLC の特性を考慮した SPD 配置と配線ルートの指定の方法を示した。また静電容量の小さい GDT(ガスチューブアレスタ)の組合せによる SPD 等の対策案を示し、最後に SPD の有無による OFDM 型 PLC モデム伝送特性の差分に着目し、シャノンの定理である帯域幅の S/N からの伝送容量との関係 (図 1-7) を考察した。以上の通り SPD 付加に対する PLC の影響を総合的に検討した構成である。

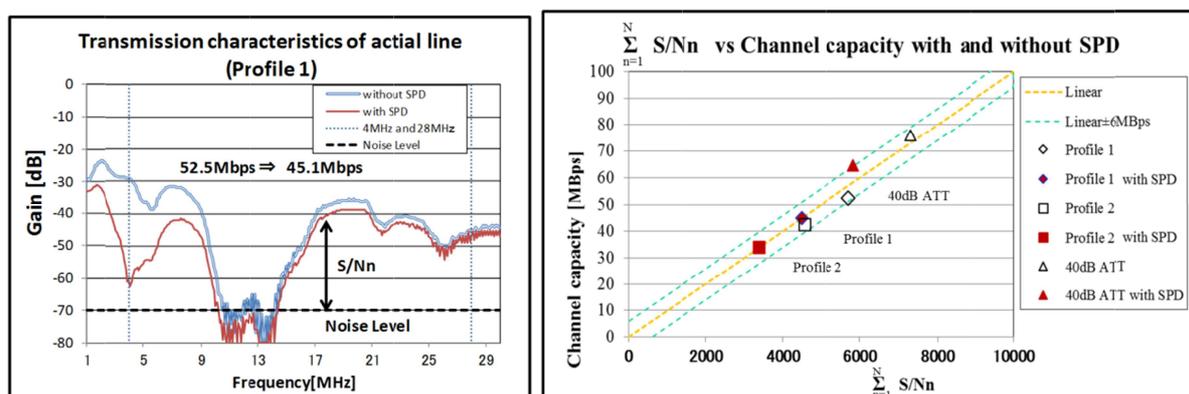
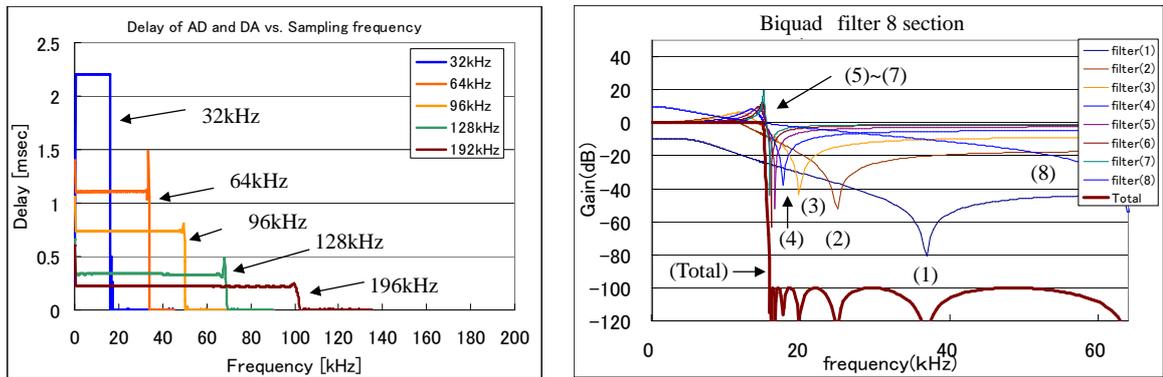


図 1-7 SPD 有無による PLC 伝送特性の差と伝送容量

3) 第四章は遅延時間を最小にする AD/DA コンバータ回路の検討である。始めに放送システム BSU における AD/DA 変換部に求められた 1msec 以下の遅延時間の要求理由について説明している。次に市販の AD/DA 変換 LSI の遅延が高品質の伝送特性を持つ LSI ほど遅延量は大きい傾向があり、伝送特性は放送システムの要求仕様を満足するものは市販されていない事実を述べている。

そして新開発 AD/DA 変換回路の構成として、4 倍速の 128kHz でサンプリングすることで遅延時間を 1/4 にし、遮断周波数を 15kHz~16kHz で 100dB 垂下させる特性を 128kHz で動作する IIR フィルタ (図 1-8) で実現する回路の特徴を述べる。最後に IIR フィルタの設計と安定性については通常の z 平面上での極の安定性判断の他に演算時のオーバーフローが発生した場合の警告回路を設けた。以上の通り、第四章は市販の AD/DA 変換 LSI と FPGA で設計した IIR フィルタの組合せにより、遅延時間が 0.84msec と 1 msec 以下を満足し、かつ放送用の高性能な AD/DA コンバータを実現した設計法を説明した構成である。



(a)AD/DA 変換 LSI の帯域幅 vs 遅延時間 (b)IIR フィルタ周波数特性

図 1-8 遅延時間特性と IIR フィルタ周波数特性

4) 第五章は伝送路の特性を等化する逆フィルタに関するものである。始めに従来の逆フィルタの設計方法・実現手段として ①IIR フィルタを使用する場合の不安定性、②FFT や IFFT を使用する場合の演算の複雑さ、③適応アルゴリズムを使う場合の複雑さと収束問題について述べる。次に、これらを回避する逐次係数設定型の FIR 逆フィルタ(図 1-9)の新アルゴリズムについて説明を行い、最後に VHDL シミュレーションについて述べる。VHDL シミュレーションのツールは FPGA の開発ツールであり、VHDL でビヘイビアモデルを設計し、実際に FPGA 上で回路を生成(シンセサイズ)し、それをシミュレータのテストベンチ上でシミュレーションすることで確認した。そしてインパルス応答のデータを入力しながら、リアルタイムに逆フィルタの係数が作成されていく動作をタイムチャート上で確認した。以上の通り第五章は逆フィルタの新アルゴリズムを提案し、シミュレータ上での動作確認を説明する構成である。

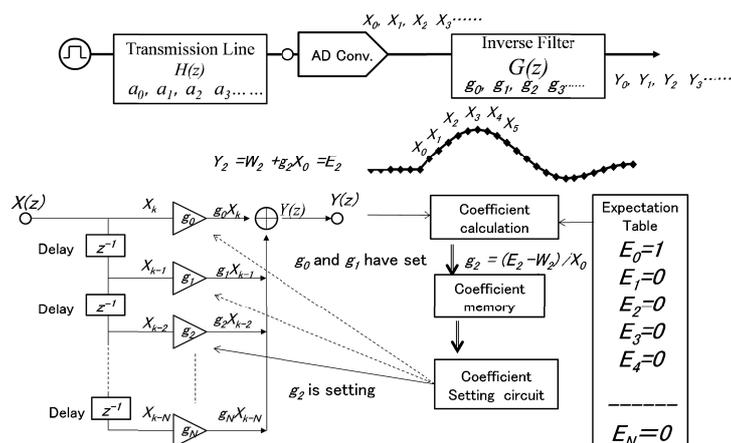


図 1-9 逐次設定型 FIR 逆フィルタ

5)第六章はまとめであり、第二章から第五章までの具体的な事例に対して、有線通信の伝送特性の劣化と補償について、俯瞰する立場で考察している。

参 考 文 献

- [1-1] 徳田正満：「高速電力線通信とEMC」, 電磁環境工学情報 EMC(2), No.214, pp.66~77, 2006年2月
- [1-2] 渡辺、徳田、森田：「分岐のない電力線モデルの対地平衡度と漏えい磁界」, 電子情報通信学会論文誌 B Vol.J90-B No.3 pp.288~297
- [1-3] Kenji Takato, Hitoshi Kijima, Hiroshi Iwao : “Power line Communication Degradation caused by Surge Protective Devices” 紀要 職業訓練大学 Polytechnic University, 2009
- [1-4] Kenji Takato, Hitoshi Kijima, Hiroshi Iwao : “Transmission degradation in the frequency band of Power Line Communication caused by Resonant circuit consisting of surge protective devices” 12th WSEAS International Conference on COMMUNICATIONS held in Herakilion, Greece, pp300-305 (2008)(ISBN:978-960-6766-84-8)
- [1-5] Hitoshi Kijima, Kenji Takato, Hiroshi Iwao : “Influence on Transmission characteristics of power line communication when using surge protective device, WSEAS, ELECTROSCIENCE’07 held in Tenerife, Dec.2007(ISBN978-960-6766-24-4)
- [1-6] Hiroshi Iwao, Hitoshi Kijima, Kenji Takato : An influence on Transmission characteristics of power line communication when using surge protective device, IEEE ISPLC2008 held in Jeju
- [1-7] TEXAS INSTRUMENTS PCM1804-Q1 FULL DIFFERENTIAL ANALOG INPUT 24-BIT, 192-kHz STEREO A/D CONVERTER data sheet Fig.17
- [1-8] 東京都水道局：「東京の漏水防止」, 平成21年度版 平成21年度規格表4類登録第160号 pp.1
- [1-9] 東京都水道局：「東京の漏水防止」, 平成21年度版 平成21年度規格表4類登録第160号 pp.15
- [1-10] 竹田、佐藤、橘 三井造船株式会社「周波数帯域分割による配管漏水検知方式」特開平11-201859
- [1-11] 石田、高木、大阪煉瓦株式会社「相関法による管路系の漏水位置特定方法」特願平10-9896
- [1-12] 壁矢、野村、JFE スチール株式会社「配管の漏水位置検知方法および装置」特開2005-134300
- [1-13] 鈴江、河野、中村、蔵田、峰、株式会社東芝「漏水検出装置」特開2006-317172
- [1-14] 鈴江、河野、中村、蔵田、峰、株式会社東芝「漏水検出装置および漏水検出方法」特開2008-51776
- [1-15] 立蔵洋介：逆フィルタを用いた音場再現システムにおける再現音の品質向上に関する研究, 博士論文, 奈良先端科学技術大学院大学 2002年11月

- [1-16] 三星テクウィン株式会社：「撮像装置、撮像方法およびコンピュータプログラム」，
特開 2008-167322
- [1-17] 吉田誠：「伝搬路推定方法及び伝搬路推定装置」，特開 2006-262039
- [1-18] 筒井令、稲刈治英、島田正治：「適応逆フィルタ同定問題との関連に関する検討」，信
学技報 EA98-91(1998-12)
- [1-19] 島田正治、稲刈治英、堀内俊治、青柳康夫、三輪勝人：「適応信号処理システム」，特開
2002-95097
- [1-20] 三上直樹：「デジタルフィルタと高速フーリエ変換」，ISBN4-7898-3088-8D pp181~
188 2005 年

第二章；電力線通信でのケーブルの被覆の影響

2.1 まえがき

本章では研究目的 1.2(1)で示した、「ケーブルの被覆の影響」を以下の手段で求め、測定結果と比較を行う。

- ① 電界を有限の電気力線に分割し作図
- ② 無限長の送電線での式の内容を検証
- ③ 電界が誘電体の存在による変化を計算し作図
- ④ 電気力線の電界の和をとり等価的な比誘電率を計算
- ⑤ VVF ケーブルの伝播速度を測定し計算と比較

一般に定在波の発生周波数は反射しあうポイント間の距離と信号の伝播速度に依存する。伝播速度は簡易的には光速に対し、導体間の比誘電率 ϵ_s とすれば $1/\sqrt{\epsilon_s}$ 倍と遅くなる。電灯線ケーブル（例：1.6φ の VVF ケーブル）は導体間隔が狭く被覆は導体の近傍にしかない。すなわち導体間に誘電体と空気の両方がある場合、誘電体の材料の比誘電率だけで単純計算できないはずである。電磁気学の文献によく掲載される容量計算の式は送電線のように導体径に対し導体間隔が広く、周囲は全て空気のため比誘電率 $\epsilon_s = 1$ の場合の式である。VVF ケーブルのように $\epsilon_s = 3$ 程度で間隔が狭く、誘電体の範囲が狭い場合に等価的な比誘電率はどの程度になるか。当然 1 と 3 の間で 3 に近い値と予想されるが具体的に求めたい。以上により有限な範囲の被覆をもつケーブルの等価的な比誘電率を計算し伝播速度について考察した。図 2-1(a) は 1.6φ の VVF ケーブルの断面図（実測値）を示す。

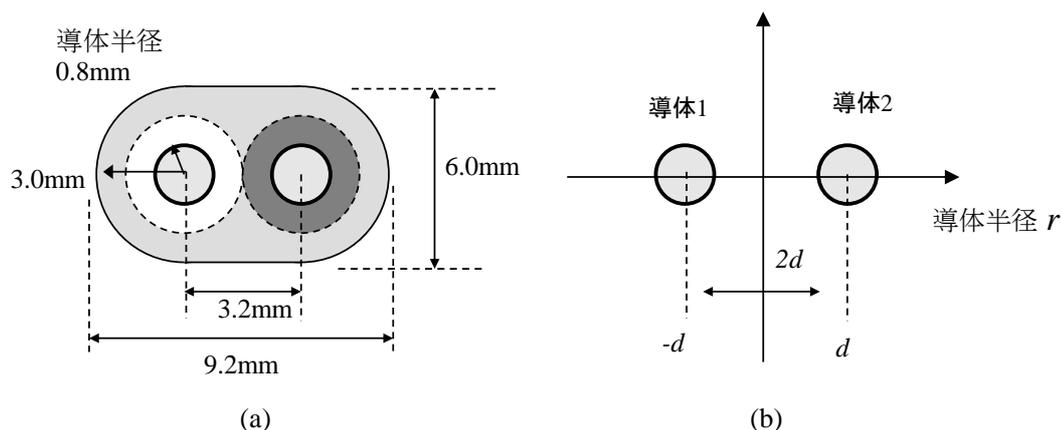


図 2-1 1.6φ VVF ケーブル断面（実測）と平行二導体の断面図

2.2 無限長の送電線間の容量計算

2.2.1 電気力線の作図

有限な半径の平行二導体の電気力線を作図する。電気力線は導体表面に垂直であること、二導体が対称な配置になることから、電気力線は円弧を描き、導体間の中心（Y 軸）に対し線対称になることは文献[2-2]に記載されている。

導体断面を円として円周を均等にN等分し、分割された円弧のそれぞれから電気力線が出る図を作図する。具体的にパソコンの表計算ソフトのエクセルで計算し描いた電気力線を図 2-2 に示す。作図方法は図 2-3 に示す様に、導体の円弧を N 等分する際の角度を θ とすると、導体上の P 点の接線が Y 軸と交わる点が電気力線の円弧の中心になる。簡単な三角関数の計算で導体上の角度 θ の点を決定すれば電気力線の円弧の半径 R と Y 軸上の中心位置 b は以下の通り求まる。

$\triangle ACP \sim \triangle ABO$ であり $\angle ACP = \angle ABO$

$$b = (r + d \cos \theta) / \sin \theta$$

$$R = \sqrt{(d + r \cos \theta)^2 + (b - r \sin \theta)^2}$$

実際に複数の電気力線を描いてみると電気力線は導体の中心よりわずかに内側の一点に焦点のように集中する。本論の中では便宜上この点を焦点 F と定義する。この焦点の x 座標 f は図の関係から式 2-(1)と計算される。

$$f = \sqrt{d^2 - r^2} \quad \dots\dots\dots 2-(1)$$

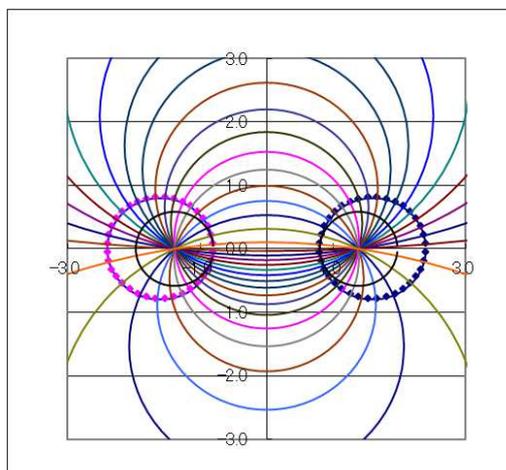


図 2-2 平行二導体のつくる電気力線 映像法で作図

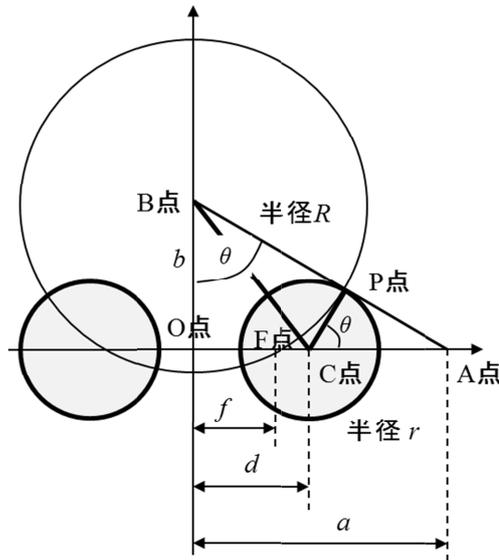


図 2-3 電気力線の中心と半径の作図法

2.2.2 無限長の平行二導体間の静電容量計算

断面が円の平行二導体間の容量は電磁気学の文献[2-3]に掲載されており、導体の半径 r と導体の中心間の距離を図 2-1(b)の様に $2d$ とすると式 2-(2)、近似式 2-(3)、厳密な式 2-(4) で計算できる。図 2-4 は VVF ケーブルの断面のサイズを基準とし中心距離 $2d$ を 3.2mm と一定にし、導体半径 r を変化させた 3 つの式の計算結果である。導体半径 r が小さければ 3 つの式は同じ値になるが導体半径が大きくなるにつれて差は無視できない。VVF ケーブルの半径 0.8mm では 2-(3) の近似式のほうが 2-(2) の式より厳密な式 2-(4) に近い結果となった。なお文献[2-3]に厳密式の算出根拠は書かれていない。

$$C = \pi \epsilon / \text{Ln} \{ (2d - r) / r \} \dots\dots\dots 2-(2)$$

$$C = \pi \epsilon / \text{Ln} (2d / r) \dots\dots\dots 2-(3)$$

$$C = \pi \epsilon / \text{Ln} \left[2d / 2r + \sqrt{(2d / 2r)^2 - 1} \right] \dots\dots\dots 2-(4)$$

興味深いことに焦点 f を表す 2-(1) 式を厳密式 2-(4) 式の $\sqrt{\quad}$ の中に代入すると次式のように非常に簡単な式になる。

$$C = \pi \epsilon / \text{Ln} \{ (d + f) / r \} \dots\dots\dots 2-(5)$$

文献[2-3]より式 2-(2) の算出根拠を見ると、導体の中心にそれぞれの全電荷が線電荷として存在し、線電荷間の直線上 (X 軸上) のみで電界を計算しその積分であることが分かる。

分母の式は $\int (1/x) dx = \ln(x)$ であるので 2-(2)、2-(3)、2-(5)式の違いは $[\ln(x)]$ の定積分の範囲だけが違うだけで、電界を積分する範囲は以下の通りである。

2-(2)式：導体表面から他導体の表面間 ($r \sim 2d - r$)

2-(3)式：導体表面から他導体の中心間 ($r \sim 2d$)

2-(5)式：導体中心から他導体の焦点F間 ($r \sim d + f$)

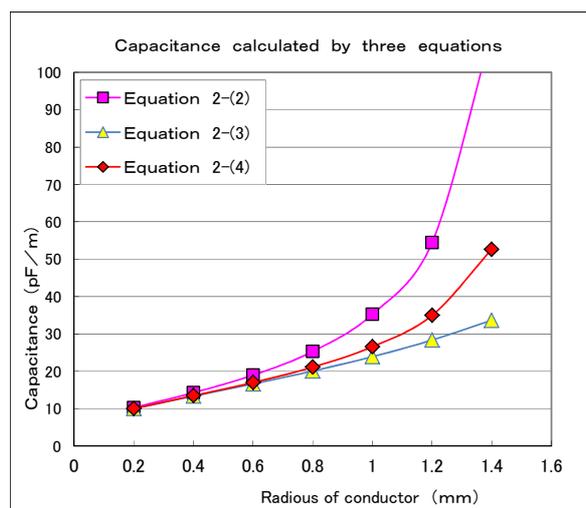


図 2-4 2-(2)、2-(3)、2-(4)式それぞれによる容量計算の結果

このことは厳密式 2-(5)は半径 r が導体間隔 $2d$ に対して無視できない場合には、焦点Fに線電荷があるとして計算する必要があることを示している。焦点 F の意味を考えると、導体がただ一本であれば、表面の電荷は均等に分布するので導体の中心に全ての電荷が線電荷の状態であると考えれば良い。導体が二本で近接している場合は導体表面の電荷は正負なので、お互いに引きあい導体間の内側に偏って分布するはずである。そのため等価的な電荷の中心は導体の中心でなく焦点Fの位置にあることを示している。導体では電荷は表面にのみ存在し表面は等電位になるので、表面の電荷密度は異なることになる。従って図 2-2 では電気力線を等間隔に代表して描いたが、実際はそれぞれの電気力線に内在する力線の本数つまり電界の大きさは異なることを示している。

2.2.3 電界強度の計算

電気力線が円弧で描けるとすれば、その電気力線上の各点の電界は計算可能である。図 2-5 に示すよう二導体のそれぞれの焦点Fに正負の等しい電荷があるとする。電気力線上の各点の座標 $P(x, y)$ が決まれば、それぞれの焦点Fから距離の二乗に反比例する電界が計算できる。この電界は X 成分と Y 成分に分割できるベクトルであるので、二つのベクトルを加算し合成する。合成したベクトル $E(\beta)$ は当然電気力線の円弧に接する電界のベクトルになる。電気力線は Y 軸に対して対称であるので、実際に電界を計算する範囲は焦点Fか

ら Y 軸までで良い。ここで有限の本数の電気力線を描き、その一本一本の電界を計算する理由は電気力線それぞれが誘電体と空気を通る長さが違うからである。導体表面の電位は一定であるので、電気力線の電界を積分してそれぞれの部分の容量増加（比誘電率の増加）を計算しケーブル全体の比誘電率を求める。

計算上の注意：導体を均等に分割する角度 θ が決まり半径 R と中心の b が決まれば円弧が描ける。中心 b から見た焦点の角度を α とすると、電界を積分する角度は α から Y 軸の π までであることは明らかであろう。計算データを必要最小限にして精度を向上させるために、焦点 F の角度 α から正確に計算を始めたい。注意点として b が正の場合と負の場合では α を求める式が次の様に異なる。(図 2-6 参照)

$$\alpha = \tan^{-1}(f/b) \quad b > 0 \quad \dots\dots\dots 2-(6)$$

$$\alpha = \tan^{-1}(f/b) + \pi \quad b < 0 \quad \dots\dots\dots 2-(7)$$

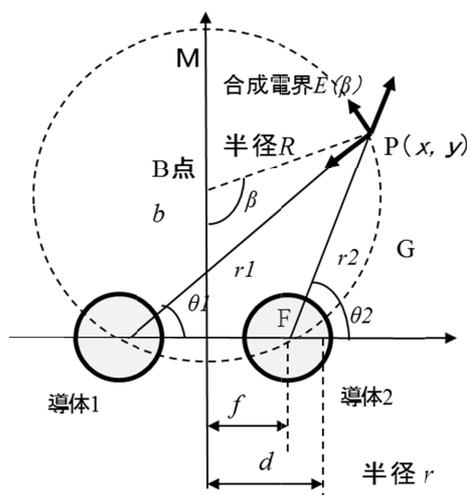


図 2-5 両導体からの電界の計算

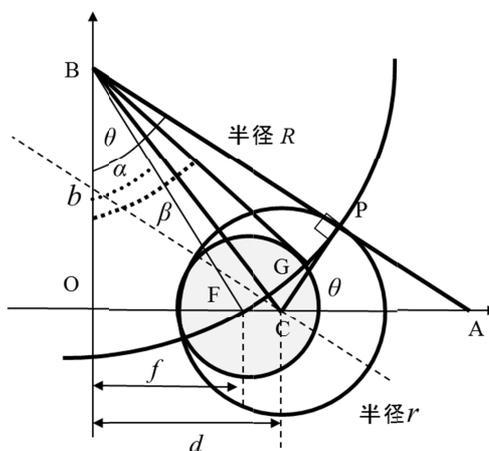


図 2-6 電気力線の計算を開始する角度 α

2.3 誘電体の影響の検討

2.3.1 電気力線の作図

真空（空气中）での電気力線は 2.2.2 で示した方法で作図が出来た。次に間の誘電体が入った場合の電界について検討する。図 2-1 から明らかに電気力線は比誘電率が 3 程度の被覆の部分（領域 1）だけを通るものと、被覆と空間の両方を通るものが（領域 2）あり、ケーブル全体での等価的な比誘電率は 1 と 3 の間になるはずである。

誘電体が部分的にある場合の等価的な比誘電率を単純なモデルでまず検討する。図 2-7(a) は十分に広い平行板にそれぞれ同じ電圧 V を印加する。誘電体が全くない上段の場合は比誘電率 $\epsilon_s = 1$ 、もし誘電体が密に全て充填されていて比誘電率 $\epsilon_s = 3$ であれば静電容量は 3 倍になる。誘電体の内部では電界強度は空气中の $1/3$ になる。ところが電池の電圧 V は一定であるので電池より電荷が供給され 3 倍の電荷が溜るので容量が 3 倍になる。下段のように誘電体が一部に存在する場合も誘電体の部分で電界は $1/3$ に減少し、それを補填する電荷が電池より供給されるので容量が増加する。この時の容量の増加率が等価的な比誘電率である。電界と電位の関係で、電界を積分したものが電位と言う定義であるので、以下の式が成立つ。式 2-(8)が図 2-7(a)の上のコンデンサ、式 2-(9)が図 2-7(a)の下のコンデンサに対応する。

$$V = \int_A^C E \, dx \dots\dots\dots 2-(8)$$

$$V = \int_A^B \frac{E}{\epsilon_s} \, dx + \int_B^C E \, dx \dots\dots 2-(9)$$

図 2-7(b)は同軸線の場合であるが、考え方は平行板の場合と全く同じである。平行板の電気力線は全て直線でお互いに平行であるのに対し、同軸線の場合は中心から放射状に広がる。今回 VVF ケーブルの電気力線を考えるにあたり、電気力線はお互いにクロスすることなく、増減も無いという電気力線の定義により、電気力線は曲線になるものの平行板や同軸線と同じ計算が成り立つと仮定している。図 2-8(a)は平行板の例で A~C の間隔を 1 とし、左側から誘電体を 0.2,0.5,0.8,0.99 と入れた場合の正規化された電界を示す。図 2-8(b)は同軸の場合の例で A=0.1 とし AC 間に誘電体を同様に B = 0.2,0.5,0.8,0.99 と入れた場合の相対的な電界を示す。印加電圧 V が一定であるので、誘電体の厚さによらず電界を積分した値が同じになるように計算している。誘電体と空気の境界部分において電界の大きさは 1:3 である。

作図のテクニック : エクセルの表計算において距離 A~C を十分に細かく分割しそれぞれの点の電界を求め、それを全て加算する。つまり電界と距離のグラフが作る面積を求める計算を行う。初めに空気の部分に 1、誘電体のある部分に $1/3$ の値を入れて面積を算出する。当然、誘電体がある部分の影響で面積は減少する。面積の減少率を計算し、誘電体がある時の電界にその減少率分の 1 を積算する。この様にして誘電体がある場合と無い場合の面積を同じにする。つまり境界条件を保ちながら面積を同じにする。

作図作業で判明したことは、電界の積（面積）の減少率分の1が即ち等価的な比誘電率になっていることである。また図 2-7 の C の位置、空気と導体が接する部分の電界、また誘電体と接する部分の電界の大きさも等価的な比誘電率になっていることが分かる。

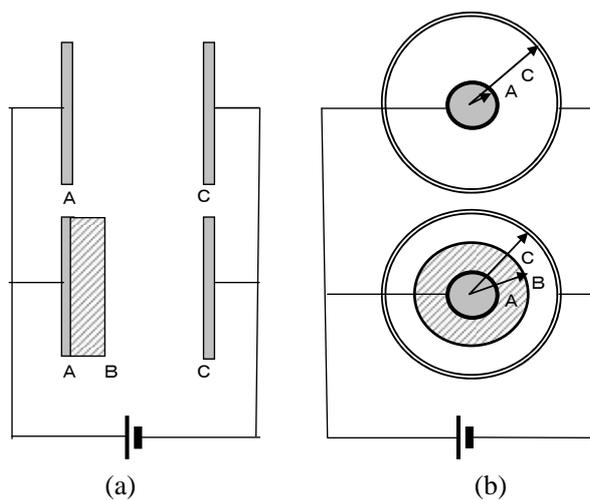


図 2-7 平行導体と同軸ケーブルの断面図

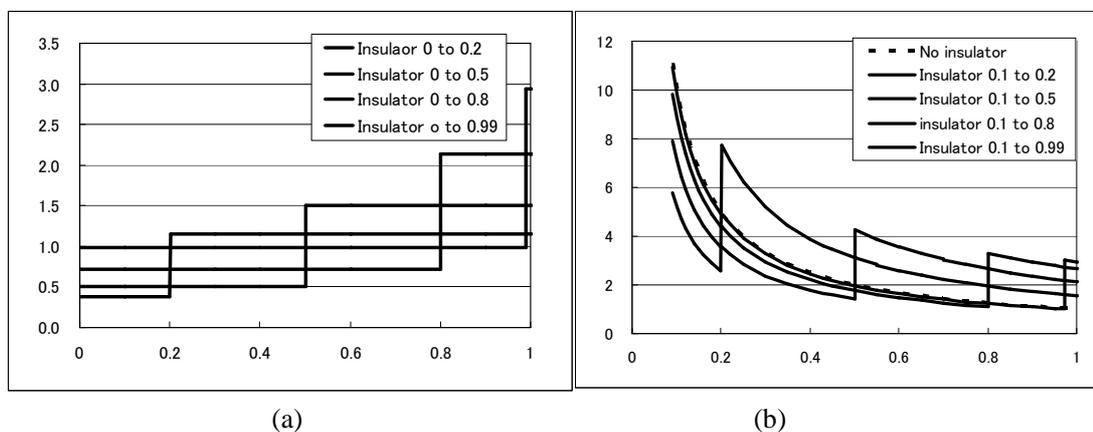


図 2-8 平行導体と同軸ケーブルの電界計算:
誘電体の範囲が 0.2~0.9

2.3.2 エクセル表による計算

図 2-8 の作図手法を使い、図 2-3 の電気力線上に、電界を計算した点をプロットしたのが図 2-9(a)である。焦点 F から電気力線が円弧上に描かれ、半径が 0.8mm の導体の表面を通り半径が 3mm の誘電体の表面と通過し、空間を經由して Y 軸までプロットされている。図 2-9(b)は電気力線に沿った電界をプロットしたものである。3.0mm の地点で誘電体から空気に変わるので、電界の大きさが急変している。そこで導体の表面(0.8mm 地点)及び誘電体の表面 (3.0mm 地点) で境界面の直前直後にプロットする点を設けて計算誤差を少なくした。一方で電界の大きさが小さい空間部分ではプロットする点を少なくして計算の負荷を減らす工夫 (図 2-10 参照) をした。この様な図を電気力線の本数が 18 本 (10 度間隔) で作図し、電気力線毎に電界の変化をグラフ化しながら確認した。図 2-11 に計算に使用したエクセル表の一ページ分 (主要部分) を示す。一つの電気力線あたりの計算データ量は、A4 印刷で一ページに収まる程度としたので、僅か 50 程度である。

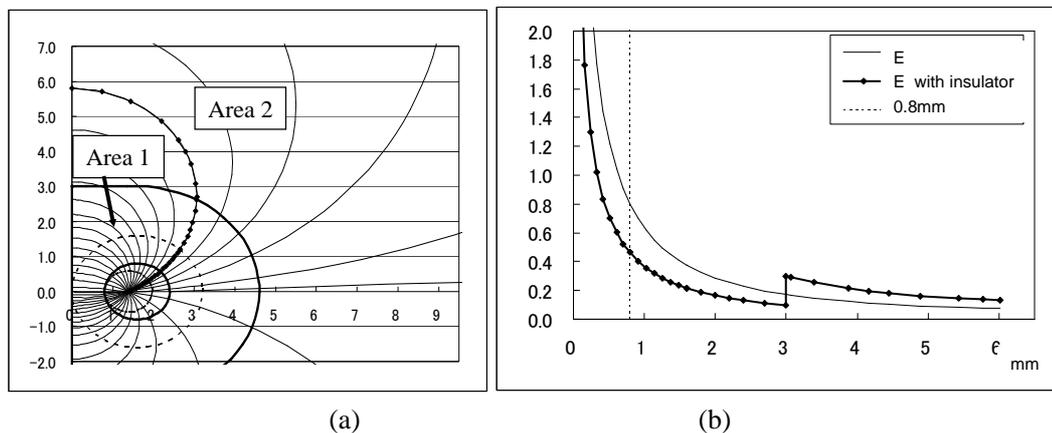


図 2-9 10° 毎の電気力線の作図とその電気力線上の電界

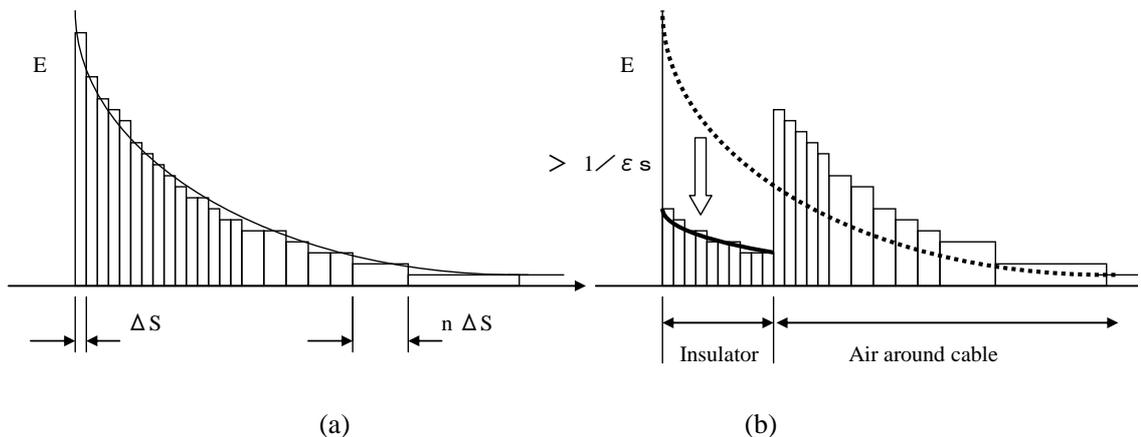


図 2-10 計算量を削減するため電界変化の小さい部分を粗くサンプル

Angle β in Fig.2-5 to calculate electric field
 Position P(x,y) calculation in Fig.2-5
 ΔS between the consecutive P(x,y) in Fig2-10
 Electric field E_x and E_y from the two conductors
 Total of electric field $E(\beta)$ in Fig.2-5
 Multiply $E(\beta)$ and ΔS shown in Fig.2-10

β	円弧Rの軌跡の計算				積分経路の計算		電界強度の計算(各点)					電界の積分=電圧	
	$\Delta \beta = 0.0371$	Px Rsin β	Py b-Rcos β	Δs	F to Pxy	C to Pxy	E1x	E1y	E2x	E2y	Exy	Z Exy	Exy* Δs
Center	0.8839	1.39	0.00	0.00	0.00	0.214	-0.361	0.000	#DIV/0!	#DIV/0!	#DIV/0!		
1.14	0.8232	1.47	0.06	0.106	0.106	0.141	-0.350	-0.007	7.742	5.354	9.123	9.123	0.969
2.14	0.6633	1.55	0.12	0.083	0.899	0.128	-0.340	-0.014	4.071	2.929	4.735	13.858	0.441
3.14	0.7004	1.62	0.18	0.083	0.233	0.176	-0.332	-0.019	2.738	2.048	3.147	17.005	0.293
4.14	0.7374	1.69	0.24	0.083	0.368	0.253	-0.323	-0.025	2.048	1.582	2.331	19.335	0.217
5.14	0.7745	1.76	0.30	0.083	0.479	0.339	-0.315	-0.030	1.627	1.313	1.835	21.170	0.171
6.14	0.8116	1.82	0.37	0.083	0.572	0.429	-0.308	-0.035	1.342	1.125	1.503	22.673	0.140
7.14	0.8487	1.89	0.44	0.083	0.655	0.521	-0.300	-0.040	1.137	0.980	1.265	23.938	0.118
40	2.0672	2.21	3.29	0.279	2.805	3.350	-0.151	-0.139	0.072	0.288	0.167	32.168	0.047
43	2.1784	2.06	3.53	0.279	2.884	3.562	-0.142	-0.145	0.052	0.273	0.156	32.324	0.044
46	2.2897	1.89	3.75	0.279	3.164	3.763	-0.132	-0.151	0.035	0.262	0.147	32.471	0.041
50	2.4380	1.63	4.01	0.372	3.536	4.014	-0.120	-0.159	0.015	0.248	0.137	32.608	0.051
55	2.6234	1.24	4.28	0.465	4.02	4.295	-0.104	-0.170	-0.008	0.233	0.129	32.737	0.060
60	2.8098	0.82	4.47	0.465	4.47	4.540	-0.089	-0.180	-0.029	0.220	0.123	32.860	0.057
65	2.9942	0.37	4.58	0.465	4.832	4.746	-0.073	-0.190	-0.046	0.208	0.120	32.980	0.059
3043.85	3.1416	0.00	4.61	0.370	5.332	4.830	-0.060	-0.199	-0.060	0.189	0.120	33.100	0.044

$\Sigma = 8.243263$ $\Sigma = 1.337329$

The voltage between the conductor and Y axis.

図 2-11 電気力線毎に電界を計算したエクセルシート例

図 2-12 に計算結果を示す。角度は 10 度間隔で、一番上の線は誘電体による容量の増加係数で電気力線毎の等価的な比誘電率である。電気力線が全て誘電体の中を通る領域 1 では $\epsilon_s = 3$ で一定、被覆と空気の両方を通過する領域 2 の場合は $\epsilon_s = 1.7 \sim 2.2$ 程度である。一番下の線は誘電体が無い場合状態で導体表面 ($r = 0.8\text{mm}$) の電界に比例する値である。中央の線は誘電体がある状態で導体表面の電界に比例する値であり、図の下の線と上の線の積に等しい (簡単のため $1 / 2\pi\epsilon$ は計算に入れていない)。

焦点 F に電荷の中心があるのと等価なので対向する二導体の電界は内側が大きく外側が小さい。VVF ケーブル全体での等価比誘電率 (容量の増加) は $0 \sim \pi$ の範囲で電界の積算値の比 (中の線の作る面積 / 下の線の作る面積) と考える。

計算の結果、比誘電率 $\epsilon_s = 3$ の被覆をもつ VVF ケーブルの場合、等価的な誘電率 $\epsilon_s = 2.66$ となり約 11% 低い結果となった。これによる伝播速度は $1 / \sqrt{\epsilon_s}$ に比例するとして $\epsilon_s = 3$ の場合より約 6.1% 早い計算結果となった。図から明らかな様に、プロットした間隔は多少荒いため、5 度間隔での計算を試みた。その結果を図 2-13 に示すが、図 2-13 では図 2-12 とは違ったテクニックが要求された。図 2-12 と同じ 50 程度のデータ数で作図すると、どの様に微調整してもグラフが滑らかなものにならない。絶対的にサンプル数が不足している。そこで角度のパラメータ β を 0.1° ステップとし、部分的には更に細かく分割して電気力線毎のデータ総数を 2000 以上に増加させた。この状態で 36 本の電気力線毎

に一部パラメータを変更して計算し、結果を図 2-13 に作図した。より滑らかな図となり、 θ が小さい場合、つまり電気力線の円弧が大きい場合に計算誤差が修正されることが分かる。

この様に多数のデータが必要になるということは、同様の計算を有限要素法などで行う場合に、相当数の要素データを構成しないと、満足のいく結果にならない事を予想させる。

図 2-13 の計算結果では、 $\epsilon_s = 2.62$ となり $\epsilon_s = 3$ の場合より約 13% 小さい結果となった。伝播速度は 7.0% 速い結果となり、計算の粗密により約 1% の違いの差となった。

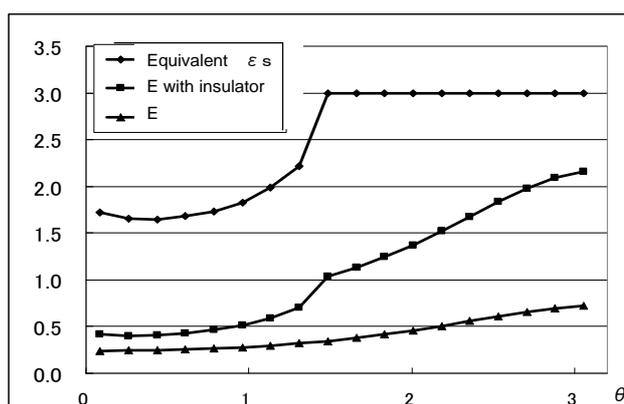


図 2-12 誘電体が有る場合と無い場合の導体表面の電界
電気力線は 10° 毎で、各データは 50 個

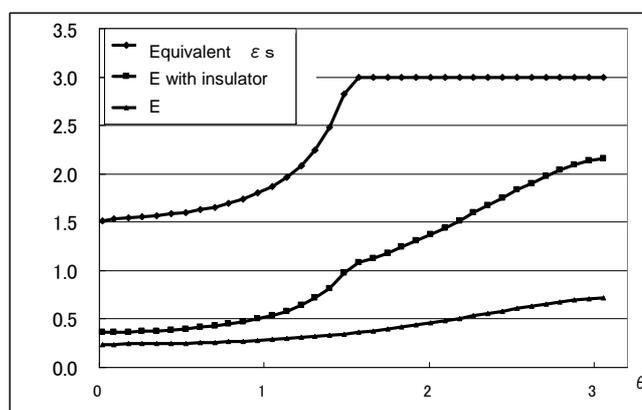


図 2-13 誘電体が有る場合と無い場合の導体表面の電界
電気力線は 5° 毎で、各データは 2000 個

2.4 伝搬遅延時間の測定実験

2.4.1 10mのVVFケーブルの反射パルス

長さ 10m の 1.6ϕ VVF ケーブルの一端を開放状態として高速のパルス信号を加え、反射したパルス波形の遅延時間を測定した。図 2-14 に実験のイメージ図と測定結果を示す。遅延時間は 114.0nsec であった。真空中（空气中）の光速での 10m の遅延時間 66.66nsec と比

べて $1/\sqrt{\epsilon_s}$ で単純に比較すると $\epsilon_s = 2.95$ である。実験で実際に使用した VVF ケーブル材料の比誘電率は測定できていないので、今回の計算法の可否を実験から検証することは出来なかった。但し図 2-7 の基本検討の結果では僅かな隙間（全体の 2.8% が空気）があるだけで比誘電率は 3 から 2.95 に低減する。VVF ケーブルの周囲の空間は広く、とても空間が 2.8% とは考えられない。従って今回使用した VVF ケーブルの誘電体材料の比誘電率は 3 以上であったと考えられる。遅延時間の結果と今回の計算の結果から逆算すると、実際に使用した VVF ケーブルの比誘電率は 3.4 程度でなければならない。

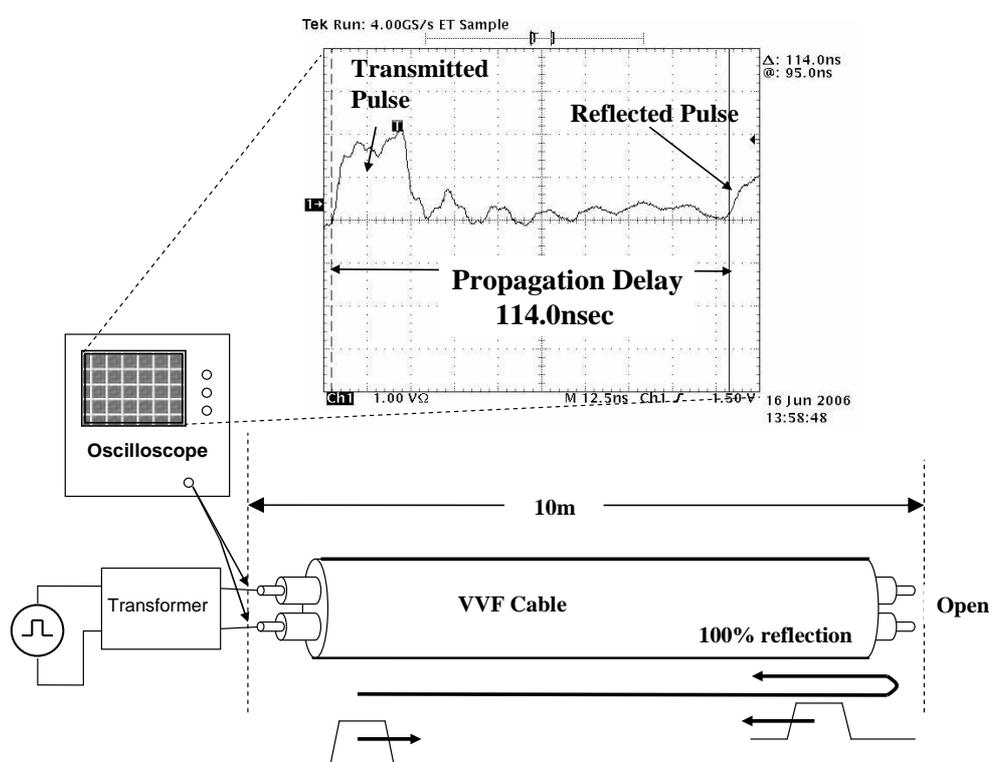


図 2-14 10m の VVF ケーブルでの伝送遅延実験

2.4.2 比誘電率のデータ

文献[2-5]の表 1 によれば、VVF ケーブルの誘電体である塩化ビニル樹脂の比誘電率として 1MHz で 2.8~3.1 とあるが、同じ文献の表 3 では 3.3 という値の記載がある。文献[2-6]によれば、実際にケーブルメーカーより入手した材用の 2 サンプルの評価結果は 10~20MHz の範囲でそれぞれ 3.2~3.3、3.5~3.6 であり製造ロットにより約 0.2 程度の違いが見られた。実際にメーカー側で比誘電率の管理はされていないとの事である。

2.5 まとめ

導体間の容量を計算する場合に、2-(1)式や 2-(3)式が一般的に使用されるが、導体の半径に対して間隔が短い場合には厳密式 2-(4)を使用する必要がある。厳密式 2-(4)が必要になる理由は表面の電荷の分布が二導体の内側により多く分布するため、等価的な電荷の中心が導体自体の中心より内側（焦点）に移るからである。

次にケーブルの被覆の範囲は導体の周囲のみであり空間全体には無いので、誘電体の比誘電率 ϵ_s そのものを容量の増加分（等価的な比誘電率）とすることは出来ない。電気力線を複数等間隔に描き、誘電体の影響で電界が変化する状況をそれぞれ計算し、VVF ケーブル全体の等価的な比誘電率を求めた。結果は等価的な比誘電率は材料自体が 3 の場合 2.62 と約 13% 小さくなり伝播速度は 7.0% 速まる結果となった。

10m の VVF ケーブルでの伝播遅延時間測定では比誘電率は 2.95 と計算される結果になったが、これは実際の材料の比誘電率が 3.4 程度であった可能性が高い。従来検討でケーブルを実際に測定して作った電線モデルと、ケーブルの LCR の代表的パラメータから作ったシミュレーションモデルでは微妙に一致しないことが報告されている。今回の検討結果からは、電線の周囲が空気である事の影響と材料自体の比誘電率のバラツキの両方の影響により、ずれている可能性が高いことが判明した。

今回の検討では遅延時間に影響する $\tan\delta$ の影響と電気力線が誘電体と空気の境界で屈折する現象については計算に含められていない。比誘電率の計算では特別の電磁界解析ソフトではなく汎用の表計算ソフトを用いて電磁気学の文献に記載されている物理的な現象と整合性を逐次確認しながら解析的に実施した。それぞれの計算の過程でグラフ化することで計算ミスの修正が可能だけでなく、物理現象への理解が深まり非常に有効な研究手段である。また図 2-13 の作成にあたり境界点付近にほぼ完全に合わせ込みを行わないと、なめらかなグラフにならなかった。有限要素法などの手段で空間を区切って計算する場合、十分な分割を行わないと誤差が顕著になることが実感できた。

本章では専用の通信路でない電力線 VVF ケーブルの特性について、電力線通信を行う上での最大の懸念事項である電波漏洩に対する基本的なパラメータについて研究を行った。電力線通信は、もともと専用の通信路でないために予想外の部品が付くこともある。雷保安器 SPD がその一例であり、SPD 自体の高周波特性や、それが影響する範囲の検討も新たに必要である。第三章にその研究結果を述べる。

参 考 文 献

- [2-1] S.Tuzuki,T.Takamatsu,H.Nishino,Y.Yamada : “An Estimation Method of the Transfer Function of Indoor Power –Line Channels for Japanese Houses”, International Symposium on Power Line Communications and its applications, Indoor: Network Characterization II (2002 年)
- [2-2] 後藤尚久 : 「なっとくする電磁気学」講談社、第 11 版、pp.50 (2000 年)
- [2-3] 山田直平、改定 桂井誠 : 「電気学会大学講座 電磁気学 [3 版改定], 第 4 刷, pp83-107 (2004 年)
- [2-5] 塩澤、渡辺、徳田 : 「分岐を有する電力線の減衰量と不平衡度特性」, 平成 1 7 年度電気学会・情報システム部門大会, OS1-2 (2005 年)
- [2-6] 安田武夫 : 「プラスチック材料の各種特性の試験法と評価方法」, プラスチックス, 2000 年 7 月号連載 (2000 年)
- [2-7] 小橋博之、 : 「電力線ケーブル用ビニルの誘電率と分布定数への影響度合い」, 愛媛大学電気電子工学科 卒業研究報告書, (2005 年)

第三章：電力線通信の SPD による特性劣化

3.1 まえがき

本章では研究目的 1.2(2)で示した、電力線通信 (PLC) における「SPD による特性劣化」について以下の手順で検討する。

- ①SPD を実装することで PLC モデムの伝送レートが低下する実験結果を得る。
- ②バリスタの静電容量とバリスタ電圧（動作電圧）及び最大電流の関係をデータシートから見積もる。
- ③SPD の設置方法と接続方法（ワイヤリング）によるインダクタンスについて評価する。
- ④PLC 伝送レートの SPD 設置による影響について、共振周波数と減衰の関係の SPICE シミュレーションを実施する。
- ⑤シャノン・ハートレーの定理の応用により各種 SPD 付加による PLC 信号の劣化量を見積もる。

日本では 2006 年から高速の電力線通信[3-1]が可能になり、2013 年に適用範囲が一部拡大した[3-2]。日本の業界標準 JIS (C60364-4-44) では、新築のビルや家において AC 電源線への SPD (Surge Protective Device) の設置を推奨している。SPD の目的は鉄塔や高圧線への落雷により、AC 電源線に誘導されたサージ電圧から屋内の電気機器を守ることである。JIS 標準は屋内の電気機器に対して 1.5kV のサージに耐えるようカテゴリ II で規定している。従って SPD は屋内の電源線に誘導するサージ電圧を 1.5kV 以下に制限する必要がある。

3.2 SPD のインピーダンスの測定と分析

3.2.1 PLC 利用周波数帯域での SPD の共振

図 3-1 は SPD を付けた場合の PLC モデムの伝送容量 (bit rate) のテスト回路を示す。PLC モデムは第一世代の HD-PLC で最大伝送容量はおよそ 80Mbps である。

AC 電力線の伝送特性は株式会社ニシヤマの PLCS3000 伝送特性シミュレータによりシミュレートされたものである。一つの SPD が PLC モデムと PLCS3000 の間に接続される。

伝送容量の測定は、PC と PLC モデムを接続し、送信側は 80Mbps 固定の信号を送信し、シミュレートされた AC 電力線の特性と SPD により劣化した信号を受信側は受信する。

このテスト回路の伝送特性を測定する場合には、PLC モデムと PC はネットワークアナライザに接続を切り替える。

PLCS3000 は実際の AC 電力線の特性を測定することが出来き、それを元に特性をシミュレートできる。このような伝送特性シミュレータを使うことの利点は、ノイズとインピーダンスの変動が頻繁に起こる実際の AC 電力線の特性を同一条件で再現できる点にある。そして SPD をテスト回路に接続するかしないかで、SPD の影響を測定することが出来る。

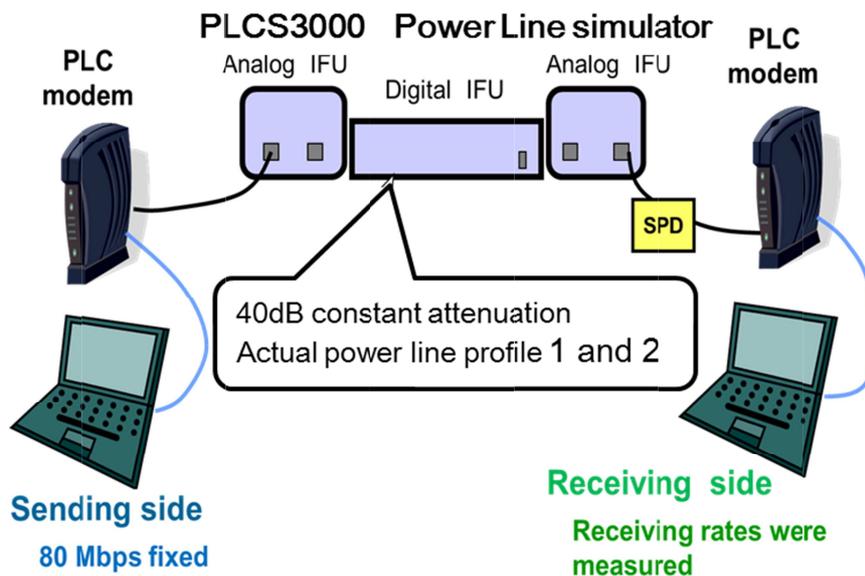


図 3-1 PLC モデムの伝送容量のテスト回路

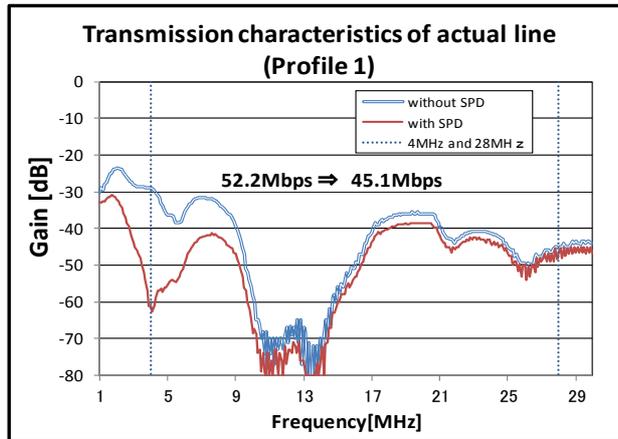
この実験で使用した SPD は 3.2.2 項の表 3-1 に示す Group A の LD22EFS である。LD22EFS の静電容量を LCR メータで 1kHz にて測定した値は 14nF である。

図 3-2 は既発表の論文[3-3]~[3-6]で述べたもので、バリスタ型 SPD の有無による実際の伝送路の特性である。

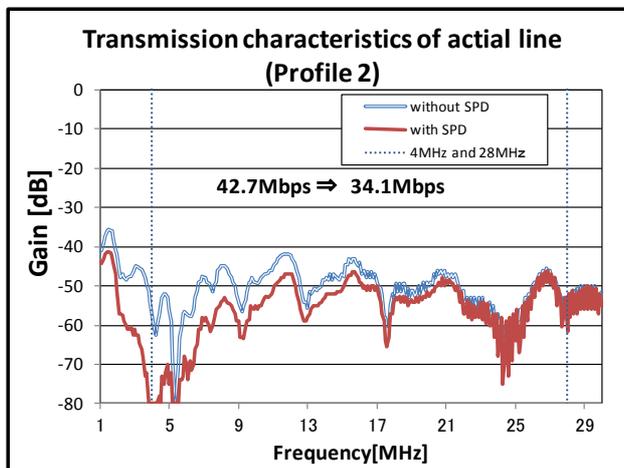
図 3-2(a)は実際の特性(Profile1)であり、SPDによって伝送容量の 52.5Mbps が 45.1Mbps に劣化している。Profile 1 の伝送特性は 9~15MHz に大きな減衰があり、更に SPD 付加により 4MHz を中心に減衰が追加される。

図 3-2(b)も実際の特性(Profile2)であり、SPDによって伝送容量の 42.7Mbps が 34.1Mbps に劣化している。Profile 2 の伝送特性は多くの山谷があり、同様に SPD 付加により 4MHz を中心に減衰が追加される。

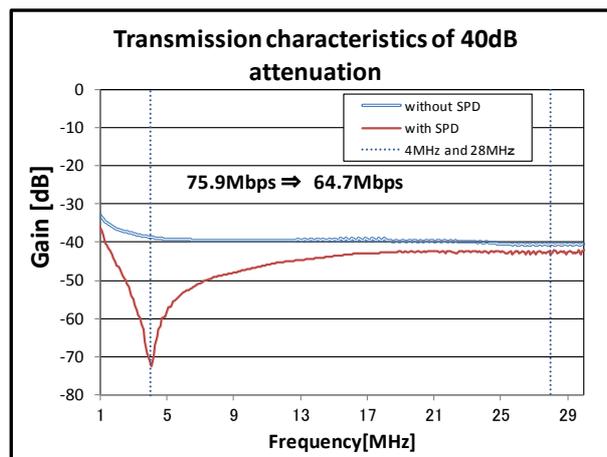
図 3-2(c)は SPD だけの影響を見積もるための簡単な系である。伝送容量は 75.9Mbps が 64.7Mbps に劣化している。最大減衰は 4MHz 付近であり、その減衰カーブは LCR による直列共振を思わせる。SPD の静電容量と接続線を含めたインダクタンスによる LC 共振周波数が最大の減衰量を与えているようであり PLC 帯域の最高周波数(30MHz)ではない。SPD の静電容量が測定値の 14nF とすると共振周波数の値から、インダクタンスは 0.1uH と計算される。なお LCR による伝送特性の減衰特性をシミュレートするには、LCR のインピーダンスだけでなく、送信側と受信側のインピーダンスが必要である。今回のケースでは、送信と受信のインピーダンスは 25Ω、LCR の値は 0.12uH, 14nF, 0.3Ω の場合に、最も良く特性が一致した。



(a) 実際の伝送特性 (Profile 1)



(b) 実際の伝送特性 (Profile 2)



(c) 40dB 減衰

図 3-2 SPD 有無による伝送特性の変化

3.2.2 SPDインピーダンスの測定

本研究では様々な SPD のインピーダンスの測定を、1MHz～100MHz の伝送特性を測定することで測定した。通常の静電容量の測定は LCR メータにより、インダクタンスや共振の影響を受けない 1kHz のような低周波数で行われる。一般に 1kHz では静電容量によるインピーダンスの絶対値は十分に大きく、インダクタンスによるインピーダンスの値は小さく無視できる。1MHz～100MHz の高周波になるとインダクタンスは無視できず特定の周波数での共振が考えられる。SPD に対する懸念事項は、伝送特性の共振による大幅な信号減衰である。そこで信号レベルの減衰パターンを PLC の全帯域に渡って測定した。測定方法は単純な構成で、かつ高い周波数まで測定可能なようにインダクタンスを最小にする必要である。

図 3-3 は測定方法であり、50Ω 同軸ケーブル、50Ω の 20dB アッテネータ (ATT)、BNC コネクタおよび広帯域ネットワークアナライザである。Method A では、ATT と SPD は 90° の角度で接続している。この構成の目的は ATT から SPD 間の配線間の電磁的結合を最小にするためである。Method B では ATT につながる BNC コネクタの端子同士は直接接続され、SPD との間は最短で配線している。両方の Method とともに、インダクタンスの最小化を目指している。20dB アッテネータを追加した目的は、テスト治具をコンパクトで頑丈な構造にしたことと、50Ω の同軸ケーブルよりも 50Ω 終端を確実にを行うためである。

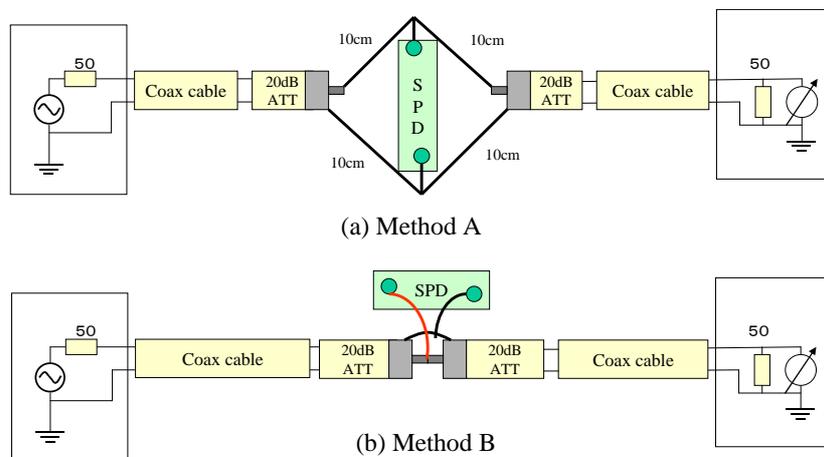
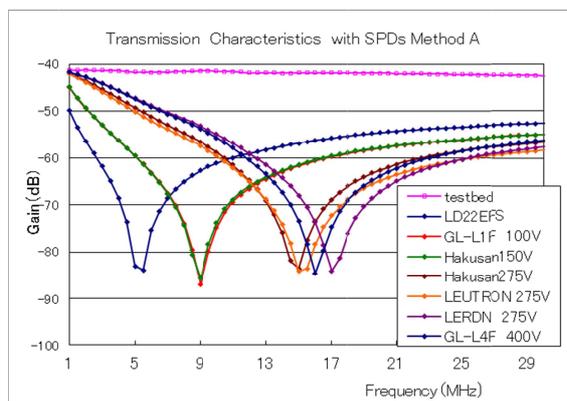


図 3-3 50Ω 同軸ケーブルと ATT による SPD 伝送特性測定法
(Method A と Method B の違いは配線方法の差)

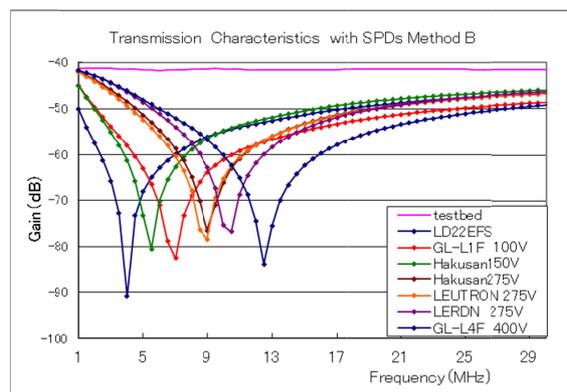
図 3-4(a)と図 3-4(b)は Method A、Method B それぞれの測定結果である。共振周波数とその時の Gain は SPD によりそれぞれ異なっている。そして Method B の方が Method A よりも全体として共振周波数が低域に移動しているのが明らかである。

静電容量は 1MHz の Gain から計算で求め、インダクタンスは共振周波数から計算で求めた。表 3-1 の上の数値は Method A により、下の数値は Method B によりそれぞれ計算した。

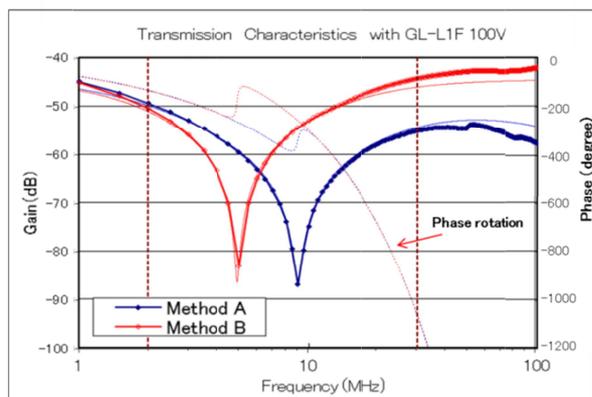
図 3-4 (c)は一つの SPD の Method A と Method B の結果であり、X 軸を Log スケールにしたものである。Method A の共振周波数は Method B よりも高いため、ATT から SPD 間の角度 90° の配線インダクタンスは非常に小さいと予想される。これら Method A と Method B の SPICE シミュレーションは 3.2.4 項に示す。表 3-1 で示した通り、Group A を除いて Uc 電圧(バリスタ電圧)が大きくなるに従い、静電容量が低減する傾向がある。



(a) Test Method A



(b) Test Method B



(c) Method A と B の差、および SPICE シミュレーション

図 3-4 各種 SPD の伝送特性測定結果

表 3-1 各 SPD の静電容量とインダクタンス
上の値 (Method A)、下の値 (Method B)

Group	Name	Spec	Length	Capacitance	Inductance	f(res)
A	LD22EFS Otowa	Uc=230VAC~ Iimp=25kA(10/350us) Up=1.3kV	7cm	12800pF	0.07uH	5.3MHz
				13250pF	0.22uH	3.0MHz
B	GL-L1F Otowa	AC=110V	6cm	4720pF	0.065uH	9.1MHz
				4920pF	0.21uH	5.0MHz
	Hakusan 150V	Uc=150V In=20kA, Imax=40kA Up<0.7kV	8.5cm	4690pF	0.068uH	8.9MHz
C	Hakusan 275V	Uc=275V In=20kA, Imax=40kA Up<1.4kV	8.5cm	1650pF	0.07uH	14.8MHz
				1720pF	0.21uH	8.3MHz
	LEUTRON EPCS275	Uc=275VAC~ Iimp=20kA, Imax=40kA Imax=40kA	8.5cm	1700pF	0.064uH	15.3MHz
D	LERDN 385V	Uc=385V In=20kA, Imax=40kA Up<1.8kV	8cm	1370pF	0.063uH	17.1MHz
				1440pF	0.22uH	8.9MHz
	GL-L4F Otowa	AC=450V	6cm	1370pF	0.072uH	16.0MHz
				1450pF	0.22uH	8.9MHz

3.2.3 バリスタ電圧と静電容量値の分析

バリスタは電気機器を雷サージから保護するデバイスとして長く使われてきた。

図 3-5(a)はバリスタのシンボル記号と写真およびサージ電圧が印加された時の動作を示す。サージ電圧はバリスタ電圧 VR でクランプされ、そのクランプされた期間にサージ電流が流れる。バリスタは酸化亜鉛 (ZnO) に微少の添加物を加えた粒子を原料に製造されたセラミックである。典型的なバリスタはディスク形状で両側に電極が付けられている。つまりバリスタの構造は昔のセラミックコンデンサと同じで、セラミックの誘電体の部分が ZnO の材料に置き換えられたものと考えてよい。3 メーカー(日本ケミコン、パナソニック、OHIZUMI)のデータシートを比較分析した。これらメーカーはバリスタ電圧とディスクサイズが異なる多種多様なバリスタを製造している。バリスタ電圧の定義は 1 mA の電流を流した時の電圧であり、サージ電圧をクランプし始める電圧である。

ディスクサイズは最大サージ電流とバリスタ自体が対応できるエネルギーに関係している。各 SPD のバリスタ電圧と静電容量は同じデータシートに記載されており、最大サージ電流はディスクサイズに比例し、ディスクサイズの大きさは静電容量に比例する傾向が読み取れる。一方でバリスタ電圧が高いと静電容量が小さくなる傾向にある。

図 3-5(b)は GDT (Gas Discharged Tube) のシンボル記号と写真およびサージ電圧が印加された時の動作であるが、3.3.2 にて説明する。

図 3-6(a)はデバイスメーカー 3 社のデータシートから Y 軸に静電容量、X 軸にバリスタ電圧をプロットしたものである。3 社はともに直径 5mm~22mm のディスクサイズを製造しており、静電容量とバリスタ電圧には反比例の関係があるように見える。ディスクサイズの違いによる面積と静電容量が比例するのは自然である。ここで反比例より比例のほうが分かり易いので、Y 軸を (1 / 静電容量) に変更した。またディスクサイズの違いの影響

を無くすために、静電容量を 10mmφ のサイズで正規化した。例えば直径が 20mmφ の場合、データシートの静電容量値を 4 で除算し 10mmφ と同じ面積にした。その結果を図 3-6(b) に示す。

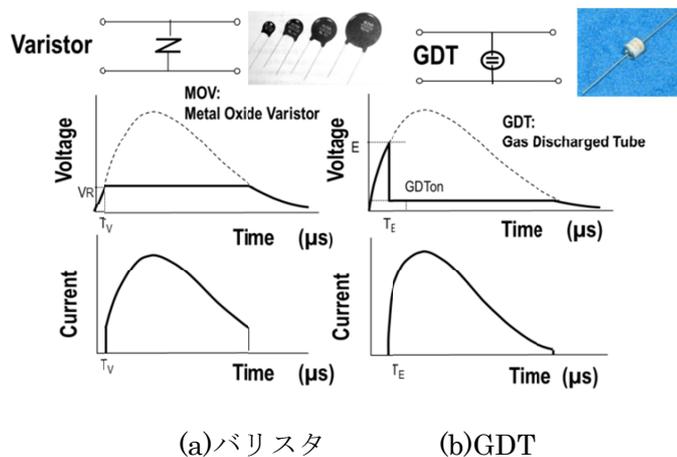
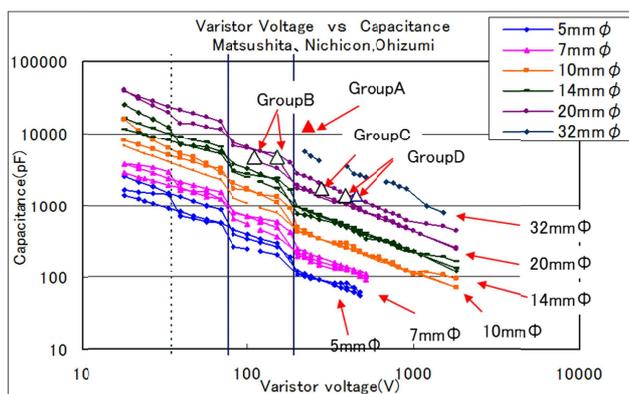
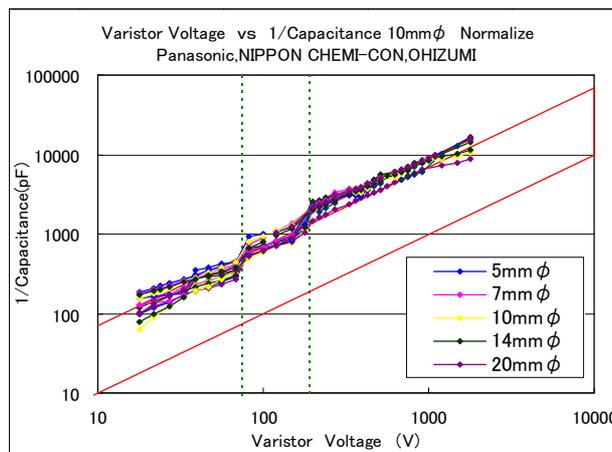


図 3-5 バリスタと GDT のシンボルと写真およびサージ電圧印加時の状態



(a) バリスタ電圧 vs 静電容量 全データ



(b) 正規化したバリスタ電圧 vs 1/静電容量 10mmφ で正規化したもの

図 3-6 各メーカーのバリスタ電圧と静電容量の関係

異なるメーカーで異なる製造プロセスで作られたバリスタであるが、10mmφのサイズで正規化した（1/静電容量）の値は、ほとんどがバリスタ電圧に比例する関係となり非常に興味深いものがある。

上記に述べたバリスタの特徴を次の様に分析した。図3-7(a)はバリスタの構造イメージ図であり、ほぼ同じサイズのZnO粒子が電極間に充填されている。図3-7(b)はそれの単純な等価回路であり、電極間に数多くのコンデンサが直並列に接続されている。直列接続したコンデンサの数がMであれば、トータルの静電容量は単体コンデンサの1/Mになる。バリスタ電圧は、これら単体コンデンサのブレイクダウン電圧の和になるはずである。従って、バリスタのディスクの厚さは数字のMに比例し、それはバリスタ電圧と1/静電容量に比例する。一方でディスクの面積は、並列コンデンサの数に比例するので、サージ電流耐量に比例する。

もしZnO粒子の特性が同じであれば、バリスタ電圧と静電容量は反比例し、製造メーカー間の差はさほど大きくないと思われる。このことは表3-1にも表れており、電流耐量とバリスタ電圧が同じ場合に静電容量はほぼ等しい。図3-6(a)の三角形のマークは、表3-1のサンプルのデータである。Group Aを除き、すべて直径20mmの特性上に並んでいる。ここでGroup AのSPD(LD22EFS音羽製)はクラスI(25kAピーク10/350usの直撃雷)のカテゴリーに入り、それ以外はクラスII(20kAピーク8/20usの誘導雷)のカテゴリーに入っている。

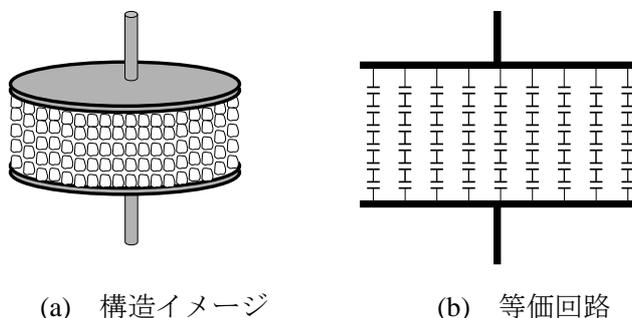


図3-7 バリスタの構造イメージと等価回路

3.2.4 バリスタのインダクタンスと配線の分析

配線のインダクタンスは長さの関数であり、1mの単線はおよそ1uHに相当する。図3-8は今回測定した各種SPDの写真である。これらSPDは着脱可能な本体とソケットから構成され、ソケットからAC配線に接続される。インダクタンスはSPD本体の他にソケットとその配線にも存在する。表3-1に示した通り、インダクタンス計算値はMethod Aの方がMethod Bよりも小さい。SPDの接続端子間の長さは6~8.5cmであり、Method Aによるインダクタンス計算値は0.063~0.072uHで長さに換算すると6.3~7.2cmである。Method Aの値はSPD自体のインダクタンスと考えられる。Method Bのインダクタンス計算値は0.22uHであり、これは22cmの長さに相当する。

Method A ではインダクタンスは小さいものの、10MHz より高周波域での損失は 10~15dB も Method B より大きい。これは ATT と SPD 間の直列インダクタンスと SPD の静電容量による LC の LPF が構成されたものと考えられる。

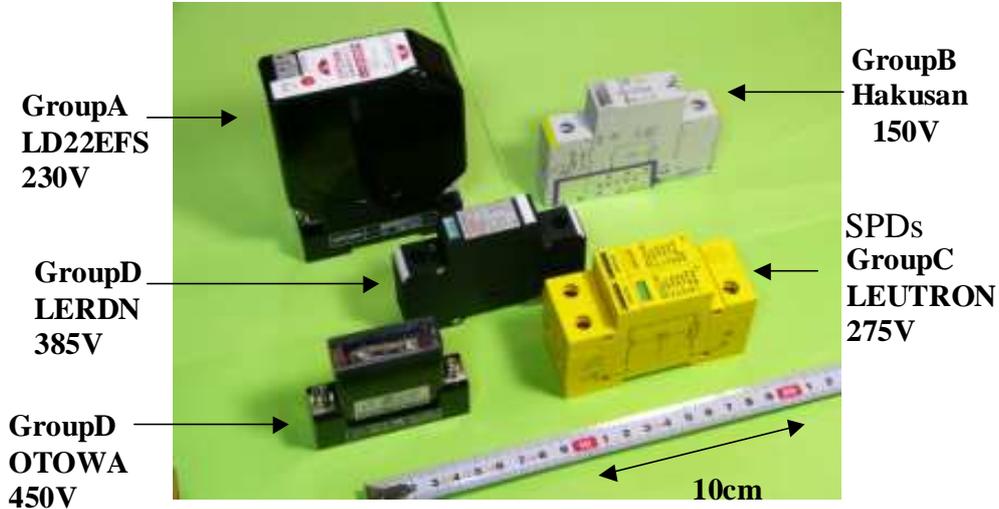


図 3-8 各種 SPD の写真

図 3-9 は SPICE シミュレーションの回路で、0.1 μ H のインダクタが 50 Ω 伝送路と SPD の間にある。図 3-4(c)の細かい線は SPICE シミュレーションの結果であり、実験値と良く一致する。このことは、Method A の 10cm の長さが 0.1 μ H の単体のインダクタに相当することを意味している。図 3-4(c)の SPICE シミュレーションでは位相回転特性も同時に記録されている。Method B では、このようなインダクタンスは無く、SPD への配線長のインダクタンス成分を SPD 自体のインダクタンスに追加した。

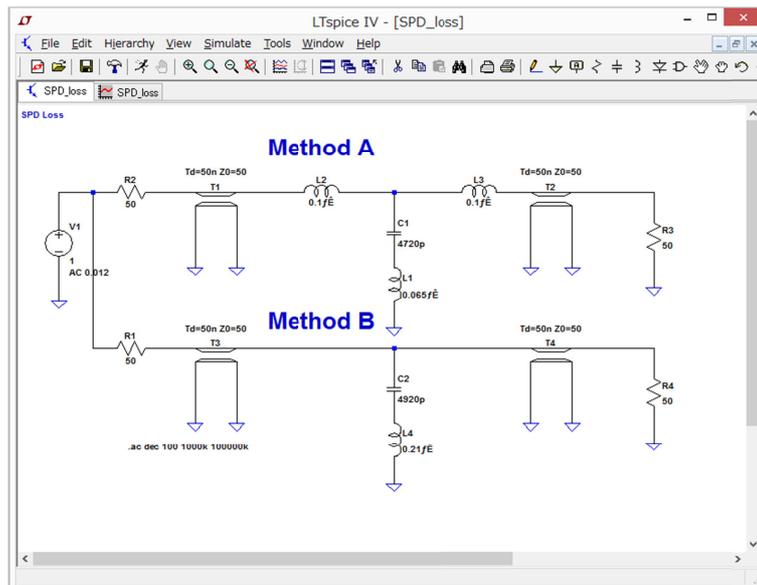


図 3-9 Method A と Method B の SPICE シミュレーション回路図

Method A Method B とともに 50Ω 系による試験構成である。ネットワークアナライザの入出力、同軸ケーブル、AT T等は全て 50Ω であるので、50Ω の終端にて試験を行った。実際の屋内 AC 配線ケーブルとして最も典型的なものとして 1.6φ の VVF ケーブルがある。これは直径 1.6mm の銅線が導体として一対あり、ポリ塩化ビニルで周囲が絶縁されている。1.6φ VVF ケーブルの特性インピーダンスは以下の式で計算すると 86~94Ω である。

$$C = \pi \epsilon_s \epsilon_o / \ln \{ (2d - r) / r \} \quad [\text{pF/m}]$$

$$L = 0.1 + 0.4 \ln (2d / r) \quad [\text{uH/m}] \quad @\text{low frequency}$$

$$L = \quad + 0.4 \ln (2d / r) \quad [\text{uH/m}] \quad @\text{high frequency}$$

$$Z = \sqrt{L/C} \quad [\Omega]$$

ここで $r = 0.8\text{mm}$: 導体の半径

$2d = 3.2\text{mm}$: 導体の中心と中心の距離

$$\epsilon_o = 8.854 \times 10^{-12} \quad [\text{F/m}]$$

$$\epsilon_s = 2.95$$

ϵ_s は VVF ケーブルの比誘電率であり、以前の論文 [3-8] の値である。

PLC の使用周波数帯域が 3M~20MHz の場合、空中での波長は 15m~100m に相当する。これが VVF ケーブルの中で ϵ_s が 2.95 とすると波長は 8.7m~58.2m と短くなる。建物の中の AC 配電線の長さは 10m 以上あるだろうから、AC 配電線は PLC の周波数が高い領域では伝送路として考慮する必要がある。反対に、波長の 5%より短い長さは実用的には伝送路として考える必要が無いので、43cm (8.7m の 5%) 以下は集中定数回路で良いことになる。共振による非常に大きな信号の減衰は、特性インピーダンスが 50Ω でも 86Ω でも同様な伝送特性劣化を起こす。

屋内の AC 配電線の配線は非常に複雑である。多数の電気機器がコンセントに接続される低インピーダンスの場合、サージ保護素子が電気機器の内部にある場合、コンセントに何も接続されていない高インピーダンスの場合、壁のスイッチなどが有る場合等である。これら全ての条件でインピーダンスのミスマッチと反射が起こる。実配線の伝送特性は図 3-2(a)や図 3-2(b)で示した通り複雑であり、SPD を接続することで更に大きな減衰を与えている。

以上の測定と SPICE によるシミュレーションの結果から得られた結論としては

- (1) SPD の外形サイズは 6~8.5cm であれば少なくとも 0.06uH~0.085uH のインダクタンスを持つ。
- (2) 配電線が Method A のような分岐配線を持つ場合、分岐されたケーブルは 10cm であれば 0.1uH の個別の (分布定数回路でない) インダクタンスを持つ。
- (3) 配電線が Method B のような分岐配線を持つ場合、分岐されたケーブルのインダクタンスは SPD 自体のインダクタンスに追加される。
- (4) 大きな損失を与える共振とその周波数は SPD 自体の静電容量とインダクタンス、および配線のインダクタンスにより決まる。

3.3 SPD の設置方法と配線の影響

3.3.1 電力線、MCCB、SPDの位置

図 3-10(a)と図 3-10(b)は典型的な SPD の実装状況[3-9],[3-10]を示す。

SPD を実装するには 2 通りの方法がある。第一は SPD を MCCB((Molded Case Circuit Breaker)と負荷の間に置く方法である。この方法は建物の中に実装する場合にごく一般的である。殆どの場合、PLC モデムはこの形態で使われるので、この形を中心に分析する。

第二は SPD をトランスと MCCB の間に置くもので、両方とも IEC と JIS で推奨されている。MCCB は通常 RCD (Residual Current Device) と呼ばれる続流遮断の機能も持つ。

図 3-10(a)の場合、雷サージ電流が SPD を通過することで RCD が起動されるので、電力線は切り離される。この場合 RCD は雷サージのインパルス状の電流に耐えなくてはならない。日本では 6.6kVrms の中間電圧は 100Vrms の低電圧に柱上トランス等で降圧され、L1/L2 及び N で分配される。N はニュートラルで大地に接続されている。SPD は L1 と PE (保安アース) 間、L2 と PE 間、および N と PE 間にそれぞれ設置される。N は大地に接続されているため、N の電圧はゼロで L1 と L2 はそれぞれ +100Vrms と -100Vrms である。

通常状態でバリスタ型の SPD は良い絶縁特性を示すが、多数の被雷により SPD に多数の雷電流が流れた後は絶縁特性が劣化し、リーク電流が流れるようになる。もし一つの SPD だけが絶縁性を劣化したのであれば、RCD 機能がリークを検出して電力線の地絡事故として電力線を切り離す。もし 2 つの SPD が同時に絶縁線劣化を発生した時は、MCCB がそれを検出し、短絡回路を切り離す。

図 3-10(b)は SPD がトランスと MCCB の間に存在するケースであり、SPD に流れる雷サージ電流は RCD を起動させることは無い。N と PE の間に GDT があるのは、この方式の弱点であり、もし SPD の一つの絶縁が劣化すると、L1/L2 の高電圧が共通点のポイント A に現れてしまうので、ポイント A と負荷の筐体を GDT で絶縁する必要があるためである。更に SPD が短絡モードや地絡モードの障害になった場合には、AC 電力の電流を切断するためにディスコネクタ (切断機) が必要になる。以下は SPD 配置とワイヤリングに関する等価回路による分析である。すでに述べた通り、SPD の周辺にある MCCB と電力機器への接続する配線にはインダクタンスがある。二つの SPD は通常同じキャビネットの中で並べて置かれるので、その部分でのインダクタンスは非常に小さいはずである。図 3-11 は等価回路であり、図 3-10(a)の二つの SPD である L1/L2 と PE 間、及び N と PE 間は直列に接続される。SPD のインダクタンスは直列のため 2 倍に、静電容量は 1/2 になるため共振周波数は実験で確認した SPD が一つの場合と変わらない。

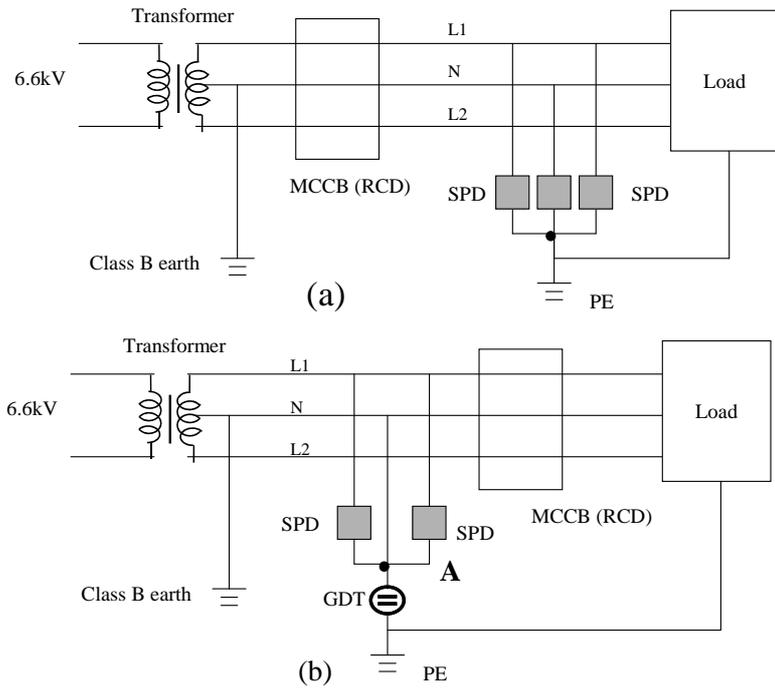


図 3-10 SPD の実装方法

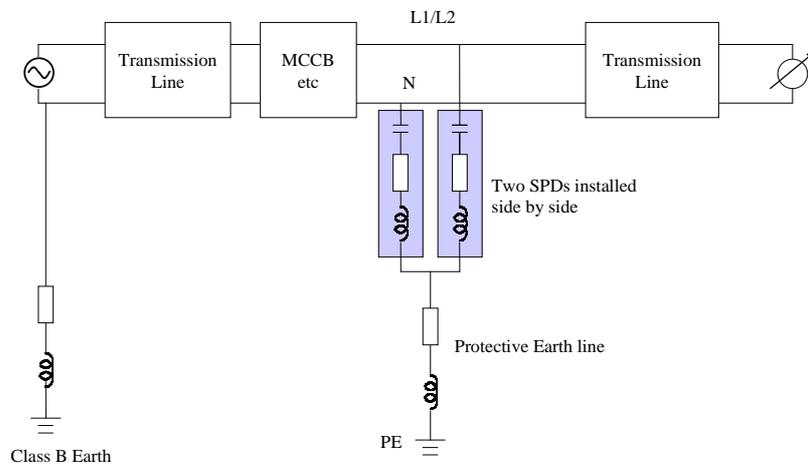


図 3-11 SPD とワイヤリングの等価回路

図 3-12 はキャビネットの中の SPD とディスコネクタの写真である。3 個の SPD が隣接して実装され、そのうち 2 個がバリスタで 1 個が GDT であり、GDT からの保護アース (PE) が引き出されている。SPD の上方向に、ディスコネクタとしての MCCB がある。MCCB からの配線は屋内への AC 電力線である。電力会社からの配線は左下のスペースに接続される。このキャビネットの写真の通り、SPD から AC 電源への配線は 10cm~20cm 程度であり、SPD の共通側の配線長は SPD のサイズ程度である。保護アース (PE) 線はキャビネットの内部でも 50cm 程度あり、キャビネットの外部の長さを含めると数 m になるであろう。

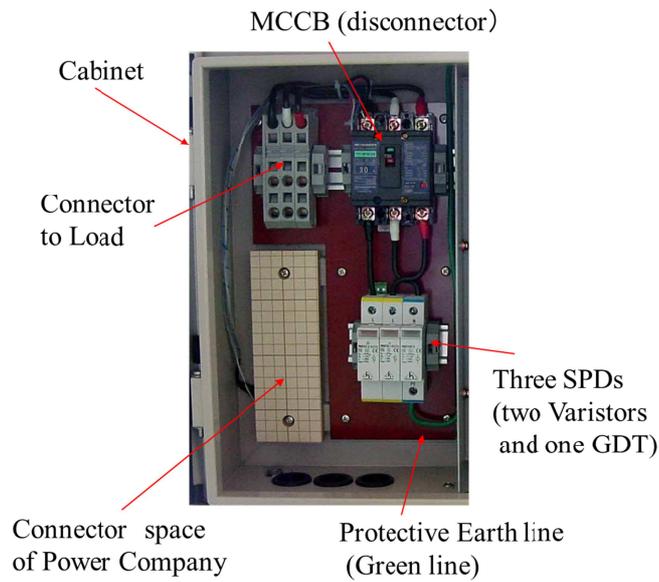


図 3-12 キャビネット内の SPD とディスコネクタ

表 3-2 共振周波数の一覧表 (0.25~25uH, 5~20000pF)

Length	inductance	Capacitance of SPD								
		5pF	10pF	100pF	1000pF	2000pF	4000pF	8000pF	14000pF	20000pF
20m	20uH	15.92	11.25	3.56	1.13	0.80	0.56	0.40	0.30	0.25
10m	10uH	22.51	15.92	5.03	1.59	1.13	0.80	0.56	0.43	0.36
5m	5uH	31.83	22.51	7.12	2.25	1.59	1.13	0.80	0.60	0.50
3m	3uH	41.09	29.06	9.19	2.91	2.05	1.45	1.03	0.78	0.65
2m	2uH	50.33	35.59	11.25	3.56	2.52	1.78	1.26	0.95	0.80
1m	1uH	71.18	50.33	15.92	5.03	3.56	2.52	1.78	1.35	1.13
50cm	0.5uH	100.66	71.18	22.51	7.12	5.03	3.56	2.52	1.90	1.59
25cm	0.25uH	159.15	112.54	35.59	11.25	7.96	5.63	3.98	3.01	2.52

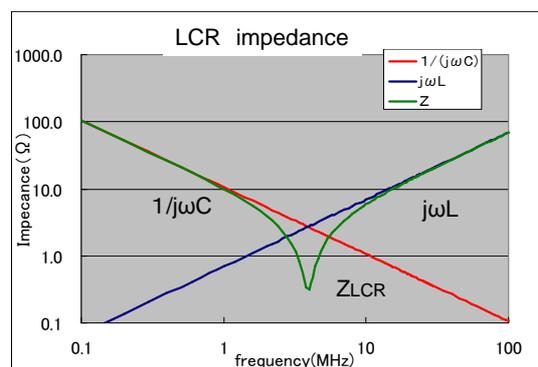


図 3-13 コンデンサ、インダクタのインピーダンスと LCR 共振

表 3-2 は長さ[m]・インダクタンス[uH] と静電容量[pF]に対する共振周波数[MHz]の関係を示している。図 3-13 から言えることは、静電容量が大きければ共振周波数は低くなり、

インダクタンスが大きい場合も共振周波数は低くなる。バリスタの静電容量は数 1000pF 以上あり、共振周波数が 2MHz～30MHz になる配線長は 25cm～50cm である。従ってバリスタ型の SPD では共振周波数が PLC の使用周波数帯域の中に起こり得る。もし静電容量が 10pF 以下であって配線長が 2m 以下であれば共振周波数は 30MHz よりも高域になる。

共振周波数は静電容量を変更することで変えられる。一つの手段はバリスタ型の SPD より大きな電流容量のものに変更することで、共振周波数を下げることである。もう一つは SPD として 3.3.2 で述べる GDT とバリスタのコンビネーションを使うことで、共振周波数を PLC の帯域より高くしてしまう方法である。いずれの場合でも、SPD の保護機能として動作し電力線の電圧を 1.5kV 以下に制限することが出来る。SPD 周辺の配線長の変更で共振周波数は変更できるが、必ずしも実施できるわけではなく実用的ではない。

3.3.2 GDT とバリスタのコンビネーション

GDT(Gas Discharged Tube) ガス放電管はバリスタとともに SPD に使用される一般的なデバイスである。GDT の静電容量は数 pF であるので、共振周波数は 30MHz より高くなるのは既に述べた通り。堅牢なセラミックのケースの中で二つの電極が短いギャップで向かい合い、間に特殊なガス(放射性物質)が充填されている。この構造のため GDT の静電容量は小さい。高いサージ電圧が印加されると、ギャップ間にアークが発生して放電が起こり電圧(GDTon)を低く保つため電気機器が保護される。GDT の動作を図 3-5(b)に示す。GDT はガスの放電現象を利用しているため、その応答時間はバリスタよりも遅い。直流電圧を低電圧から高電圧側に徐々に増加すると、動作電圧は 300V 程度である。ところが急峻なサージ電圧が印加されると、放電が開始するのに数 10nsec かかるので、動作電圧は 1kV 程度にもなってしまう。このように動作電圧はバリスタよりも高いものの、1.5kV よりも低くなる。ただし GDTon 電圧は低いため、単体では AC 電力線の保護には使用されない。

図 3-14 に示すバリスタと GDT を組合せて使用する利点はいくつかある。

第一に図 3-14(a)ではバリスタと GDT を直列にしたものを示す。GDT の静電容量が小さいため、図 3-14(a)のトータルの静電容量は小さい。3.1 章で述べたように、バリスタが多数のサージ電流保護動作によりリークが大きくなり過ぎた場合でも、GDT が AC 電源と PE 間を絶縁することが出来る。この構成の動作電圧は GDT のそれにほぼ等しい。動作後のクランプ電圧はバリスタ電圧 V_R と GDTon 電圧の和になる。

第二にバリスタと GDT を並列にしたものを図 3-14(b)に示す。バリスタの静電容量は GDT よりも大きいので、バリスタの方がサージ電圧の当初から動作し、GDT の直流動作電圧がバリスタ電圧よりも低く設定してあれば、GDT が遅れて動作する。この構成の利点はバリスタにより動作開始電圧が低いことと、GDT によりサージ電流耐量大きいことである。問題は GDTon 電圧が AC 電源のピーク電圧よりも通常低いので、続流が流れ続けてしまう。従ってこの構成は AC 電源線ではなく通信線などでのみ実施が可能である。

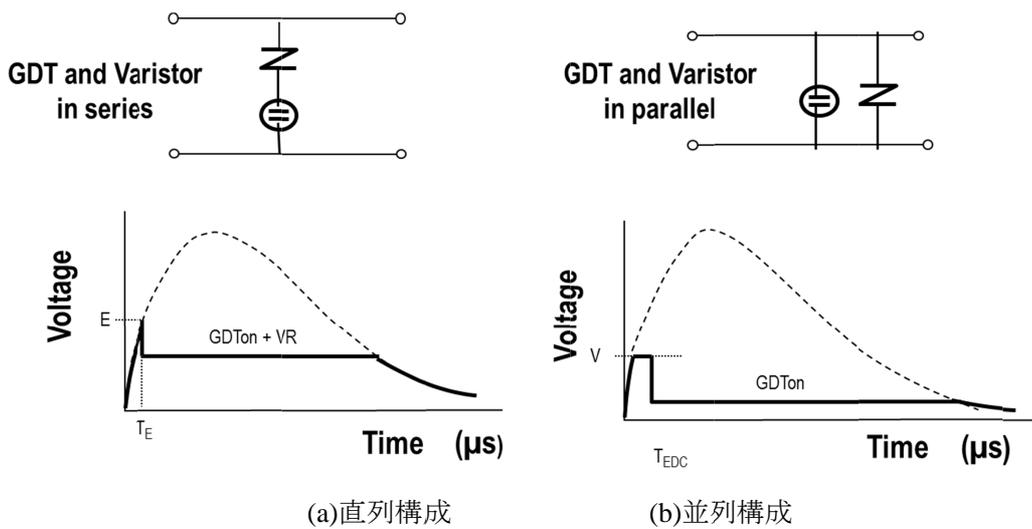


図 3-14 バリスタと GDT のコンビネーション

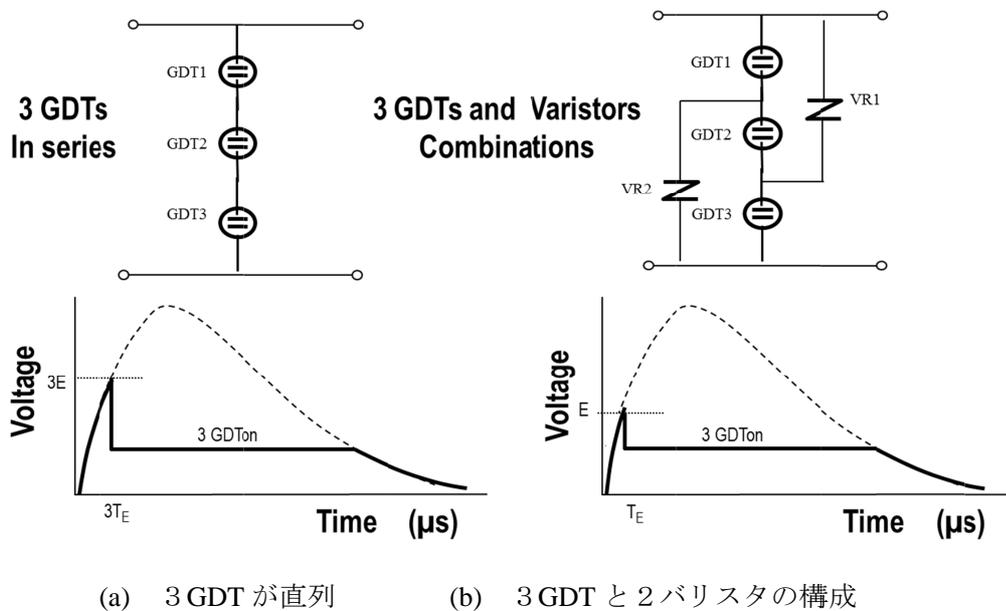


図 3-15 3 GDT とバリスタのコンビネーション

図 3-15(a) は 3 個の GDT を単純に直列にしたもの、図 3-15(b) は 2 個のバリスタと 3 個の GDT を図のように組み合わせたもの[3-11]である。図 3-15(a)の動作は簡単で、動作電圧・保護電圧ともに一つの GDT の 3 倍になる。動作電圧が 3 倍になって 1.5 kV を超える可能性があるためカテゴリーII の SPD としては使用できない。

図 3-15(b)の動作は複雑なため、図 3-15(c)を書き直した図 3-16(a)と図 3-16(b)で説明する。まずバリスタの静電容量は GDT のそれよりも遥かに大きいので、バリスタに印加される電圧は殆どゼロとなり、全電圧は GDT に等しく印加される。この構成で GDT2 は GDT1・GDT3 よりも高めの動作電圧のものが選別されており、図 3-16(a)のように GDT1 と GDT3 が始め

に動作する。もちろん GDT1 と GDT3 が同時に動作することも、一方が多少早めに動作することも有り得る。いずれにしても、 $V_{GDT1}+V_{R2}$ と $V_{GDT3}+V_{R1}$ のクランプ電圧はほぼ等しい。GDT2 の両端の電圧は $V_{R1}-V_{GDT1}$ または $V_{R2}-V_{GDT3}$ である。サージ電圧 V_s が増加するにつれて、GDT2 の電圧が増加し GDT2 は図 3-16(b)のように動作する。

最終的に GDT1、GDT2、GDT3 の全てが直列状態で動作する。全ての GDT が動作すると、Varistor1 と Varistor2 にはもはや電流が流れず、トータルのクランプ電圧は3つの GDT の電圧の和となる。

この構成は GDT が 3 個だけでなく、5 個、7 個それ以上でも可能である。この組合せの利点は、クランプ電圧を高くして続流を防げることと、バリスタは単に GDT を動作させる時のみ動作することである。バリスタで消費される電力は非常に小さく、そのためリーク電流が増加する問題は無視できる。静電容量は図 3-14(a)と同様に小さく、動作電圧も GDT を単純に直列構成した場合よりも遥かに小さい。この小さい静電容量は PLC 帯域での伝送特性を劣化させるものではない。このバリスタと GDT の組合せは学術論文(Appendix-I, AP-1)の共同著者の特許[3-12]である。

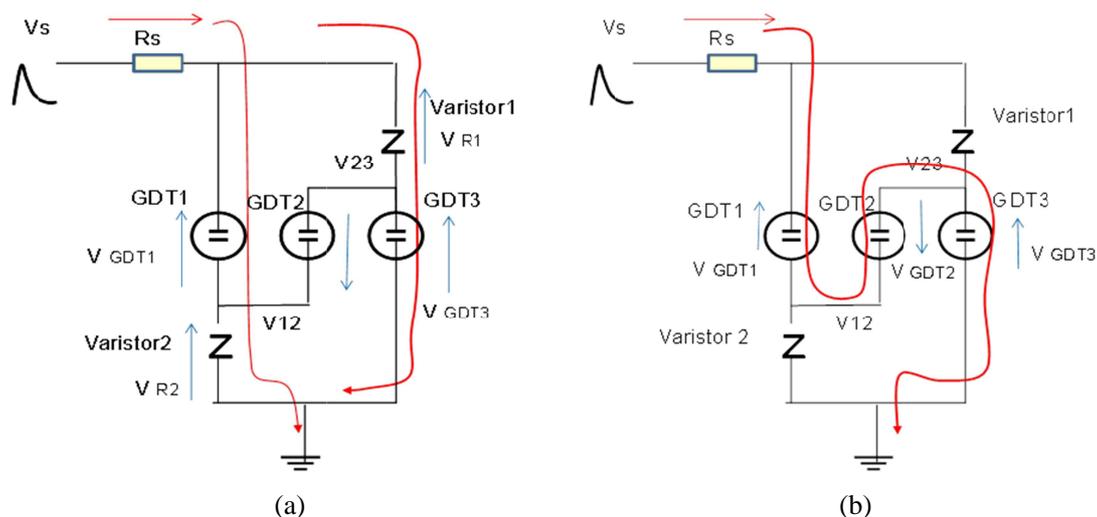


図 3-16 3 GDT とバリスタのコンビネーションの動作説明

3.4 OFDM型 PLC モデムの伝送容量

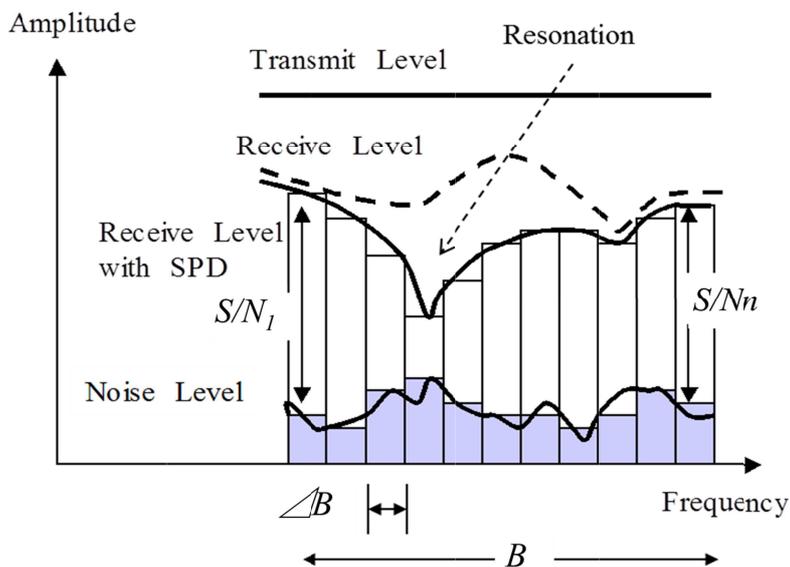
現状の PLC モデムは 2M~30MHz 帯域を使った OFDM (Orthogonal Frequency Division Multiplexing) 変調を利用している。OFDM はマルチキャリアシステムであり、多くのサブキャリアを使い、それぞれのサブキャリアに一定量の伝送データを乗せている。もしノイズが特定の周波数帯域に集中する場合、OFDM 型 PLC モデムはその帯域のサブキャリアを使用しないか、あるいはそのサブキャリアの伝送レートを下げることで、伝送容量が低下し過ぎるのを防いでいる。このようなノイズに強い特性を利用して、OFDM は PLC だけでなく多くの無線システムにも利用されている。

図 3-17 はマルチキャリアシステムの S/N のイメージ図である。モデムの出力レベル (Transmission Level) は大きく一定であるが、受信レベル (Receive Level) は点線にあるように AC 配電線特性により減衰している。ここに SPD が追加されると、SPD と配線による共振により実線で示したように大きな減衰が追加される。ノイズレベル (Noise Level) はモデムの量子化ノイズと AC 配線上のノイズの和である。従って、それぞれのサブキャリア毎の S/N の値は異なるため S/N_n と記載してあり、 n はサブキャリアの番号である。

図 3-17 の下側の式は、サブキャリアチャンネル毎の伝送容量 (ビットレート) とマルチキャリアシステムとしてのトータルの伝送容量であり、シャノン-ハートレーの定理による。

ΔB はサブキャリアの帯域幅で、トータルの帯域幅は B である。 C_n はサブキャリア毎の伝送容量であり、トータルの伝送容量は C である。ここで S/N_n が dB 単位で測定され、その平均が 10dB 以上であれば、伝送容量は dB で測定した S/N_n の値の積算和にほぼ等しい。

図 3-9 の SPICE シミュレーションの結果では、減衰量とともに位相回転も示されている。位相は 2MHz から 30MHz の間で約 1000° 回転している。もしサブキャリアの数が 512 本であれば、各サブキャリア内の位相回転は $\pm 1^\circ$ 以下になる。サブキャリア内の変調としては HD-PLC は PAM 変調を使い、他社の PLC モデムは QAM 変調を使っている。サブキャリア内の位相回転は十分に小さく、その影響はそれぞれの S/N_n に含まれる。



$$\begin{aligned}
 C_n &= \Delta B \log_2(1+S/N_n) \\
 C &= \sum_{n=1}^N \Delta B \log_2(1+S/N_n) = B \sum_{n=1}^N \log_2(1+S/N_n) \\
 &\doteq B \sum_{n=1}^N \log_2(S/N_n) \quad (\text{通常 } S/N_n \geq 1 \text{ と考えられるため}) \\
 &= B \sum_{n=1}^N S/N_n \text{ [dB]}
 \end{aligned}$$

図 3-17 マルチキャリアシステムの S/N と伝送容量 C のイメージ図

図 3-18 はシャノン-ハートレーの定理を Profile 1 に適応した例である。1MHz から 30MHz の周波数帯域の伝送特性は 0.1MHz 単位にてマニュアルでデータ抽出しており、 $\pm 0.5\text{dB}$ の精度の 291 ポイントのデータに等しい。このプロセスはアナログの Gain 周波数特性のデータから、マルチキャリアシステムのデジタルデータに計算目的で変換したことに等しい。第一世代の HD-PLC は 4MHz から 28MHz を使用しており、今回の計算では $\Delta B=0.1\text{MHz}$ で $B=24\text{MHz}$ に相当する。 S/Nn の値を求めるには、図 3-17 に示すように Noise Level を知る必要があるが、実際の電力線のノイズの状況や HD-PLC の量子化ノイズは不明である。シャノン-ハートレーの定理によれば、 S/Nn が十分に大きければ、 $S/Nn[\text{dB}]$ の積算和と伝送容量 C [Mbps] はリニアな関係にある。そこで Noise Level はほぼ一定と仮定し、 S/Nn を求める際に Noise Level を適当に変化させ、Profile1、Profile2、40dB 減衰で SPD 有り/無しの全ての条件で伝送容量 C がリニアになるようにした。

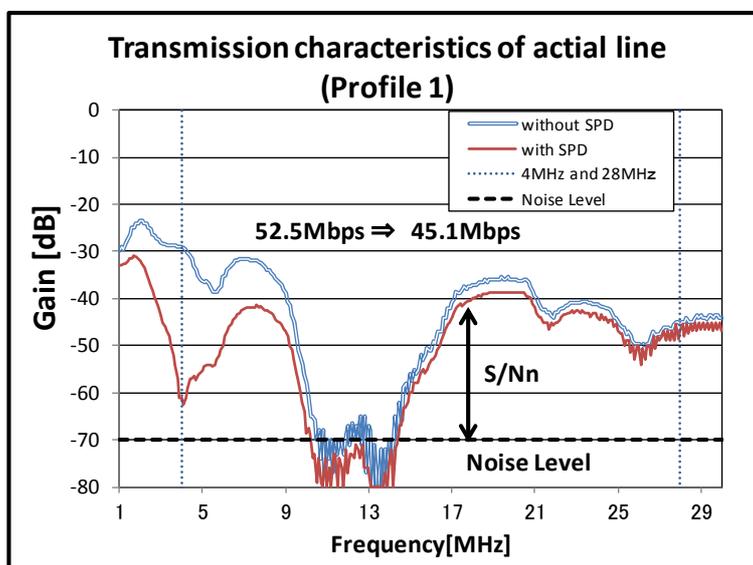


図 3-18 シャノン-ハートレーの定理を Profile1 に適用

図 3-19 に計算結果を示し、X 軸は Noise Level を -70dB に設定した場合の $S/Nn[\text{dB}]$ の積算和である。ここで N は 241 なので、もし S/Nn が一様に 30dB であれば、X 軸は 7230 という値になる。Y 軸は図 1 の測定器で測定した伝送容量である。図 3-19 で示すように Profile1、Profile2、40dB 減衰の全ての計算結果と SPD (Group A)有無の測定結果は、リニアな線に対して $\pm 6\text{Mbps}$ の範囲に入っている。Noise Level が不明で更にそれが 1MHz から 30MHz まで一定ではないことを考慮しても、シャノン-ハートレーの定理による方法は PLC システムの性能を測定済みのデータから見積る場合に有効な手段と言える。

図 3-20 は S/N_n の積算和と伝送容量のシミュレーション結果であり、表 1 の Group B、C、D の SPD の静電容量とインダクタンス (Method B) を適用し、Profile 1 と 40dB 減衰のデータに応用したものである。更に図 3-20 は、GDT (10pF) と 100pF~700pF の SPD を想定したシミュレーション結果もプロットした。静電容量が 100pF 以下の場合、伝送容量は全く劣化していないことが分かる。

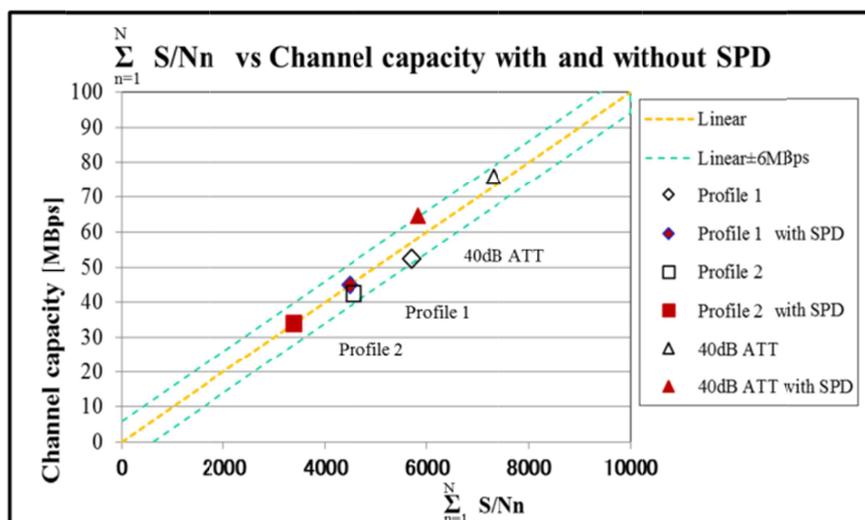


図 3-19 S/N_n の積算和と伝送容量 (Group A SPD 有無)

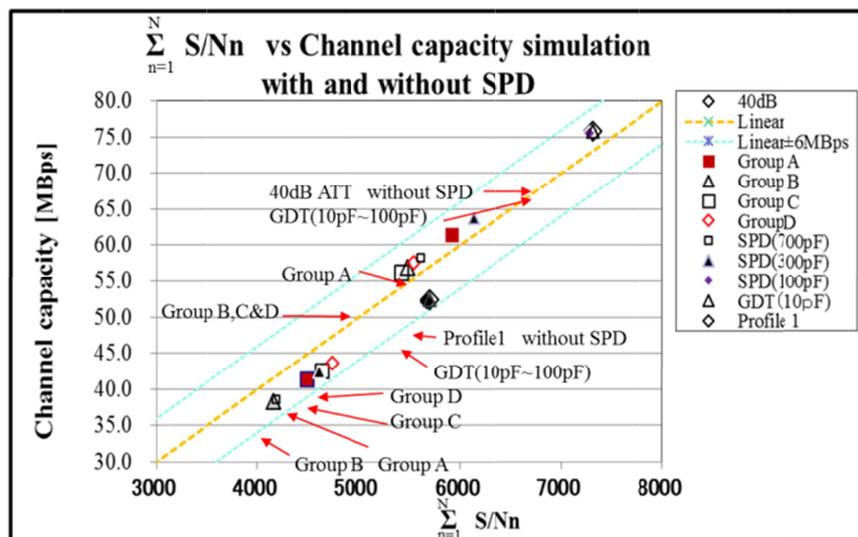


図 3-20 S/N_n の積算和と伝送容量シミュレーション (Group B,C,D および GDT 他の SPD 有無)

3.5 まとめ

3.5.1 バリスタ型SPDのPLC帯域内の共振

本章では、バリスタ型のSPDの静電容量とインダクタンスがPLCの周波数帯域の中で共振を起こすことを研究した。詳細は以下の通り。

- (1)バリスタの静電容量は最大サージ電流つまりバリスタのディスクの面積に比例し、バリスタ電圧に反比例する。バリスタの製造メーカー間の差は大きくない。
- (2)SPDのインダクタンス測定値の0.063 μ H \sim 0.072 μ HはSPDの物理的な外形寸法の6cm \sim 8.5cmに相当する値である。SPDとAC電源線を接続する外部配線では10cmあたり0.1 μ H程度のインダクタンスをSPD周辺で追加する。
- (3)平均的なバリスタ型SPDは1000 \sim 14000pFの静電容量を持ち、それによりPLC帯域の2MHz \sim 30MHzで共振を起こす。共振による減衰量は30dB程度である。
- (4)同じキャビネットに並んで実装される2つのSPD間のインダクタンスは小さく、L1/L2とPEおよびNとPEは上記の通り共振を起こし、PLC信号の差動モードの減衰を与える。
- (5)SPDから保安アース端子までの長い配線による大きなインダクタンスは、同相モードのインピーダンスであり、(4)に示した差動モードのPLC信号にさほど影響を与えることは無い。
- (6)バリスタ型のSPDを使用する場合、そのSPDを大サージ電流型に変えることは静電容量を大きくすることであり、共振周波数を低周波側（つまりS/Nの値が小さい領域あるいはPLC帯域の外）に移動できる。
- (7)バリスタとGDTの直列構成か、コンビネーション型のSPDを利用して静電容量を小さくすることは、共振周波数をPLCの高域側30MHzの外に移動できる。図3-20にあるように、100pF以下の静電容量のSPDはPLC伝送容量を劣化させない。
- (8)伝送容量（ビットレート）は伝送特性の減衰特性から見積もることができる。トータルの伝送容量はシャノン-ハートレーの定理より各サブキャリアの伝送容量の和として、求まるからである。

3.5.2 屋外機器へのSPDの必要性

雷サージから電気機器を保護するため、AC電源線にもSPDを実装することが必要である。SPD自体の静電容量とインダクタンス及び配線のインダクタンスにより共振が起こる。共振周波数を移動させることは、バリスタのタイプを変更することで可能である。一方でSPDの共通点から接地棒まで伸びる保安アース線の長さはPLC信号を劣化させることは無い。

屋外の電気機器として、EV（電気自動車）、セキュリティカメラ、太陽発電パネルなどが将来的に増加するはずで、それらには AC または DC の電力とともに信号伝送が必要となる。高速 PLC も低速 PLC も屋内の中央制御装置等からそれらの機器に信号を伝送する手段として最も適したものの一つである。そのような応用において、SPD により機器をサージ電圧から保護することは非常に重要であり、本章では電力線に対する SPD をどのように選定・設置し、PLC 信号の劣化の見積りに関する実用的な情報を提供した。

この様に、伝送特性の劣化現象から、劣化の発生自体を防ぐアナログ的な手法が第一に必要である。次に既に発生している劣化現象への補償等の対策を実施するには、デジタル信号処理による手段が欠かせない。第四章は伝送路で発生する遅延時間を極力低減し、高性能な特性を同時に実現するデジタル信号処理にかかわる研究について述べる。

参 考 文 献

- [3-1] 官報, 号外 第 197 号, 9 月 9 日 2013 年
- [3-2] IEEE1901-2010 - IEEE Standard for Broadband over Power Line Networks: Medium Access Control and Physical Layer Specifications
- [3-3] Kenji Takato, Hitoshi Kijima, Hiroshi Iwao : “Power line Communication Degradation caused by Surge Protective Devices” 紀要 職業訓練大学 Polytechnic University, 2009
- [3-4] Kenji Takato, Hitoshi Kijima, Hiroshi Iwao : “Transmission degradation in the frequency and of Power Line Communication caused by Resonant circuit consisting of surge protective devices” 12th WSEAS International Conference on COMMUNICATIONS held in Herakilion, Greece, pp300-305 (2008)(ISBN:978-960-6766-84-8)
- [3-5] Hitoshi Kijima, Kenji Takato, Hiroshi Iwao : “Influence on Transmission characteristics of power line communication when using surge protective device, WSEAS, ELECTROSCIENCE’07 held in Tenerife, Dec.2007(ISBN978-960-6766-24-4)
- [3-6] Hiroshi Iwao, Hitoshi Kijima, Kenji Takato : An influence on Transmission characteristics of power line communication when using surge protective device, IEEE ISPLC2008 held in Jeju
- [3-7] Kenji Takato: “Power-line communication technology for Home-network application” Fujitsu access review 2007-1, pp31-38 (2007)
- [3-8] 高遠健司, 関 孝一, 新井俊彦 ”電力線通信でのケーブルの被覆による影響検討” IEEJ Trans.EIS, Vol.127, No.7, pp1007-10012 (2007)
- [3-9] IEC 61643-1, Surge protective devices connected to low-voltage power distribution systems-Performance requirements and testing methods, 2005
- [3-10] IEC61643-12, Surge protective devices connected to low-voltage power distribution systems-Selection and application principles, 2004
- [3-11] Hitoshi Kijima, Kenji Takato, Kazuo Murakawa, ” Lightning Surge Response Improvement by Combinations of Varistors and Gas Discharge Tubes” INTELLIGENT CONTROL, MODELLING and SYSTEMS ENGINEERING (ICMS '14) Cambridge, MA, USA January 29-31, 2014
- [3-12] Hitoshi Kijima, “ Overvoltage protective device and method ” USA patent No.7764481, 2010

第四章：放送システム用の低遅延で高性能の AD/DA コンバータ

4.1 まえがき

本章では研究目的 1.2(3)で示した「遅延時間と AD/DA コンバータ」に関し、市販 AD/DA 変換 LSI を一種の変換器として使用し、市販の IC 単体では実現できない性能を実現する手段を以下の手順で検討する。

- ①市販 AD/DA 変換 LSI の周波数特性の問題（遮断特性とエイリエイシング問題）
- ②市販 AD/DA 変換 LSI の遅延時間の問題（規格の 2.2 倍の遅れ）
- ③新開発 AD/DA 変換回路の構成（オーバサンプリング）
- ④IIR フィルタの設計と安定性（倍精度の楕円フィルタとオーバフロー検出回路）
- ⑤実験確認と実現特性

放送用の基幹系で使用する AD/DA 変換則は ITU-T の J.41 勧告に準拠した 11bit で 32kHz (384kbps)の信号である。低ノイズ、広ダイナミックレンジ等の一般的な高品質特性の他に、次の二つの開発課題があった。

第一に Gain-周波数特性は理想的なものが必要で、帯域内(15kHz 以下)は極めて平坦であること、帯域外（16kHz 以上）の減衰特性が 100dB 以上であること。また音色を変えるような不要信号（折返し信号）を一切発生しないこと。

第二に放送では時報や複数の放送局間で出演者が生中継で会話する番組があり、遅延時間が問題になる。デジタル網自体の遅延は容易に削減出来ないため新開発の BSU の AD/DA 変換では遅延量が最小(1msec 以下)であること。

最近の市販 AD/DA 変換 LSI は非常に高性能であるが、上記の課題を LSI 単体で同時に満足するものは無かった。本章ではその解決手段として、AD/DA 変換 LSI をオーバサンプリング動作させ、FPGA 上で専用に設計した楕円 IIR デジタルフィルタとの二段構成の回路を開発した。そして IIR フィルタの安定性を確認した手法について述べる。

4.2 市販の AD/DA 変換 LSI の伝送特性と遅延

4.2.1 最近の AD/DA 変換 LSI の周波数特性の問題

従来の AD/DA 変換 LSI は分解能が 12bit 程度であったが、最近の高性能オーディオ用 AD/DA 変換 LSI は $\Delta\Sigma$ 方式(あるいは $\Sigma\Delta$ 方式)により、出力は 24bit が一般的である。ただし測定した実力は 18bit 程度であるが、1bit を 6dB で換算すると 108dB の広いダイナミックレンジを持つことが分かる。図 4-1 はこのような市販の高性能オーディオ用ステレオ AD 変換 LSI をサンプリング周波数 32kHz で動作させた場合の Gain-周波数特性である。通過帯域は完全にフラット (± 0.01 dB) で阻止域の減衰量は 100dB を超えている。 $\Delta\Sigma$ 方式 AD 変換器の入力部分は数 MHz の高速で動作し、入力されたアナログ信号が以前の状態より増加か

減少かを判定する 1bit のコンパレータである。その 1 bit の信号列をデシメーション(信号の間引き)フィルタとデジタルフィルタ (LPF) により処理し、高い分解能の信号に変換している。そして通過帯域の周波数平坦性や、阻止領域の減衰特性等の殆どは AD 変換 LSI に内蔵されたデジタルフィルタの特性によって決まる。ところが、この高性能 AD 変換 LSI の特性でも放送向けの専用線システムの特性としては問題がある。図 4-1 で明らかなように 32kHz の 1/2 (ナイキスト周波数)の 16kHz における減衰特性は僅か 7dB 程度である。ここで提示した以外の多くの市販 AD 変換 LSI も同様の特性であり、ナイキスト周波数での減衰レベルが不足している。その結果、図 4-2(a)に示すような不要な折返し信号スペクトルが発生することが実験で確認された。15kHz の信号を入力した時に 17kHz に折返しスペクトルが見られる。図 4-2(b)では帯域外の 17kHz,18kHz を入力した時に 15kHz、14kHz にそれぞれ大きな折返し信号スペクトルが発生している。即ちナイキスト周波数を境にして帯域内の信号は帯域外に、帯域外の信号は帯域内に折り返すエイリアシングが発生していることになる。図 4-1 の特性は 18kHz を入力している時には、18kHz のスペクトルのみ検出していると思われ、100dB 以上の損失があるように表示されているが、実際は 14kHz に-40dB 程度のノイズが発生している。不要なスペクトルの発生は、不要な音色を付けることであり、放送向けの基幹システムとしては全く不適である。

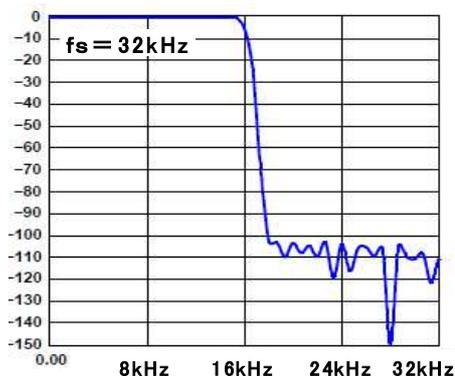
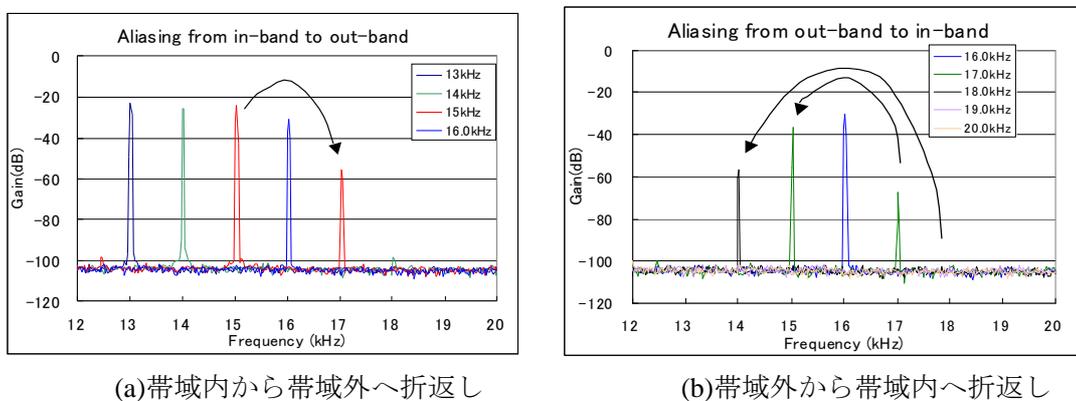


図 4-1 市販 Σ AD 変換 LSI の Gain 周波数特性



(a)帯域内から帯域外へ折返し

(b)帯域外から帯域内へ折返し

図 4-2 ナイキスト周波数(16kHz)をはさんだ折返し雑音.

4.2.2 遅延時間の問題

最近の市販 AD/DA 変換 LSI の一部はサンプリング周波数が可変に出来る。 但し遅延時間はサンプリング周波数に依存して決まる。 図 4-3 に AD/DA 変換 LSI を対向して接続し、サンプリング周波数を変化した場合の遅延特性の実測値を示す。 縦軸は遅延時間であり、通過帯域においてのみ遅延時間が表示されている。 32kHz の時は帯域が約 16kHz で遅延が 2.2msec、64kHz の場合に遅延は半減し 1.1msec、128kHz の場合は更に半分以下になり遅延は 0.4msec 程度である。 サンプリング周波数が 32kHz のままでは 2.2msec の遅延が AD/DA 変換部だけで発生してしまう。 一般に $\Delta\Sigma$ 方式では高性能になるにつれてデジタルフィルタの規模が大きくなるため、遅延時間が増加する傾向がある。 即ち高性能な周波数特性と遅延時間は相反する。

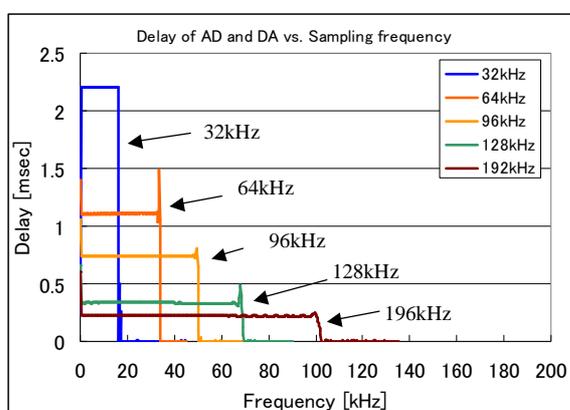


図 4-3 $\Delta\Sigma$ AD/DA 変換 LSI の遅延 vs 帯域幅
(サンプリング周波数 32k~192kHz)

4.3 新開発 AD/DA コンバータの構成

4.3.1 ブロック図と動作説明

本章で開発した構成では、遅延時間の問題と周波数特性に起因する折返しの発生を根本的に抑える手法として、市販の AD 変換 LSI をオーバサンプリングで動作させ LPF のカットオフ周波数をナイキスト周波数から大幅に離すように設定する。 例えば 4 倍のオーバサンプリング周波数として 128kHz を設定すると、遅延時間は $1/4$ 以下となり帯域は 64kHz になる。 折り返しは 32kHz 付近で発生するが、16kHz 付近では発生しない。 ただし 64kHz の帯域のまま 32kHz の周期で出力が出来ないため、AD 変換 LSI とは別に高性能のデジタルフィルタを FPGA で専用に設計し 15kHz の帯域に制限する二段の構成とした。

図 4-4 に本論で開発した装置のブロック図を示す。 AD 側ではアナログ入力 AIN がトランスを経由した 600 Ω 終端で低ノイズの入力回路であり、 $\Delta\Sigma$ AD コンバータの入力段の動作周波数 8MHz に対応するアンチエイリアシングフィルタを構成する。 $\Delta\Sigma$ AD コンバータはサンプリング周波数が 8MHz の $\Delta\Sigma$ モジュレータと 32kHz の 4 倍のオーバサンプリング周波数 128kHz で動作するデジタルフィルタで構成され、24bit のリニア PCM データを出力

する。FPGA の DSP マクロ (乗算器) を使い、同じく 128kHz で動作のデジタルフィルタ (LPF) を構成し、ここで 16kHz 以上の周波数で 100dB 以上の損失を与える二段の LPF を実現した。次にデジメーションフィルタにより 24bit のデータを 4 回に 1 回の割合で間引きして周期を 32kHz とし、上位 14bit のみを出力する。最後に ITU-T の J.41 に従った A-Law 則により 11bit に圧縮して DOUT からデジタル出力 (光) する。DA 側は AD 側と逆の変換が行われ、DIN のデジタル入力、まず J.41 の伸長回路により 14bit のリニア PCM に伸長され、次にインターポーレーションフィルタで 32kHz のデータの間にはゼロを挿入することで 128kHz に変換される。このデータは次段のデジタルフィルタ (LPF) を通ることで、ゼロの部分も信号が補間され 128kHz 周期の PCM データとなる。デジタルフィルタの入力は 14bit であるが、DSP 演算 (乗算) の過程で bit 数が増えるので上位 24bit が DA 変換 LSI に送られる。DA 変換 LSI では 128kHz でアナログ信号に変換する。DA 変換 LSI の出力部は AD 側と同様に 8MHz の高速で動作するので 8MHz の高周波成分が重畳している。ポストフィルタによりこの高周波成分は除去され、トランスを介し AOUT に出力する。

図 4-5 は図 4-4 の AD 側の動作状態を説明する図である。左側に AD 側のブロック図に相当するブロックが記載され、中央にアナログ信号をサンプリングしたイメージ図、右側はそれぞれのスペクトルを示す。中央一番上の波形は、アナログ信号を $\Delta\Sigma$ モジュレータが 8MHz でオーバサンプリングしているイメージ図である。この時のスペクトルは右側一番上にあるように、音声帯域 (約 20kHz) のスペクトルが 8MHz の両側にも発生している。中央 2 段目は 128kHz で AD 変換された図を示し、右側 2 段目のように、スペクトルは 64kHz を超えて 70kHz 程度まで広がってしまう。中央の 3 段目は見かけ上変わらないが FPGA のデジタルフィルタが動作した後の図であり、右側 3 段目のように、帯域を 15kHz に厳密に制限している。中央の最下位がデシメーションを行ったイメージ図であり、デジタル信号のサンプル数は 1/4 と少なくなり 32kHz になっている。右側の一番下が 32kHz の DOUT 出力のスペクトルであり、32kHz 毎に $\pm 15\text{kHz}$ のスペクトルが見られる。以上のように 128kHz 動作のデジタルフィルタによって 15kHz の LPF を構成することで 16kHz では 100dB の減衰を与えることが出来、16kHz のナイキスト周波数近辺の折返し問題を対処した。最終的に 32kHz で出力する場合に、スペクトル同士の重なる部分が無くなっているのがポイントである。デジタルフィルタの帯域制限が急峻でスペクトルが重なる部分が発生しないため、図 4-2 で示した折返しスペクトルは発生しなくなる。

DA 側の動作図は省略するが、AD 側と逆の動きをし、デシメーションの部分がインターポーレーションに変わる。デジタルフィルタは 15kHz までが通過帯域で 16kHz 以上では 100dB の減衰を与える AD 側と同じ特性である。

図 4-6 はデジタルフィルタの周波数特性 (設計値) を示す。15kHz までが通過帯域で 16kHz において 100dB の減衰特性をもたせてある。15kHz と 16kHz の間で 100dB 減衰する量は 1500dB/Oct という極めて急峻なものである。図 4-7 が本構成による 16kHz 周辺のスペクトルの測定結果であり図 4-2 と比較し明らかに折返しが発生していない。

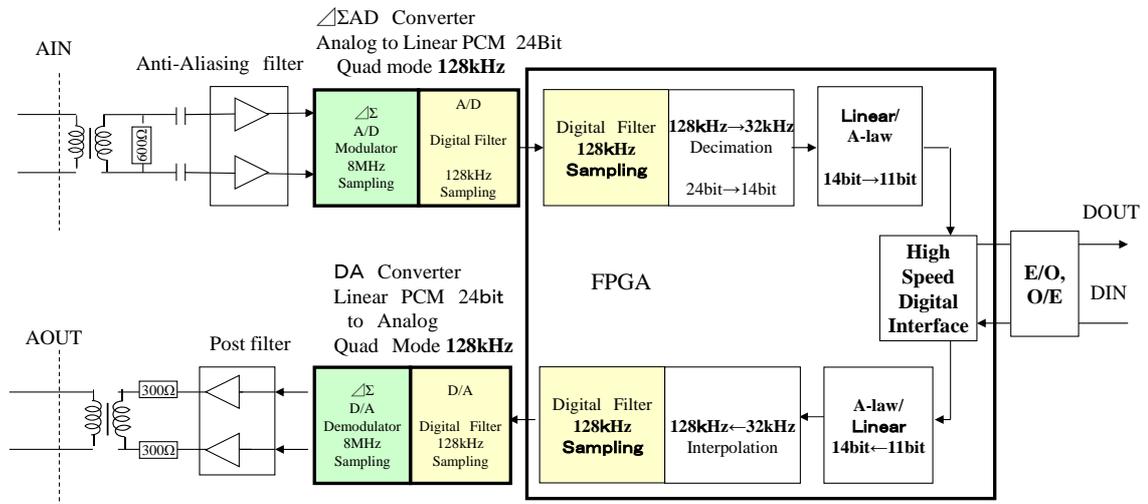


図 4-4 AD/DA コンバータのブロック図； AD/DA 変換 LSI と FPGA 内蔵の DSP で設計した高性能 LPF は 4 倍オーバーサンプリングで動作

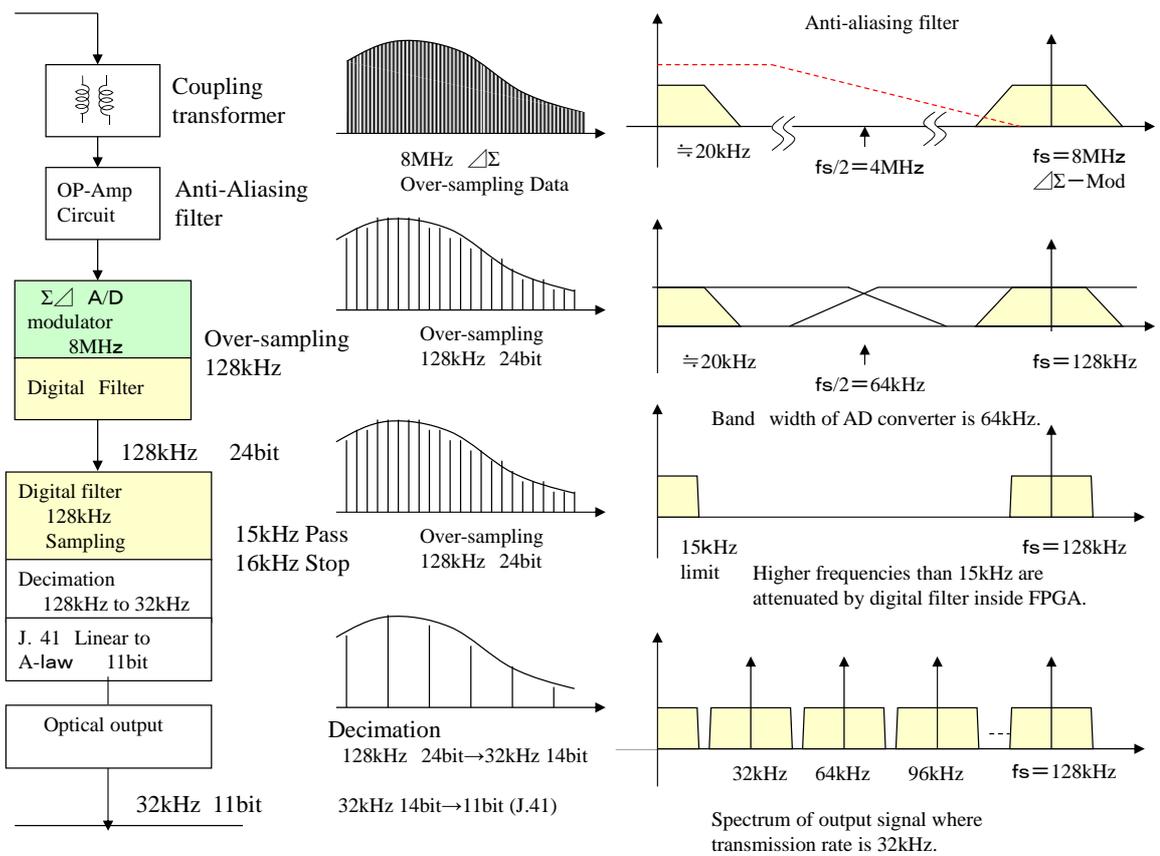


図 4-5 AD 変換器の信号イメージとスペクトル

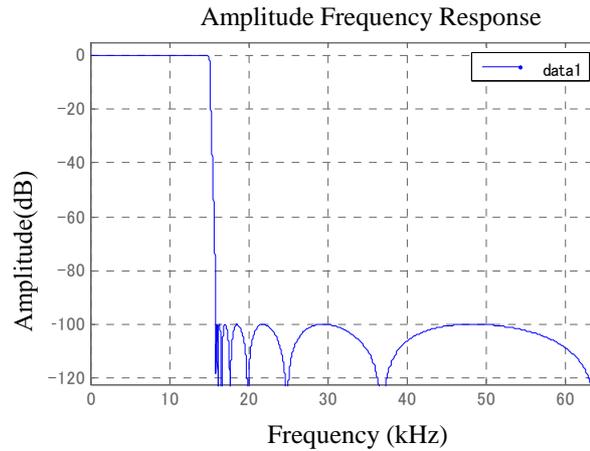
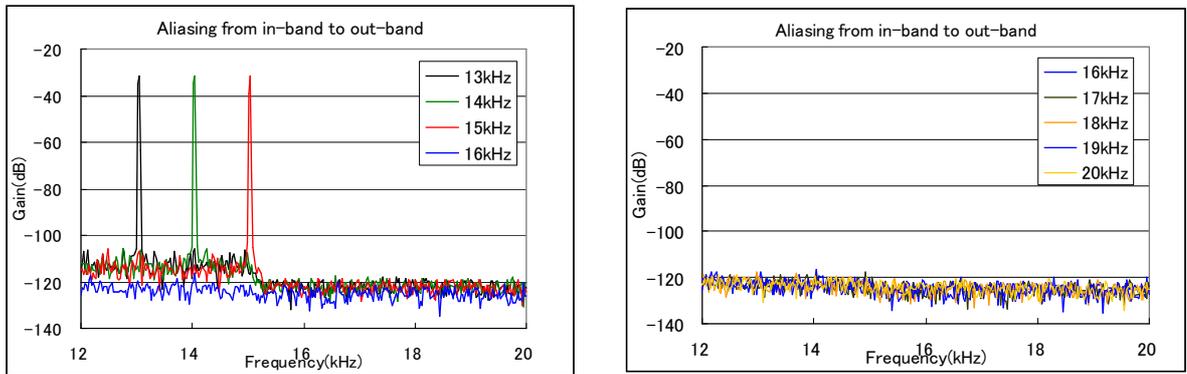


図 4-6 設計した LPF の Gain—周波数特性



(a)帯域内から帯域外へ折返し

(b)帯域外から帯域内へ折返し

図 4-7 設計した LPF のナイキスト周波数(16kHz)をはさんだ折返し雑音

4.4 IIR フィルタの設計と安定性

4.4.1 理論確認

MATLAB による計算結果は図 4-8 に示す Biquad フィルタを 8 段直列にした構成であり、減衰特性・位相特性等の各種の特性を図示したものと、フィルタ係数が示された。Biquad フィルタは、FIR 構成のフィードフォワードの部分とフィードバックのある IIR 構成がそれぞれ 2 段の遅延要素 z^{-1} で構成されているシンプルな構成である。8 段直列の構成であるから、それぞれのフィルタが安定であれば、全体での特性も安定であると考えられる。本章では各フィルタの係数から周波数特性、極とゼロ点の配置、インパルス応答を計算し、安定性を確認する方法を示す。

4.4.2 周波数特性

4-(1)式に図4-8の回路係数 k, a_1, a_2, b_1 の4つの係数を入れることで各BiquadフィルタのZ平面上の周波数特性が得られる。実際のGain周波数特性を計算するには、4-(2)式を4-(1)式に代入し4-(3)式を得る。この式は複素数であるので、絶対値をとり4-(4)式が実際のGain周波数特性[4-10]である。図4-9に計算結果を示す。8個のBiquadフィルタそれぞれが計算され、それを加算したものがTotalの周波数特性であり、16kHz以上ではGainは-100dB以下となる。各々のBiquadフィルタの周波数特性は山と谷を持っており、特に遮断周波数の15kHz~16kHzにかけて山と谷の変化が多く見られる。

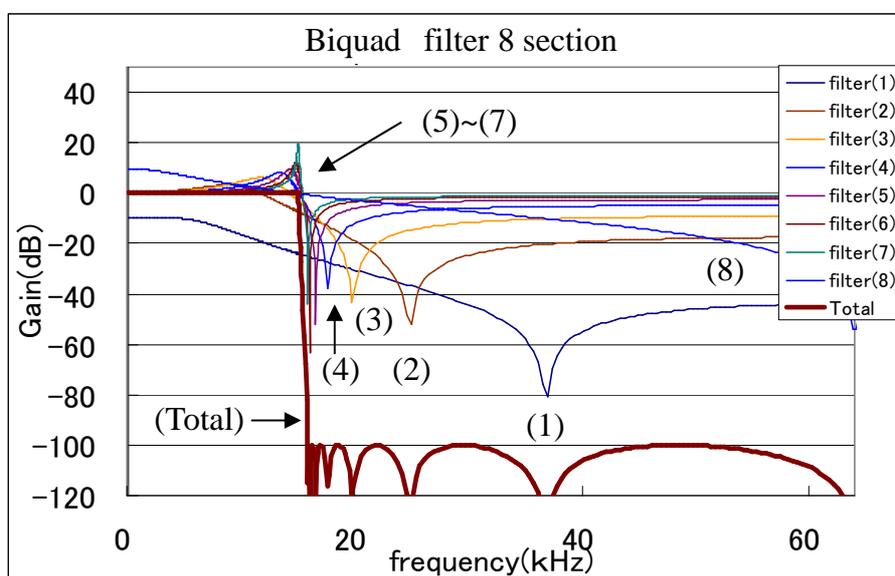


図4-9 各Biquadフィルタと8段トータルでのGain-周波数特性

4.4.3 Z平面上の極とゼロ点

フィルタの安定性を確認する手段としては、Z平面上で極とゼロ点の配置で確認する方法が公知[4-10]である。4-(5)式は4-(1)式を変換したものであり、ゼロ点は分子の β_1 と β_2 、極は分母の a_1 と a_2 でどれも複素数である。図4-10に計算結果をプロットした。ゼロ点は単位円上にあり、各Biquadフィルタはそれぞれ遮断領域周波数において減衰の最大値を与えていることが確認できる。IIRフィルタの安定性で重要なのは極(pole)の位置であり、極が単位円の内側であることが安定条件である。計算結果は、遮断周波数に最も近いFilter(7)が単位円に一番近接しており、単位円の中にあることで安定ではあるもの注意が必要であることが分かる。図4-9の周波数特性でもFilter(7)は15kHz付近で約20dBのGainのピークを与えている。

$$\begin{aligned}
 H(z) &= k \frac{1 + b_1 Z^{-1} + Z^{-2}}{1 + a_1 Z^{-1} + a_2 Z^{-2}} \\
 &= k \frac{Z^2 + b_1 Z + 1}{Z^2 + a_1 Z + a_2} \\
 &= k \frac{(Z - \beta_1)(Z - \beta_2)}{(Z - \alpha_1)(Z - \alpha_2)} \quad \text{----- 4-(5)}
 \end{aligned}$$

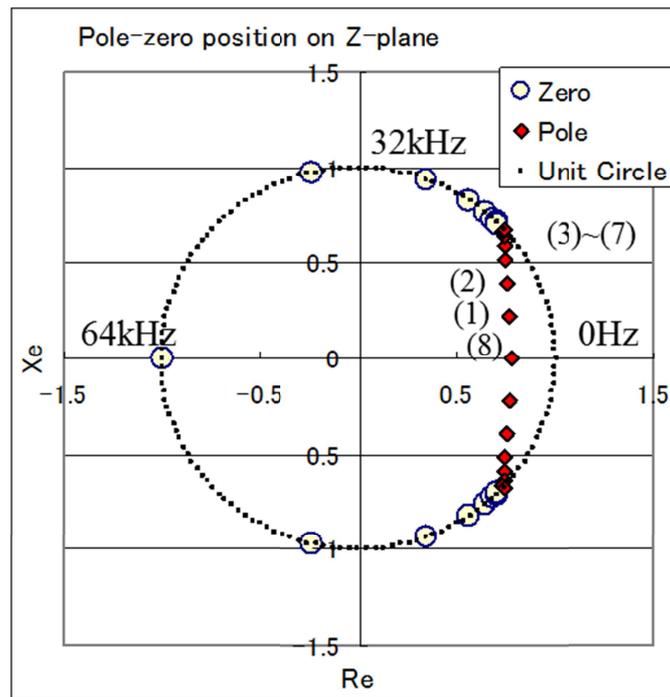


図 4-10 8 個の Biquad フィルタそれぞれの極とゼロ点

4.4.4 インパルス応答

安定性を確認する方法としてインパルス応答の収束状態を確認する方法がある。デジタルフィルタの特徴は Z 変換の式と回路図が直接的に結びついており、インパルス応答の計算も非常に簡単に計算できる。表 4-1 はこの計算を一般の表計算ソフトエクセル上で行った一例であり、縦方向（行）が時間である。図 4-8 の Biquad フィルタ構成において、 $k=1$ として入力信号 V_{in} にインパルスである 1 を一回だけ (0msec の点) 入力し、その信号を Z^{-1} で 1 クロック分遅延させたものを V_1 、2 クロック遅延させたものを V_2 とする。

V_2 は V_1 を、 V_3 は V_2 を次の行(時間)にコピーしている。 V_2 と V_3 をそれぞれ a_1 倍、 a_2 倍、 b_1 倍、 b_2 倍したものが $a_1 Z^{-1}$ 、 $a_2 Z^{-2}$ 、 $b_1 Z^{-1}$ 、 $b_2 Z^{-2}$ であり、 V_1 と V_0 は表の計算式による。これを次々に繰り返すことでインパルス応答が簡単に計算できる。図 4-11 にそれぞれの

Biquad フィルタのインパルス応答がグラフ化されている。収束時間はFilter(8)が一番長いが、振幅は小さい。 Total は8段縦列に接続した LPF 全体のインパルス応答特性である。このグラフは Filter(1)のインパルス応答出力を、Filter(2)の入力式に入力し、Filter(2)の出力をFilter(3)の入力にという様に次々と表計算上で計算することで求めた。 Total の特性は MATLAB のデータと一致しインパルス応答も安定であり、時定数が 0.2msec 以内で収束することが確認された。それぞれの Biquad フィルタのインパルス応答を評価することで、より確実な安定性の評価が可能となる。

表 4-1 表計算ソフトによるインパルス応答の計算例

$$V_1 = V_{in} + a_1 z^{-1} + a_2 z^{-2}$$

$$V_o = V_1 + b_1 z^{-1} + b_2 z^{-2}$$

N	msec	Filter 1									
		Vin	V1	V2	V3	a1 Z-1	a2 Z-2	b1 Z-1	b2 Z-2	Vo	Vo*k
-6	-0.04688	0	0								
-5	-0.03906	0	0								
-4	-0.03125	0	0								
-3	-0.02344	0	0	0							
-2	-0.01563	0	0	0	0						
-1	-0.00781	0	0	0	0						
0	0	1	1.0000	0	0	0	0	0	0	1.0000	0.013176
1	0.007813	0	1.5349	1.0000	0	1.5349	0.0000	0.4721	0.0000	2.0070	0.026444
2	0.015625	0	1.7203	1.5349	1.0000	2.3559	-0.6356	0.7246	1.0000	3.4449	0.04539
3	0.023438	0	1.6650	1.7203	1.5349	2.6405	-0.9755	0.8121	1.5349	4.0120	0.052862
4	0.03125	0	1.4622	1.6650	1.7203	2.5556	-1.0934	0.7860	1.7203	3.9686	0.05229
5	0.039063	0	1.1862	1.4622	1.6650	2.2444	-1.0582	0.6903	1.6650	3.5415	0.046663
6	0.046875	0	0.8913	1.1862	1.4622	1.8207	-0.9293	0.5600	1.4622	2.9135	0.038389
7	0.054688	0	0.6142	0.8913	1.1862	1.3681	-0.7539	0.4208	1.1862	2.2212	0.029266
8	0.0625	0	0.3763	0.6142	0.8913	0.9427	-0.5665	0.2900	0.8913	1.5575	0.020522

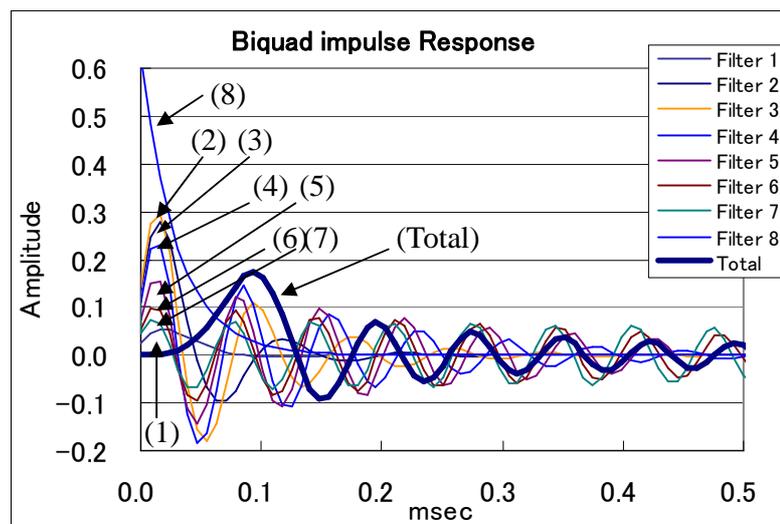


図 4-11 各 Biquad フィルタと 8 段トータルでのインパルス応答

4.4.5 実験確認

z 平面上の単位円による判定とインパルス応答の結果で安定性は確認された。ただし 15kHz 付近で Gain が 0dB (1 倍) 以上になるフィルタがあることから、入力信号によっては演算時にオーバーフロー等を起こす可能性がある。そこで各 Biquad フィルタの回路ブロックには、オーバーフローを起こした場合に異常 bit が立つ回路を付与した。その上でオーバーフローを起こす可能性のある 15kHz の周波数を中心に、最大レベルの信号、最大レベルを超える信号、複数の入力信号の同時入力、瞬間的なサージ入力など最悪に近い状態の信号を入力し、実験的にどの Biquad フィルタからも異常 Bit が立たないことを確認した。以上により理論的にも実験的にも今回設計した IIR フィルタは安定であることが確認された。表 4-2 に装置全体での AD/DA を経由した特性を示す。高い遮断特性と低遅延という二つの課題はそれぞれ対策されエイリアシングを発生しない高性能の AD/DA コンバータが実現した。

表 4-2 市販の AD/DA 変換 LSI だけの場合と今回設計したオーバーサンプリング AD/DA コンバータの特性比較

	Normal Sampling AD and DA LSIs only	Over Sampling AD and DA LSIs with Custom Digital Filters	Requirement
Loss at 16kHz	-7dB	<-100dB	<-100dB
Aliasing around 16kHz	Exists	None	None
Delay at 1kHz	2.2msec	0.84msec	<1msec
Idle Channel Noise	-72dBm	-95dBm	<-60dBm

4.5 まとめ

AM・FM 放送向けの一般共通線システムとして ITU-T 勧告 J.41 に準拠した 384kbps の高品質伝送システムの AD/DA 変換装置を開発した。システムの伝送レートが 32kHz でナイキスト周波数が 16kHz において帯域 15kHz の理想的な LPF を最小の遅延時間で実現することは、市販の AD/DA 変換 LSI 単独では不可能であった。そこで AD/DA 変換 LSI をオーバーサンプリングで動作させ、別に IIR フィルタを専用に設計し縦列接続する構成で対策する回路を実現した。フィードバック要素のある IIR フィルタは安定性が問題になるので FIR フィルタほど一般に使用されていない。IIR フィルタは複数の Biquad フィルタを直列接続したので、各々の Biquad フィルタの安定性を確認すれば全体の安定性はより確実に確認できる。周波数特性・z 平面上の極とゼロの配置、インパルス応答というそれぞれ伝統的な安定性の確認手段を Biquad フィルタ毎それぞれに適用することで理論的な安定性を確認した。また各 Biquad フィルタには演算時のオーバーフローが発生した場合に、異常 bit が立つ回路を盛り込み、実験的に安定性を確認した。遅延時間はオーバーサンプリングにより 1/4 以下になり、IIR フィルタの採用により低遅延で高性能な AD/DA コンバータを実現出来た。最近の市販の AD/DA 変換 LSI は優れた特性を持つものが多いが、全てのアプリケーション・要求性能に対応できるものではない。そのような場合にゼロから AD/DA コンバータ全てを開発するので無く、AD/DA 変換 LSI を部品の一部と考え、不足部分を補う形での開発という形態が今後更に重要なものになると考える。

本章では伝送路での遅延を最小限にするという要求から、AD/DA 変換 LSI をオーバーサンプリングによる時間処理を高速化することと、15kHz から 16kHz の間で 100dB 減衰させる非常に急峻な LPF を IIR フィルタで設計することにより実現した。IIR フィルタは LPF を構成するのであれば簡単な構成で応答時間も速く実現できる。IIR フィルタも FIR フィルタも AD 変換された後のデータを処理するのに、すべて演算であるのでバラツキが全く無い。つまり抵抗やコンデンサ、オペアンプ等を利用したアナログの回路のような部品バラツキが一切無いという特徴がある。この特徴を使って特徴のあるデジタル信号処理回路が実現できる。第五章では、逆フィルタに関して、FIR フィルタの特徴を利用した新アルゴリズムの回路の研究について述べる。

参 考 文 献

- [4-1] Sangil Park: “Principle of Sigma-Delta Modulation for Analog-to-Digital Converters”, MOTROLA, APR8/D Rev.1
- [4-2] Andreas Antonion: “DIGITAL FILTERS”, ISBN0-07-002121-x
- [4-3] Kishan Shenoy: “DIGITAL SIGNAL PROCESSING IN TELECOMMUNICATION”, ISBN0-13-096751-3
- [4-4] 西村芳一: 「SRISC CPU(SH2)で実現する DSP 処理のノウハウ」, ISBN4-7898-3352-6 .
- [4-5] 貴家仁志: 「マルチレート信号処理」, ISBN4-7856-2012-9
- [4-6] 岩田利王: 「実践デジタルフィルタ設計入門」, ISBN4-7898-3400-X .
- [4-7] 中島平太郎: 「図解デジタルオーディオ読本」, ISBN4-274-03375-9
- [4-8] 岩田利王: 「実践デジタルフィルタ設計入門」, ISBN4-7898-3400-X .
- [4-9] 池原雅章、島村徹也: 「MATLAB マルチメディア信号処理」, ISBN4-56306-7350
- [4-10] 三上直樹: 「はじめて学ぶデジタルフィルタと高速フーリエ変換」, ISBN4-7898-3088-8
- [4-11] 三谷政昭: 「Scilab で学ぶデジタル信号処理」, ISBN4-7898-3092-6

第五章：逐次係数設定方式の FIR 逆フィルタ

5.1 まえがき

本章では研究目的 1.2(4)で示した、「既存の逆フィルタの問題」に対して、逐次設定方式で逆フィルタを実現する手段を以下の手順で検討する。

- ①従来の逆フィルタの設計方法
- ②逐次設定の FIR 逆フィルタ（アルゴリズム、シミュレーション）
- ③VHDL シミュレーション（ビヘイビアモデル、タイムチャート）

一般に伝送路にインパルスを入力し、受信側でそのインパルス応答を検出することで、伝送路の特性を測定し、その逆特性（逆フィルタの係数）を計算できる。但し前述の方法では、インパルス応答の全データを受信し、その全てを利用して IIR フィルタ係数として利用、あるいは FFT/IFFT 計算することが必要であった。本章では FIR フィルタの回路構成がその動作クロックに従い逐次的に動作することに着目し、インパルス応答のデータを入力している最中に、応答データの入力順に逆フィルタとして期待される値との関係を逐次計算することで、逆フィルタ係数をリアルタイムに計算する新しいアルゴリズムを提案している。従来の方法に比べ、安定性に優れ、計算量が少なく、係数計算が短時間という優位性を有する。

5.2 従来の逆フィルタの設計方法

5.2.1 逆フィルタの一般要求

どのような信号も伝送路や環境により影響を受ける。音響装置・メタル伝送路・光伝送路・無線の伝搬経路等で、信号の減衰は周波数により異なり、一般には高周波数域の減衰量が大きい。また反射やマルチパスによりエコーが発生しノイズも印加される。これら伝送路での影響を補償するのが逆フィルタ[5-1]である。一般に伝送路の Gain-周波数特性と逆の特性を持つ逆フィルタが要求される。

5.2.2 FIRフィルタによる伝送路の擬似

伝送路の特性をデジタルフィルタで擬似することは容易である。伝送路にインパルスを入力すると伝送路の出力では伝送路の周波数特性により影響を受けた波形となる。この波形を十分に高速なAD変換で出力とすると、いわゆる離散的なインパルス応答 $a_0, a_1, a_2 \dots a_N$ が得られる。それら $a_0, a_1, a_2 \dots a_N$ を FIR フィルタの係数に入れることで、伝送路の特性が擬似できる。図 5.1 は FIR フィルタの回路で伝達関数は 5-(1)式で表わされる。なお伝送路の擬似は FIR フィルタが簡単であるが、同じインパルス応答を実現するのであれば IIR フィルタでも可能である。

$$H(z) = a_0 + a_1 Z^{-1} + a_2 Z^{-2} + \dots + a_N Z^{-N} \quad \text{-----} \quad 5-(1)$$

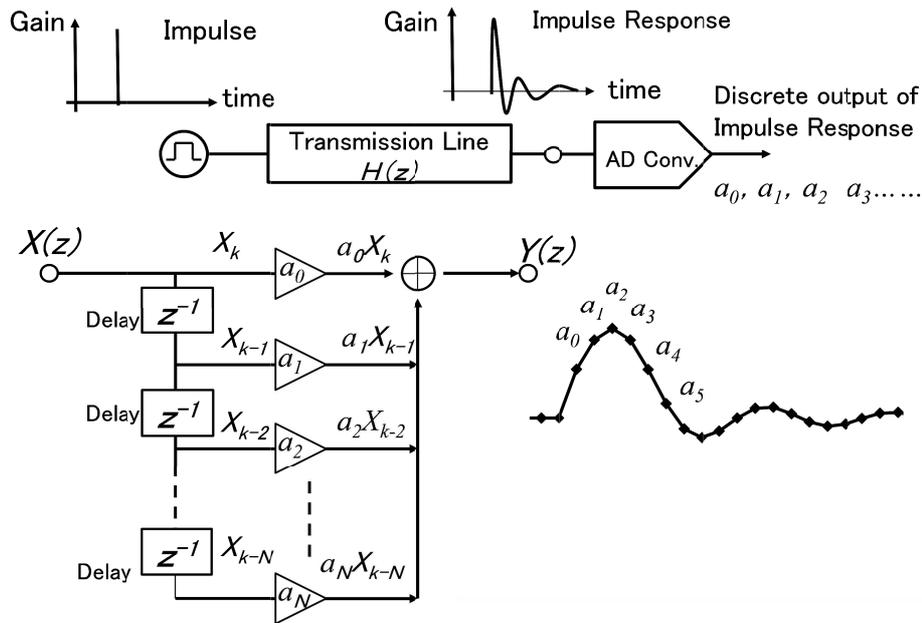


図 5-1 FIR フィルタによる伝送路のモデル化

5.2.3 IIRフィルタによる方法

逆フィルタの要求条件は、伝達関数を $G(z)$ とすれば $H(z)G(z)=1$ となれば良い。フィードバック回路でのみ構成された IIR フィルタの伝達関数は 5-(2)式である。

$$G(z) = 1 / (1/b_0 + b_1 Z^{-1} + b_2 Z^{-2} + \dots + b_M Z^{-M}) \quad \text{-----} \quad 5-(2)$$

従って、 $a_0 = 1/b_0$, $a_1 = b_1$, $a_2 = b_2$, $a_N = b_M$, $N=M$ が成立てば逆フィルタを構成できる。すなわちインパルス応答の係数をそのまま IIR フィルタの係数にする手法[5-2]がある。

図 5-2 は FIR フィルタで擬似された伝送路を IIR フィルタによる逆フィルタで等化した例である。この方法は単純であるが IIR フィルタの安定性が確保できるかの課題がある。伝送路の周波数特性で出力レベルが非常に小さくなる領域（零点）があると、その部分の逆フィルタ出力は非常に大きく（無限大）なる。この IIR フィルタによる方法は理論的には極めて単純明快であるが、ゼロ点対策が困難である等の理由で実用的では無い。

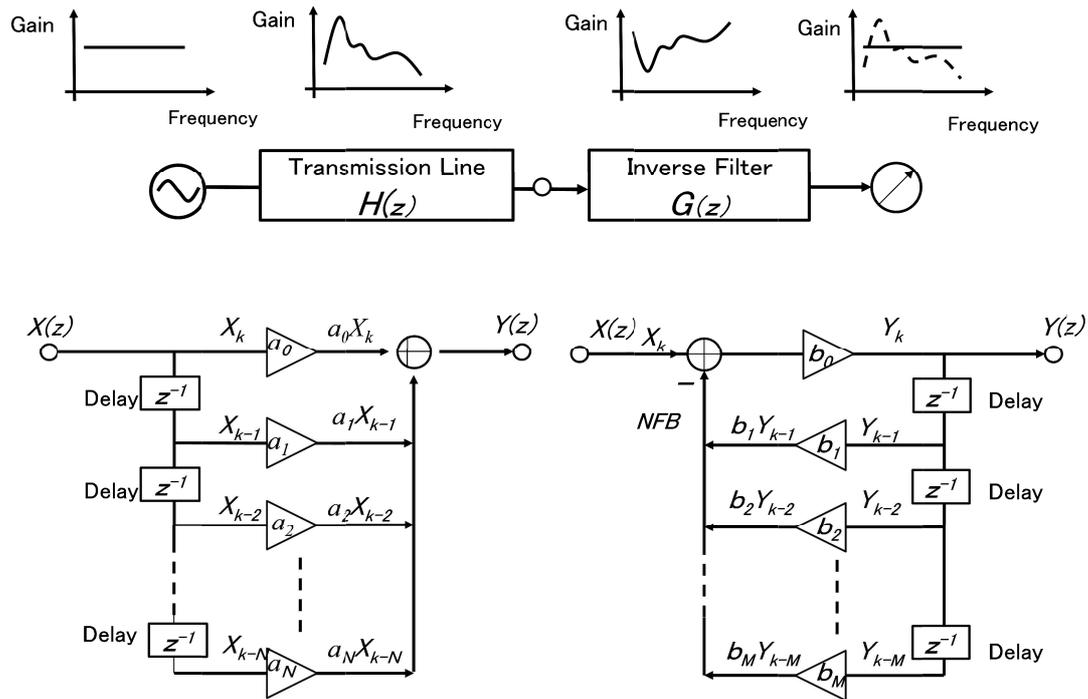


図 5-2 IIR フィルタによる逆フィルタ

5.2.4 FFT/IFFTによる方法

実用的な方法としては、まずインパルス応答をFFTによりGain-周波数特性に変換する。次に逆のGain-周波数特性を計算する。この時、伝送路の特性が零点で、逆周波数特性が極大になるような特性は、逆周波数特性の最大レベルを制限することで防止できる。そのようにして求められたGain-周波数特性をIFFTすることで逆インパルス応答 $g_0, g_1, g_2, \dots, g_N$ を計算する。逆インパルス応答値 $g_0, g_1, g_2, \dots, g_N$ を、FIR フィルタの係数に入れることで実用的な逆フィルタが実現する[5-3]。この方式は安全で実用的であるが、FFT/IFFT の両方が必要で演算量が多いのが欠点である。(図 5-3 参照)

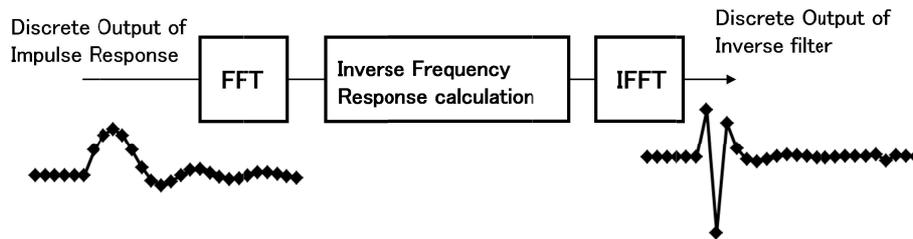


図 5-3 FFT/IFFT による逆フィルタ

5.2.5 アダプティブフィルタによる方法

FIR フィルタの係数を適応的に求める手法では、フィルタ係数を徐々に変化させて、より逆フィルタに近い特性を求めるもの(図 5-4 参照)があり多くの研究[5-4]~[5-6]がなされている。徐々に特性を向上させるため、特定のトレーニング信号でない実信号で適応させるなどメリットが多い。但しこの方法は実現するアルゴリズムにより複雑な制御が必要で、収束するまでに時間がかかる欠点がある。また収束した係数が最適なもので無いことも考えられる。アルゴリズムの関係で、最適でない中間地点に収束する可能性もある。

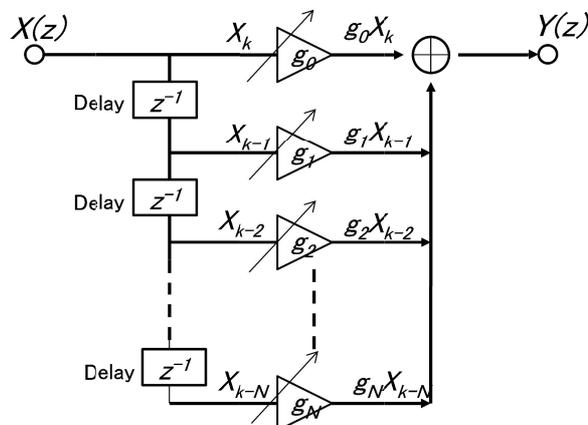


図 5-4 適応型逆フィルタ

5.3 逐次係数設定の FIR 逆フィルタ

5.3.1 逐次係数設定の原理

インパルス応答から逆フィルタの係数を一回の計算処理でリアルタイムに求めるのが本提案である。一回の入力信号で係数を求めるのは 5.2.3 の IIR フィルタによるものと同じであるが、本提案は安定化が可能な FIR フィルタによるものである。

伝送路のインパルス応答の離散値 $X_0, X_1, X_2, X_3, X_4, \dots, X_N$ があり、それに対する理想的な逆 FIR フィルタの係数を $g_0, g_1, g_2, g_3, g_4, \dots, g_N$ とする。逆フィルタが出力すべき離散値は一番初めの値のみ 1 で他は全てゼロのインパルスである。その動作を数式で表現すると以下の(3)式が成り立つ。

$$\begin{aligned}
 g_0 X_0 &= 1 \\
 g_0 X_1 + g_1 X_0 &= 0 \\
 g_0 X_2 + g_1 X_1 + g_2 X_0 &= 0 \\
 g_0 X_3 + g_1 X_2 + g_2 X_1 + g_3 X_0 &= 0 \\
 g_0 X_4 + g_1 X_3 + g_2 X_2 + g_3 X_1 + g_4 X_0 &= 0 \\
 &\dots\dots\dots \\
 g_0 X_N + g_1 X_{N-1} + g_2 X_{N-2} + g_3 X_{N-3} + g_4 X_{N-4} + \dots\dots + g_N X_0 &= 0
 \end{aligned}
 \tag{5-3}$$

この式は N+1 次の方程式であり、 $g_0, g_1, g_2, \dots, g_N$ は演算により求まるが計算量は膨大になる。ここで 5-(3)式の各行は、FIR フィルタのクロックにより時系列的に並んでいることに着目する。そして 5-(3)式を次の 5-(4)式に書き直す。これら $W_1, W_2, W_3, \dots, W_N$ は(3)式の左辺の X_0 と g_N の演算以外をまとめたものである。 W_N としてまとめることで、 g_0 以外の g_N は X_0 を分母すれば次々と計算出来ることが分かる。

$$\begin{aligned}
 g_0 X_0 &= 1 & \therefore g_0 &= 1 / X_0 \\
 W_1 + g_1 X_0 &= 0 & \therefore g_1 &= -W_1 / X_0 \\
 W_2 + g_2 X_0 &= 0 & \therefore g_2 &= -W_2 / X_0 \\
 W_3 + g_3 X_0 &= 0 & \therefore g_3 &= -W_3 / X_0 \\
 W_4 + g_4 X_0 &= 0 & \therefore g_4 &= -W_4 / X_0 \\
 &\dots\dots\dots \\
 W_N + g_N X_0 &= 0 & \therefore g_N &= -W_N / X_0
 \end{aligned}
 \tag{5-4}$$

5-(4)式と FIR 逆フィルタの構成について以下に説明する。5-(4)式の一行目の式から、 g_0 は期待値 1 と離散値の最初の入力 X_0 から $g_0 = 1 / X_0$ で求まるので g_0 の値を FIR の係数にセットする。2 行目の式は 1 クロック後の状態を示している。すなわち g_0 の値は計算済みであるから、次の入力 X_1 と g_0 の積は W_1 で求まり、次の係数 g_1 は $g_1 = -W_1 / X_0$ で求まる。

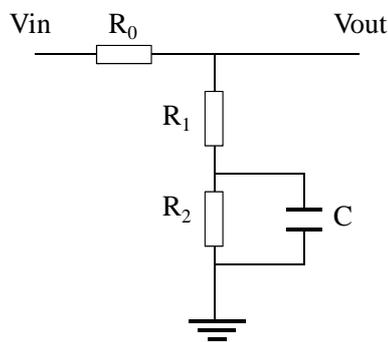
g_1 が求めたので FIR の係数にセットする。以下同様にして g_2, g_3, \dots と係数が逐次的に設定されて行く。すなわち FIR フィルタの係数を FIR フィルタ自体の出力を利用して、順番に逐次的に決定することが可能である。この様に係数が一つのインパルス応答が入力している間に次々と決まっていくため、高速で演算量も極めて少ないものとなる。

5.3.2 シミュレーション

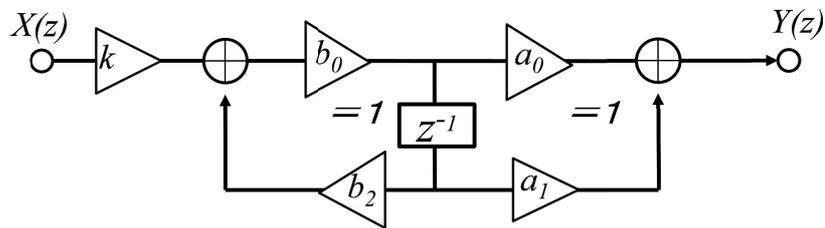
図 5-5 に逐次設定方式をエクセル表計算でシミュレートするための回路例を示す。

(1) 伝送路のシミュレーション

伝送路としては、高域で一定レベル減衰する汎用回路として、図 5-5(a)に示す RC ネットワーク回路を設定した。RC 回路のインピーダンス計算から Gain-周波数特性を 5-(5)式で計算し理論値とした。この回路を離散値を扱う Z 関数の回路に変換するために、まず $j\omega = s$ と置き換えて 5-(6)式で s 関数に変換し、次に双一次変換の(7)式を用いて、5-(8)式に示す Z 関数の式に変更した。これにより図 5-5(a)の RC 回路を図 5-5(b)に示すデジタルフィルタ回路に変換した。



(a) 伝送路をシミュレートする RC 回路



(b) 伝送路をシミュレートするデジタルフィルタ回路

図 5-5. 伝送路をシミュレートする RC 回路とデジタルフィルタ回路

$$\begin{aligned}
 H(\omega) &= V_{out} / V_{in} = \frac{R_1 + R_2 + j\omega CR_1 R_2}{R_0 + R_1 + R_2 + j\omega CR_2 (R_0 + R_1)} \\
 &= \frac{R_1 \{ (R_1 + R_2) / (CR_1 R_2 + j\omega) \}}{(R_0 + R_1) \{ (R_0 + R_1 + R_2) / (CR_2 (R_0 + R_1) + j\omega) \}} \quad \text{----- 5-(5)}
 \end{aligned}$$

$j\omega = s$ と置くと

$$H(s) = k \frac{R_x + s}{R_y + s} \quad \text{----- 5-(6)}$$

双一次変換し s を Z 関数に変換する

$$s = \frac{2(1 - Z^{-1})}{Ts(1 + Z^{-1})} \quad \text{----- 5-(7)}$$

$$\begin{aligned}
 H(z) &= k \frac{(Ts R_x + 2) \{ 1 + (Ts R_x - 2) / (Ts R_x + 2) Z^{-1} \}}{(Ts R_y + 2) \{ 1 + (Ts R_y - 2) / (Ts R_y + 2) Z^{-1} \}} \\
 &= K_o \frac{(1 + a_1 Z^{-1})}{(1 + b_1 Z^{-1})} \quad \text{----- 5-(8)}
 \end{aligned}$$

図 5-6 に 5-(5)式と 5-(8)式による周波数特性の計算例を示す。なお 5-(8)式の Z 変換から周波数特性を求める手法 [5-7] は、

$Z^{-1} = e^{-j\omega Ts} = e^{-j2\pi f Ts} = \cos(-2\pi f Ts) - j \sin(-2\pi f Ts)$ と変換して求めた。

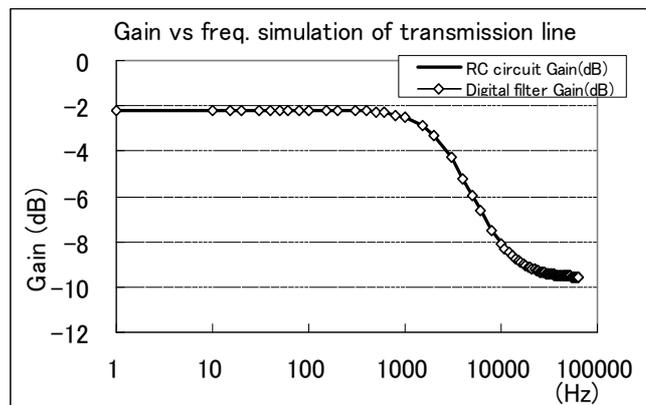


図 5-6 RC 回路による伝送路の Gain-周波数特性

図 5-5(b)のデジタルフィルタ回路にインパルスを入力した場合の応答を図 5-7に示す。時間ゼロの点で1、それ以外は0の入力に対し、出力インパルス応答では出力が 0.365 でその後 0.06 から徐々に減衰する応答カーブが見て取れる。

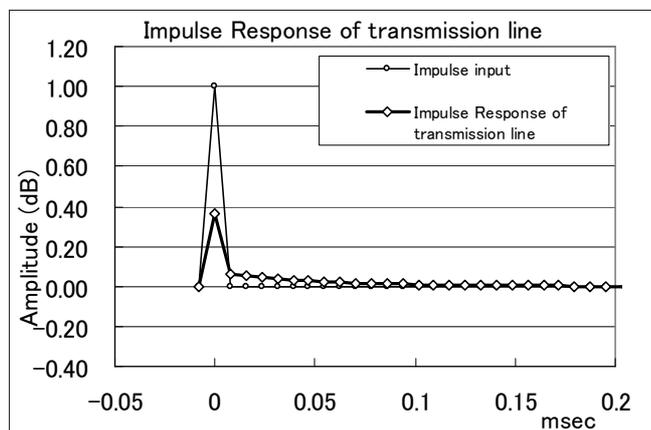


図 5-7 RC 回路による伝送路のインパルス応答

(2) 逆フィルタのシミュレーション

表 5-1 は図 5-7 のインパルス応答の離散データを、5-(4)式で示す逐次計算をエクセルで表計算した例である。表の各行は離散的な時間を表しており、時間の経過（列の上から下）に従い逐次係数が計算されている。図 5-8 がその計算結果である逆フィルタのインパルス応答である。最大の振幅は 2.74 であり、伝送路で 0.365 に減衰したピーク信号を 1 に戻す Gain をもっている。

図 5-9 は上記の逆インパルス応答から求めた Gain・周波数特性である。算出方法は $a_0, a_1, a_2, \dots, a_{100}$ を用いて以下の有限なフーリエ変換で求めた。

$$Re = a_0 + a_1 \cos(-2\pi fTs) + a_2 \cos(-4\pi fTs) + a_3 \cos(-6\pi fTs) + \dots - a_{100} \cos(-200\pi fTs)$$

$$Xe = a_1 \sin(-2\pi fTs) + a_2 \sin(-4\pi fTs) + a_3 \sin(-6\pi fTs) + \dots - a_{100} \sin(-200\pi fTs)$$

$$G(f) = \sqrt{Re^2 + Xe^2} \quad \text{-----} \quad 5-(9)$$

表 5-1 FIR 逆フィルタの係数計算

Impulse Response of transmission Line	N	msec	Expectaion E(t)	Wn	Impulse Response of Inverse filter
X0=0.365539452	0	0	E0= 1	W0= 0	g0= 2.7356828
X1=0.059744685	1	0.008	E1= 0	W1= 0.1634425	g1= -0.447127
X2=0.051086035	2	0.016	E2= 0	W2= 0.1130417	g2= -0.309246
X3=0.043682262	3	0.023	E3= 0	W3= 0.078183	g3= -0.213884
X4=0.037351499	4	0.031	E4= 0	W4= 0.0540737	g4= -0.147929
X5=0.031938238	5	0.039	E5= 0	W5= 0.037399	g5= -0.102312
X6=0.027309508	6	0.047	E6= 0	W6= 0.0258663	g6= -0.070762
X7=0.023351608	7	0.055	E7= 0	W7= 0.0178899	g7= -0.048941
X8=0.019967317	8	0.063	E8= 0	W8= 0.0123732	g8= -0.033849
X9=0.017073503	9	0.07	E9= 0	W9= 0.0085577	g9= -0.023411
X97=1.77247E-08	97	0.758	E97= 0	W97= 6.938E-17	g97= -1.9E-16
X98=1.51559E-08	98	0.766	E98= 0	W98= 4.799E-17	g98= -1.31E-16
X99=1.29594E-08	99	0.773	E99= 0	W99= 3.319E-17	g99= -9.08E-17
X100=1.10812E-08	100	0.781	E100= 0	W100= 2.295E-17	g100= -6.28E-17

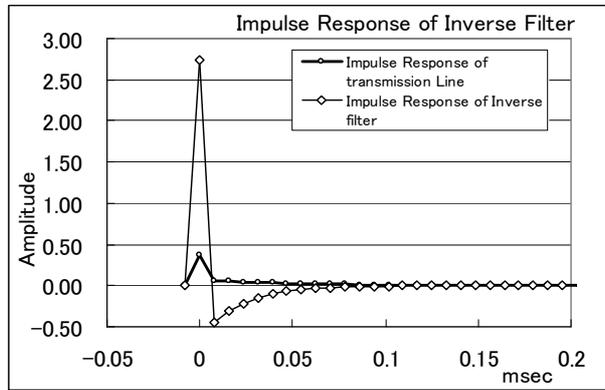


図 5-8 伝送路のインパルス応答に対する FIR 逆フィルタのインパルス応答

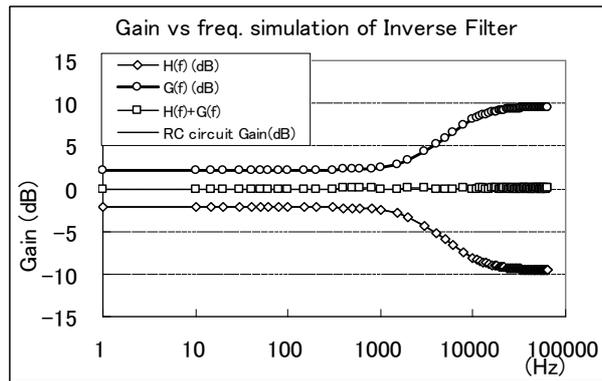


図 5-9 伝送路の Gain-周波数特性に対する FIR 逆フィルタの Gain-周波数特性

図 5-9 の $H(f)$ は伝送路として高域で減衰する特性であり、 $G(f)$ が逆フィルタとしてそれを補償する特性である。 $H(f)+G(f)$ は両者の和をとり、逆フィルタとして正常なキャンセル動作を確認している。この例は極端な周波数特性の補正ではないため、良好なキャンセル特性が得られている。

5.3.3 逐次係数設定方式の課題と対策

インパルス応答から逆インパルス応答の特性を得ることの有効性は確認できたが、実用上では課題が予想される。

5-(4)式から分ることは、本原理では演算は FIR フィルタの出力 W_N を一番始めの離散値データ X_0 で常に除算するという形をとる。そこで X_0 が零あるいは非常に小さい値であると、除算の商は無限大となる。インパルス応答であるから X_0 の前の値は常に零であり、AD 変換器のタイミングによっては実際のインパルス応答波形のどのタイミングで離散データとしてサンプリングするかでも誤差が発生することが予測される。そこで、インパルス応答の離散値 X_0 の値は一定レベル以上のものを採用することが必要になる。

逆フィルタ等で伝送路を等化する場合、一般に実信号の送出前にトレーニング状態で行う場合が多い。本来理想的なインパルスさえあれば、逆フィルタの等化は理論的には可能であるが、現実にはインパルスと呼べるだけの高速な波形を発生させることが出来るか、また遅延時間のバラツキやゆらぎにより、受信側でインパルス応答が正しくサンプリングして受信出来るかという問題がある。そこでインパルス以外の波形を使う効果が期待できる。トレーニング信号として予め伝送路を予想してインパルスより多少時間幅の広い $E_0, E_1, E_2, E_3, \dots, E_N$ という信号を作成し、同時に期待値を $E_0, E_1, E_2, E_3, \dots, E_N$ とすると 5-(4)式は以下の通りとなる。

$$\begin{array}{ll}
 g_0 X_0 = E_0 & \therefore g_0 = E_0 / X_0 \\
 W_1 + g_1 X_0 = E_1 & \therefore g_1 = (E_1 - W_1) / X_0 \\
 W_2 + g_2 X_0 = E_2 & \therefore g_2 = (E_2 - W_2) / X_0 \\
 W_3 + g_3 X_0 = E_3 & \therefore g_3 = (E_3 - W_3) / X_0 \\
 W_4 + g_4 X_0 = E_4 & \therefore g_4 = (E_4 - W_4) / X_0 \\
 \dots\dots\dots & \\
 W_N + g_N X_0 = E_N & \therefore g_N = (E_N - W_N) / X_0
 \end{array}
 \quad \left. \vphantom{\begin{array}{l} \\ \\ \\ \\ \\ \\ \end{array}} \right\} 5-(9)$$

この 5-(9)式は $E_0=1, E_1, E_2, \dots, E_N=0$ とすれば 5-(4)式と同じであり、5-(4)式をより一般的にした形となる。つまり純粋なインパルス以外の過渡的な信号であっても逆フィルタの係数計算のために使用することが可能となることを示唆している。

図 5-10 はインパルス以外の波形を用いたエクセル計算例である。入力波形は振幅が1クロック毎に70%に指数的に減衰する波形であり、1.0, 0.7, 0.49, 0.35, 0.24... である。その入力がRC回路により減衰した出力波形は、0.37, 0.32, 0.27, 0.23, 0.20,... となる。この減衰波形を入力波形と同じ波形に等化するFIR逆フィルタの係数は2.74, -0.44, -0.31, -0.21, -0.15,...と計算された。

図 5-11 は、これら応答波形のGain-周波数特性を式 5-(9)により計算したものである。 $H(f)$ はRC回路の周波数特性である。 $X(f)$ は指数的に減衰する波形の周波数特性であり、図 5-9 のインパルスの場合に比べGainが約12dB大きく、高周波数域の特性が減衰している。 $G(f)$ は、 $X(f)$ の波形をもとに計算したFIR逆フィルタの特性で、 $G(f)+H(f)=0\text{dB}$ となり逆フィルタ特性が実現している。なお高周波数域で僅かに計算誤差による変動が見える。このようにインパルス以外の波形でも、逆フィルタ特性が実現されている。

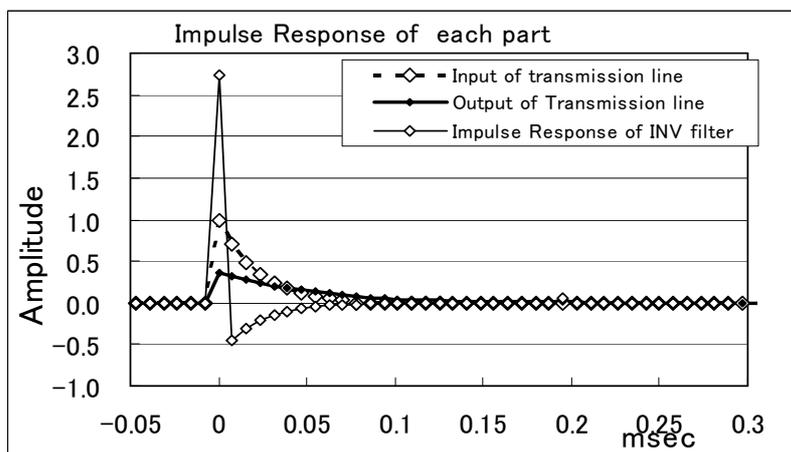


図 5-10 指数的に減衰する入力波形による応答

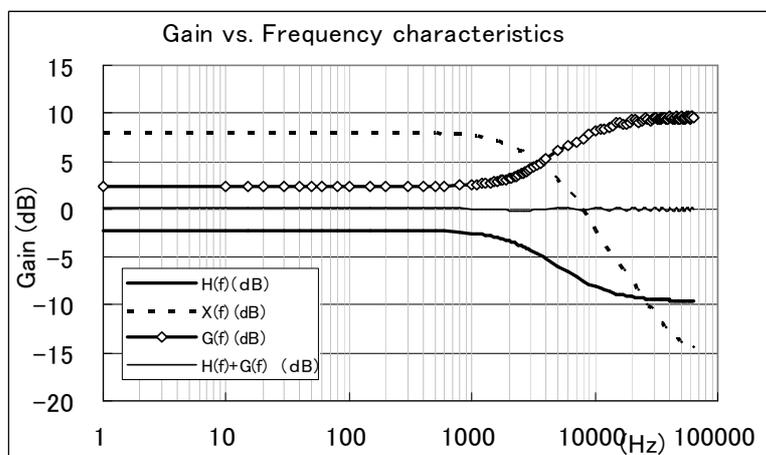


図 5-11 指数的に減衰する入力波形による周波数特性

図 5-12 も図 5-10 と同様にインパルス以外の波形を用いたエクセル計算例である。入力波形の振幅 1 が 10 クロック分続くパルス波形である。その入力が RC 回路により減衰した出力波形は、0.37, 0.43, 0.48, 0.52, 0.56, 0.59, 0.62, 0.64, 0.66, 0.68 と 10 クロック分増加し、その後 0.33, 0.28, 0.24... と減少する。この出力波形を入力波形と同じ波形に等化する FIR 逆フィルタの係数は図 5-10 の指数的に減少する波形の場合と同様に 2.74, -0.44, -0.31, -0.21, -0.15,... と計算された。図 5-13 は、これら応答波形の Gain-周波数特性を式 5-(9) で計算したものである。 $H(f)$ は RC 回路の周波数特性であり、 $X(f)$ がパルス波形の周波数特性である。10 パルス分のため、図 5-9 のインパルスの場合に比べ Gain が約 17dB 大きく、高周波数域の特性が減衰していると共に、振幅が上下している。 $G(f)$ は $X(f)$ の波形をもとに計算した FIR 逆フィルタの特性で、 $G(f) + H(f) \approx 0\text{dB}$ となり逆フィルタ特性が実現している。高周波数域の $X(f)$ の Gain の上下に合わせるように $\pm 1.5\text{dB}$ 程度の誤差変動が見える。

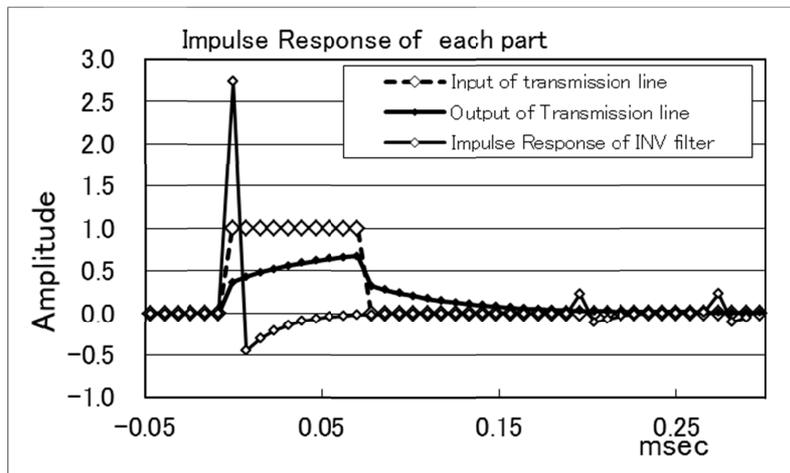


図 5-12 矩形波パルス入力波形による応答

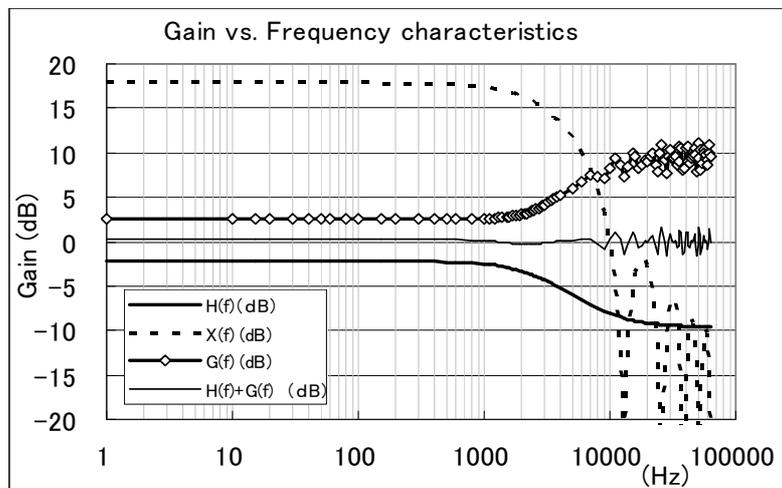


図 5-13 矩形波パルス入力波形による周波数特性

トレーニング信号としてインパルス以外の信号を使うことの利点と欠点をまとめると次の通りである。

- 利点:インパルスの場合、最初のデータ X_0 が適切にサンプリング出来ない可能性があり、ある程度幅のある信号を用いることで、送信側のインパルス信号駆動回路の立上り/下がり特性が有限なものや、伝送路の遅延・ゆらぎにも対応出来る。
- 欠点 :インパルス応答以外のトレーニング信号は周波数帯域を制限した状態での線路等化となる。

ただし、逆フィルタとして必要なのは、使用する周波数帯域内での逆フィルタ特性であるので、上記に上げた周波数帯域を制限した状態での線路等化は、利点にもなるという側面も持つ。

現実の伝送線路を考えると偶然 X_0 にノイズが載った場合などは誤差原因となる。そのような場合に対応するには、複数回のインパルス等の応答で FIR 係数を計算しておき、それを平均化する処理が有効と考えられる。この方法は一回で逆フィルタの係数を生成するという本提案本来のアルゴリズムとは違ってしまいが、必要最小限の回数で係数を実現するという手段としては、実用的な応用である。

5.3.4 帯域制限処理

これまでの逐次設定方式では、 X_0 レベルが零あるいはノイズ印加時の対応は示したが、逆フィルタが本質的に不安定な特性の場合の対策は述べていなかった。一般に信号は DC に近い超低域や高域ではレベルが小さくなる場合が多い。逆フィルタとして求められるのは、超低域や高域を除く中間域の場合が多い。そこで、帯域を制限する LPF 特性を直列に挿入するのと等価な手段として、LPF 特性のインパルス応答特性の伝達関数を逆フィルタの伝達関数に直接畳み込み演算し新たな伝達関数（係数）を求める方式が考えられる。直接帯域を制限するための適当な LPF の詳細は今後の課題である。

5.3.5 逐次係数設定方式のFIR逆フィルタ回路

図 5-14 は本章の FIR 逆フィルタ回路のブロック図である。AD 変換回路からの離散値 $X_0, X_1, X_2, X_3, X_4, \dots, X_N$ が入力される FIR フィルタと、その出力から 5-(5) 式で表される係数演算をするブロック、演算結果 $g_0, g_1, g_2, \dots, g_N$ を蓄える係数メモリ、それらの値を逐次 FIR フィルタの係数として設定する逐次係数設定回路、期待値 $E_0, E_1, E_2, E_3, \dots, E_N$ を保存しているテーブルから構成される。期待値テーブルには純粋なインパルスに加え、適当な応答波形を設定することが出来る。

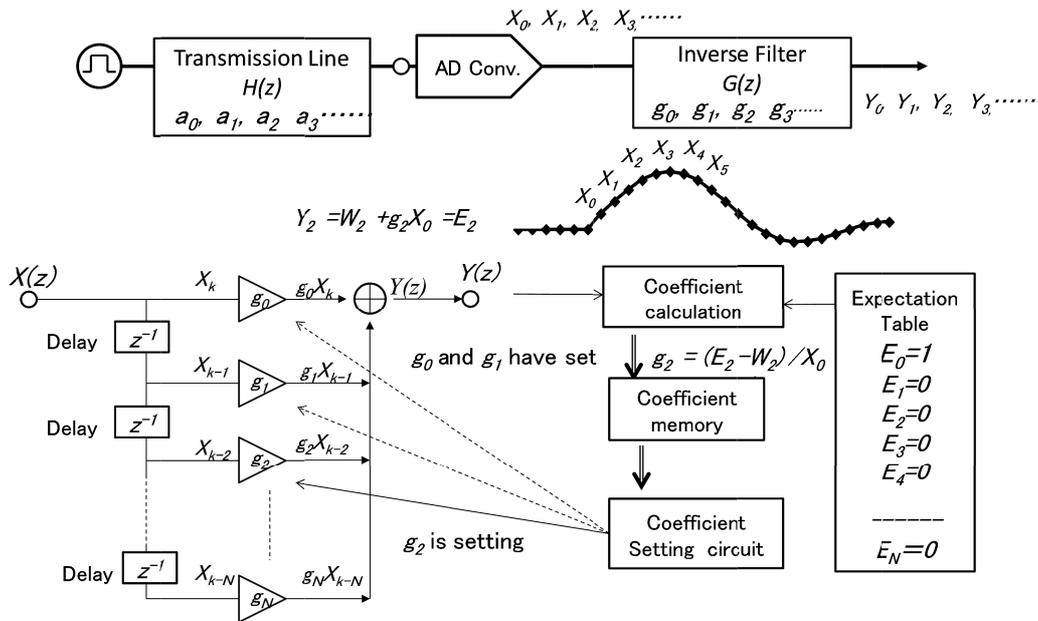


図 5-14 逐次係数設定方式の FIR 逆フィルタのブロック図

5.4 VHDL シミュレーション

5.4.1 ビヘイビアモデルの生成

本提案の逐次係数設定回路を最終的に FPGA にて実現するシミュレーションを Xilinx 社の回路設計ツールである ISE Design Suite により行った。VHDL で記述した回路から実際の回路を生成し、テストベンチ回路により生成したデータをもとにビヘイビアモデル(動作確認モデル)のシミュレーションを行った。エクセルでのシミュレーションは理想条件での計算であるが、VHDL による実際の回路設計ではビット数に制限があり、また実現には以下の課題があった。

- (1) 除算器の実現
- (2) 2 の補数 (正負) 表示
- (3) 小数点計算

乗算器は汎用の DSP の基本的なマクロとして FPGA に内蔵されて VHDL 記述で容易に回路が実現できる。一方で除算器は余りの処理等から VHDL から単純に回路を生成できない。そこで除算の代わりに減算を行い、その減算回数をカウントすることで除算器を実現した。

AD/DA コンバータを使用する場合、2 の補数表現で正負の信号が表示されるが、ISE では 2 の補数のままで乗算・減算は出来ない。そこで演算データを正負で条件分けし、絶対値で計算後、正負の結果を付与する回路を VHDL で記述した。

エクセルでのシミュレーションの結果より、必要な逆フィルタの係数の最大値は±5 程度で小数点以下の精度が出来るだけ高い必要があると考えた。そこで 16bit での信号として、上位 6bit を小数点以上として±0~31 まで表し、下位 10bit を小数点以下で 1/1024 まで表す形とした。

ISE ではバイナリ表現以外に 10 進数表現もできるが小数点表現が出来ない。そこで 10bit 以下を小数点以下と定義すれば 10 進表現の下 3 桁の部分を小数点としてほぼ読み取れる (1/1024 すればよいので約 1/1000 とする) ので、動作確認としては都合が良い。精度を上げるには bit 数を増やせば良い。小数点以下 3 桁のため、精度的には不十分ではあるが、入力信号が逐次演算され逆フィルタの係数が計算されて行く過程は十分に見てとれる。

5.4.2 タイムチャートによる動作確認

図 5-15 は ISE Design Suite による作成した回路をシミュレーションした出力のタイムチャートである。

1 段目 : DSP 演算するメインクロック Main CLK を示す。

2 段目 : FIR フィルタの Z^{-1} のクロックを表す。

3 段目 : Z^{-1} によるカウンタを示す。FIR フィルタの状態として示したもので、この区間内で FIR の動作に必要な畳込み演算や除算が完結することが必要である。なお伝送路に入力したインパルスとして 1 は 16bit で小数点以下を 10bit としたので 1024 であるが、こ

のタイムチャート上には見えていない。

4 段目: 伝送路の出力であり、かつ逆フィルタの入力 X_N として 768,96,48,30,15... (0.75, 0.094, 0.047, 0.03, 0.015...) と減衰する波形である。

5 段目: 期待値 E_N であり入力インパルスと同じ 1024,0,0,0,0... (1,0,0,0,0,...) である。以上は ISE シミュレータのテストベンチ上でデータとして与えた。

6 段目: 今回の逐次計算で求める逆フィルタ係数の g_N であり、後述の 9 段目の計算結果に正負の符号を付けたもの。

7 段目: $E_N - W_N$ の計算結果を 10bit シフトしたもので g_N を計算するための途中経過である。小数点以下の信号の割算を行うために、10bit シフトした。

8 段目: X_0 の値。3 段目の最初のデータが X_0 としてセットされる。

9 段目: $(E_N - W_N) / X_0$ の演算の結果である。除算は 10bit シフトされた $(E_N - W_N)$ から X_0 が小数点以下を含めて減算出来る回数を求める回路として設計した。負の数値は大小関係から減算が難しかったので一度正に直してから減算し、後に必要により正負の符号を付けた。従って 9 段目の除算の結果を 6 段目の g_N に設定する際に正負の符号が付く。この際に 0 を含めて正負の変換を行ったため 170 が -171 となる等の違いが見える。

10 段目: 8 段目の減算の余りであり、除算の誤差となる。

11 段目: 計算された g_N による FIR フィルタにより再度計算した途中経過 W_N である。

12 段目が逆フィルタとして再現された出力 Y_N である。10 段目の 1048320 を 1/1024 したもので、期待値である 1024 に対し、再現結果は 1023 となっている。有限なビット演算や除算の余り等で多少の誤差が出ている。

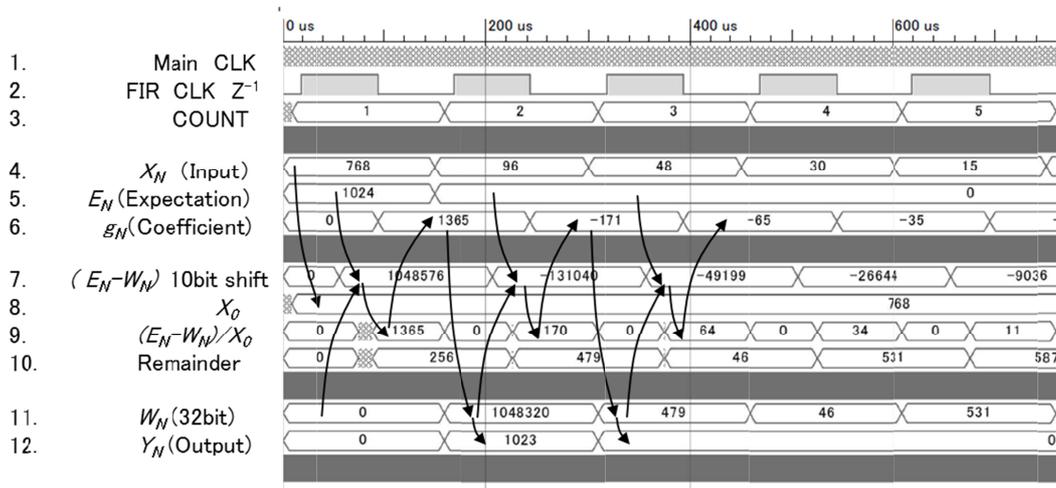


図 5-15 ISE により生成した逆フィルタのタイムチャート

5.5 まとめ

本章では、逆フィルタを求める手段として、従来とは異なる逐次設定の新方式を提案した。基本的なアルゴリズムはエクセル上でシミュレート可能であった。また FPGA 開発ソフト ISE により VHDL で回路を記述し、実際に回路を生成の後に回路シミュレーションを行い、新アルゴリズムの回路が実現可能であることを確認した。

この方式は本質的に一回のインパルス応答入力中で逆フィルタ係数を決定できるので極めて高速で演算量も少ない。実用上は幾つかの課題が考えられるものの、安定性に関しては、IIR フィルタでなく FIR フィルタであるので対応が可能と考える。例えば、本方式で算出した逆フィルタ係数に、帯域制限の LPF の係数を予め準備しておき伝達関数同志を直接畳み込み演算して求める等である。演算量が少ないことから、リアルタイム性が要求されるアプリケーションにおいて、実信号の送出前のトレーニング信号として波形改善や伝送路の等価等に応用が期待できる。

今後は bit 数を増やし、FPGA から外部の AD/DA コンバータを駆動することで、実際の伝送路でのリアルタイムでの逆フィルタ機能の確認を行う予定である。

本章の研究のきっかけは、第一章の 1.1.(4)に述べたとおり、埋設水道管の漏水点を検出する相関法への応用であった。残念ながら現在、その検討プロジェクトは停止されており再開の予定はない。ただし本研究結果は、新しいデジタル信号処理のアルゴリズムを提案しており、今後様々な分野への応用は期待できるものである。

参 考 文 献

- [5-1] 立蔵洋介: 逆フィルタを用いた音場再現システムにおける再現音の品質向上に関する研究, 博士論文,奈良先端科学技術大学院大学 2002年11月
- [5-2] 三星テクウィン株式会社:「撮像装置、撮像方法およびコンピュータプログラム」, 特開 2008-167322
- [5-3] 吉田誠:「伝搬路推定方法及び伝搬路推定装置」,特開 2006-262039
- [5-4] 筒井令、稲刈治英、島田正治:「適応逆フィルタ同定問題との関連に関する検討」, 信学技報 EA98-91(1998-12)
- [5-5] 島田正治、稲刈治英、堀内俊治、青柳康夫、三輪勝人:「適応信号処理システム」, 特開 2002-95097
- [5-6] 三上直樹:「デジタルフィルタと高速フーリエ変換」, ISBN4-7898-3088-8D pp181~188 2005年
- [5-7] 高遠健司、鈴木大、石井威、小林正人、山田宏一、天野茂:「AM&FM 放送用の一般専用線向けの低遅延で高性能の AD/DA コンバータ設計」, 電気学会論文誌 C IEEJ Trans.EIS,Vol.130.No.07.2010

第六章 結論

以上の通り、有線通信における伝送特性の劣化と補償に関する研究として、専用の通信路で無い電力線通信にまず着目した。専用の通信路では劣化の研究も対策技術も既に進んでいるのに対し、専用でない PLC では新たな課題が多く見つかったためである。

第二章では、課題①の電力線ケーブルの実効的な比誘電率（伝搬遅延時間）を電磁気学の基本にもどり、電気力線を描くことから計算し、EMI シミュレーションと実測の違うことの原因の一つを解明した。VVF ケーブルのように誘電体が導体周囲の一部にのみ存在する場合は、材料自体の比誘電率が実効的に 13%減少し、伝搬遅延時間も 7%速まる結果となった。この計算から得られた結果以外の重要な知見は、VVF ケーブルに使用されるポリ塩化ビニルは $\tan\delta$ が大きく高周波域での損失が大きくなること、また電力線で電力を供給するための絶縁物としての性能が第一であるから、ポリ塩化ビニル自体の比誘電率は管理されていないという事である。 これらも専用の通信路でないことの特徴と言えよう。

第三章では、課題②の電力線に雷サージ保護の目的で設置を推奨される SPD の影響について研究し、実用的な知見を得ることが出来た。電力線通信は電力と情報を同時に、最小の媒体で送信できる経済的な通信形態である。一方で電子機器を保護するために、電源系から入力する雷サージエネルギーを吸収・抑圧する SPD の設置は必須になりつつある。これまで SPD の影響に関しては通信の観点からは殆ど検討されていなかった。本章では、SPD の種類の違い（バリスタ型・GDT 型）、設置と接続方法の違いについて総合的に分析し対応策などを明らかにした。有線通信における伝送特性の劣化に関しては、これらの原理的な検討とアナログ的な対策が第一に行うべき事項である。次に実際に発生した伝送路の歪については、デジタル信号処理により対応することが有効である。

第四章では、課題③の遅延時間と AD/DA コンバータについて、市販 AD/DA 変換 LSI 単体では実現できない低遅延と高性能を、オーバサンプリングと FPGA 内に IIR デジタルフィルタを設計する組合せで実現した。市販の $\Delta\Sigma$ AD/DA 変換 LSI の回路ブロック図から、どの部分で遅延に影響するかを調査し、LSI のデジタルフィルタ部が遅延の原因であることを見つけた。オーバサンプリング周波数で動作させればその分だけデジタルフィルタ部での遅延時間は減少することが判明したので、AD/DA 変換 LSI は高い伝送特性を期待しない単なるアナログ信号とデジタル信号の変換部品とし、AD/DA 変換 LSI 内蔵の LPF で実現できない急峻な LPF 特性を FPGA で実現する手段をとった。遅延時間と高性能という相反する課題に対して、 $\Delta\Sigma$ AD/DA 変換の信号処理の原理に着目することが対処案を立案するキッカケとなっている。

第五章では、課題④の逆フィルタの実現方法について、デジタル信号処理で使用する FIR フィルタの逐次的な動作に着目した結果である。デジタルフィルタ自体は FIR フィルタも IIR フィルタも、1クロック毎に信号をシフトし乗算と加算処理を行う回路である。つまり一つの計算結果が次の計算の入力になって計算が繰り返し逐次的に回路が動き、その様子

はエクセル計算表で容易にシミュレートできる。本章の逆フィルタのアルゴリズムは FIR フィルタの逐次動作に着目し、FIR フィルタが動作するクロックと次のクロックの間に、高速の演算処理を行えば、逐次的に FIR フィルタ自体が変化でき、逆フィルタになるという新アルゴリズムである。

逆フィルタの研究の発端は、第一章 1.1(4) で述べた通り、埋設水道管の漏水という専用の通信路以外への応用を考えたものであるが、逆フィルタ自体は元々は専用の通信路の等化器（イコライザ）の一つである。本章の逐次設定方式の逆フィルタは、実用化には未だ課題はあるものの、アルゴリズムが簡単で、リアルタイム性を重視するような応用には有効であると考えられる。

本研究で得られた主要な結果を以下にまとめる。

【電力線通信関連】

- a) VVF ケーブルのように誘電体が導体の周囲の一部にしかない場合、実効的な比誘電率は材料自体の比誘電率より 13% 小さく、伝搬遅延時間は 7% 早まる計算結果を得た。
- b) VVF ケーブルの誘電体の比誘電率はメーカーで管理されておらず、実効的な比誘電率は遅延時間から求める必要があることが判明した。
- c) 電力線に接続されるサージ保護素子 SPD の静電容量とインダクタンスは PLC の帯域である (2M~30MHz) で共振を起こし、伝送容量 (ビットレート) の低下については伝送特性の減衰量から、シャノン-ハートレーの定理で見積もることができた。
- d) バリスタ型の SPD は静電容量は 1000~14000pF と大きく、その大きさはサージ耐量 (ディスクサイズ) に比例し、バリスタ電圧に反比例することが判明した。
- e) バリスタ型の SPD に直列に GDT を接続、あるいはコンビネーションすることで静電容量を数 pF と低減させることで、PLC の帯域外に共振周波数は移動し伝送容量への影響が無くなった。
- f) 各電力線と SPD 間の接続によるインダクタンスは差動モードのインピーダンスとなり c) に示す影響となるが、SPD の共通点から PE にわたる配線のインダクタンスは同相モードのため影響しないと判明した。

【信号処理関連】

- f) $\Delta\Sigma$ AD/DA 変換 LSI の遅延時間と高性能な伝送特性が相反する理由は、LSI に内蔵する高性能なデジタルフィルタ (LPF) が原因と判明した。
- g) $\Delta\Sigma$ AD/DA 変換 LSI をオーバーサンプリングで使用すると遅延時間は減少するが、帯域はサンプリング周波数の 1/2 (ナイキスト周波数) と広がることが判明した。
- h) $\Delta\Sigma$ AD/DA 変換 LSI をオーバーサンプリング動作させ、必要な帯域制限を FPGA で

設計した IIR フィルタを使用することで遅延時間が 0.84msec と短く、ナイキスト周波数から離れたカットオフ周波数を設定することで、15kHz から 16kHz の間で 100dB 減衰する急峻でエイリエイシングの無い LPF を実現できた。

- i) 伝送路の特性はインパルス応答で表現され、それを等化する逆フィルタが IIR フィルタや FIR フィルタにより FFT/IFF 処理や適応型フィルタで実現されるが、安定性・計算の複雑さ・時間で課題があった。
- j) FIR フィルタの逐次動作に着目し、一つのクロックが動作する間に次の FIR フィルタ係数を設定する演算により、リアルタイムに逆フィルタを実現する新アルゴリズムを提案した。
- k) 新アルゴリズムの逐次設定方式の逆フィルタを VHDL で設計し、ビヘイビアモデルでシミュレーションを行い、逐次動作が可能であることを確認した。

第一章の緒論の有線通信の全体像で述べたとおり、有線通信の範囲は通信距離・通信速度・媒体の種類等のあらゆる面で多様化している。特に専用な通信路以外の媒体を通信路とするなど、新たな領域への広がりには新たな課題が発生し、それに対応する技術が必要とされる。本論で取り上げた各課題は、装置としての一貫性は無いものの、伝送特性の劣化とその補償において、課題の本質的な原因・特徴をとらえ、最適な対応策を検討するという面では共通の側面を持っている。そして、専用の通信路でない場合の課題解決手段は、新たな信号処理技術の応用となって専用の通信路での特性向上等に応用されることで、相互に循環し発展するものと考えられる。本論の全ての研究において、表計算とグラフ化による現象の分析、また SPICE や MATLAB などシミュレータと表計算による結果の照合などを行った。表計算は市販シミュレータと違い、計算式を作成する段階で途中経過を見ることができ、より原理原則面での理解が深まり、シミュレータ等で汎用的なモデリングがされていない現象への一次検討に有効であった。

謝辞

本研究の遂行および論文作成にあたり、大局的な視点で論点を明確化すべきというご助言と、細部にわたる論述のご指導を賜りました指導教員 千葉大学大学院工学研究科人工システム科学専攻 橋本研也教授に篤く御礼申し上げます。

また本論文を予備審査及び本審査して頂いた千葉大学大学院工学研究科人工システム科学専攻 八代健一郎教授、劉康志教授、安昌俊准教授、山口正恆名誉教授に篤く御礼申し上げます。特に山口名誉教授は学部時代にご指導頂いたことに引き続き、社会人学生として博士課程に再入学する道筋を作って頂き心から感謝致します。

ITU-T の SG-5 (1996 年) からの友人であり、博士号取得へ向けて終始励まして頂いた東海学院大学健康福祉学部の木島均教授、大阪工業大学大学院知的財産研究科の村川一雄教授に感謝致します。

PLC の普及活動で一緒に、折に触れ貴重な助言を頂いた東京都市大学の徳田正満名誉教授、貴重な資料を提供して頂いた愛媛大学大学院理工学研究科の都築伸二准教授、PLC 関連装置を提供頂いた株式会社ニシヤマの岩男浩執行役員に感謝致します。

本論文の一部をなす論文の英語のチェックを厳しい日程の中で実施して頂いた、千葉大学高等教育研究機構の森川セーラ特任講師に感謝致します。

社会人学生となることを快く承認し、推薦状を書いて頂いた(株)富士通テレコムネットワークスエンジニアリングサービスの五雲寺卓社長 (元)、野本徹夫執行役に感謝致します。

最後に、博士課程の講義やゼミという貴重な体験をご一緒させて頂いた大森達也助教授、佐藤友哉さんと橋本研究室の皆様、劉研究室の皆様に感謝いたします。

Appendix I

AP-1) 学術論文

- 1) 高遠健司、関孝一、新井俊彦：“電力線通信でのケーブルの被覆による影響検討”
電学会論文誌 C VOL. 127 No. 7 2007
- 2) 高遠健司、鈴木大、石井威、小林正人、山田宏一、天野茂：
” AM&FM 放送用の専用線向け低遅延で高性能の AD/DA コンバータ設計”
電気学会論文誌 C VOL. 130 No. 7 2010
- 3) 高遠健司 ： ” 逐次係数設定方式の FIR 逆フィルタ回路 ”
電気学会論文誌 C VOL. 134 No. 3 2014
- 4) 高遠健司、木島均、村川一雄、岩男浩：
” Power Line Communication Degradation caused by Surge Protective Devices ”
電気学会論文誌 C VOL. 135 No. 2 2015

AP-2) 国内発表

- 1) 高遠健司、関孝一、新井俊彦：“電力線通信でのケーブルの被覆による影響検討”
平成 18 年電子・情報・システム部門大会
- 2) 高遠健司 ： ” ISPLC2008 に見る PLC 技術と応用の動向 ”
平成 20 年電子・情報・システム部門大会
- 3) 高遠健司、鈴木大、石井威、小林正人、山田宏一、天野茂：
” AM&FM 放送用の専用線向け低遅延で高性能の AD/DA コンバータ設計”
平成 21 年電子・情報・システム部門大会
- 4) 高遠健司：“逐次係数設定方式の FIR 逆フィルタ回路”
平成 24 年電子・情報・システム部門大会
- 5) 高遠健司 他：“高速電力線通信の技術動向と適用事例 (2 章 2.4.1 分筆)”
電気学会技術報告 第 1175 号

AP-3) 海外発表

- 1) Kenji Takato, Hitoshi Kijima, Hiroshi Iwao : ” An influence on transmission characteristics of power line communication when using Surge Protective Devices” IEEE ISPLC 2008, April
- 2) Kenji Takato, Hitoshi Kijima, Hiroshi Iwao : ” Transmission degradation in the frequency band of Power Line Communication caused by Resonant circuit consisting of surge protective devices” 12th WSEAS International Conference 2008, August
- 3) Kenji Takato : ” Serial Processing FIR Inverse Filter Circuit ” IEEE The 4th International Conference on Electronics, Communication and Networks CECNet2014 2014, December

AP-4) 国内特許 (筆頭のみ)

- 1) 特開 2013-162255 逆フィルタ回路
- 2) 特開 2012-165253 符号変換処理システム
- 3) 特許 5234798 サンプリング周波数変換装置
- 4) 特許 4856121 コンバータ
- 5) 特開 2009-021678 電力線通信システム及びノイズ成分除去制御方法
- 6) 特開平 10-243093 無給電通信方式及び交換機
- 7) 特開平 11-041925 スイッチング電源
- 8) 特開平 07-067149 加入者回路の二線終端インピーダンス生成回路
- 9) 特開平 05-145627 リングトリップ検出回路
- 10) 特開平 05-068120 給電回路
- 11) 特開平 04-241595 加入者走査検出回路
- 12) 特開平 04-172742 呼び出し信号供給回路
- 13) 特開平 03-296359 I S D Nインターフェース回路
- 14) 特開平 03-273820 I S D N用給電回路の過電圧保護回路
- 15) 特公平 07-099935 スイッチングレギュレータ回路
- 16) 特開平 03-102411 複合電源動作回路
- 17) 特許 2780363 ハイブリッド回路
- 18) 特開平 02-279018 インターフェース回路
- 19) 特公平 02-217052 試験リレー駆動回路

- 20) 特開平 02-210990 サイレントレバース給電回路
- 21) 特開平 02-177756 過電流保護機能付給電回路
- 22) 特開平 02-067896 加入者状態監視回路
- 23) 特公平 06-081185 電流変換回路
- 24) 特許 2598074 演算増幅器
- 25) 特公平 05-030119 過電流保護回路
- 26) 特公平 05-029199 給電電流検出回路
- 27) 特公平 06-038625 給電電流制御回路
- 28) 特開昭 63-314060 給電回路
- 29) 特公平 05-038624 給電回路用バイアス回路
- 30) 特公平 05-053229 給電電流監視回路
- 31) 特公平 05-006947 呼出信号送出回路
- 32) 特公平 05-006946 呼出信号送出回路
- 33) 特公平 04-036617 リングトリップ電圧検出回路
- 34) 特公平 03-061394 給電回路
- 35) 特公平 04-039957 2線-4線変換回路
- 36) 特公平 03-061393 給電電流制御回路
- 37) 特公平 03-007296 グランド分離回路
- 38) 特公平 04-0533462 監視回路
- 39) 特開昭 61-276459 予約表示電話方式
- 40) 特開昭 61-154348 給電々流制御方式
- 41) 特開昭 61-142852 給電回路
- 42) 特公平 06-044782 リングトリップ装置
- 43) 特公平 03-049224 加入者回路の定電流給電回路
- 44) 特開昭 60-001962 リングトリップ方式
- 45) 特開昭 59-114989 給電方式
- 46) 特開昭 59-090062 電圧ゼロレベル検出回
- 47) 特開昭 59-000262 時分割交換機の異常輻輳時の制御方式
- 48) 特開昭 58-088953 リングトリップ回路
- 49) 特公平 05-022417 平衡結線網整合方式
- 50) 特開昭 58-006651 通話電力増幅方式

AP-5) 米国特許

- 1) US006310953 B1 Subscriber circuit 2001年10月
- 2) US006005966 Method for communication with no power feed and exchange for realizing the method 1999年12月
- 3) US005402485 Two-wire termination impedance generation circuit of subscriber circuit 1995年5月
- 4) US005402482 Ring trip detecting circuit 1995年5月
- 5) US005347577 Battery feed circuit for supplying feed current to telephone set 1994年5月
- 6) US005335271 Ring trip detecting circuit 1994年8月
- 7) US005311518 ISDN Interface circuit and system using the same 1994年5月
- 8) US004935960 Battery feed circuit 1990年6月
- 9) US004827505 Subscriber line interface circuit 1989年5月
- 10) US004748659 Calling signal transmission apparatus 1988年5月
- 11) US004827503 Integrated ringing circuit and a ring trip circuit for the same 1988年5月
- 12) US004631366 Battery feed circuit for subscriber line 1986年12月