

# 複数FPGAによるSAR信号処理システムの構築

難波一輝, 平田敏樹, 大石航志, 伊藤秀男,  
**Josaphat Tetuko Sri Sumantyo**



National University Corporation  
 Chiba University

## Background

### DSPからFPGAへのデバイス変更

技術発達により, マイクロ衛星が扱うデータ量の増加  
 従来のDSP処理以上の高速システムの必要  
 FPGAを用いたパイプライン処理で高速化

### FPGAのリソース不足

処理中に8192-point FFTを6回実行  
 1枚に搭載するためには高集積なFPGAが必要  
 高集積なFPGAは非常に価格が高い

### 複数FPGAによるシステム構築

比較的安価で高性能なFPGAボードを4枚使用  
 シークエンシャルにFPGA間をデータ通信  
 低コストなシステムの構築を目指す

## Preliminary

### Virtex-5搭載評価ボードML506



内部RAMとDSPセルが多いFPGAを搭載  
 ML506を4枚使用し, SMAケーブルによる通信  
 トランシーバにはRocket IOを使用

### FFT IP Core

FFTの使用リソース

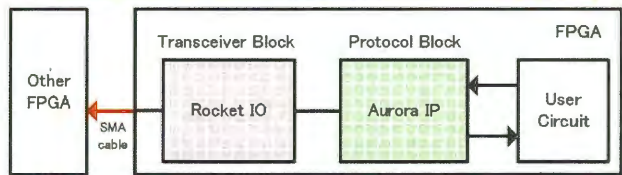
	FFT
Register	12,522
LUT	12,217
RAM	43
DSP	84

FPGAリソース

	Virtex-5
Register	32,640
LUT	32,640
RAM	132
DSP	288

8192-point FFT回路はML506に2個搭載可能

### FPGA間の通信



Rocket IOの使用で最大3.2Gbpsの通信速度  
 IPのAuroraによりRocket IOの制御を行う

## Data processing

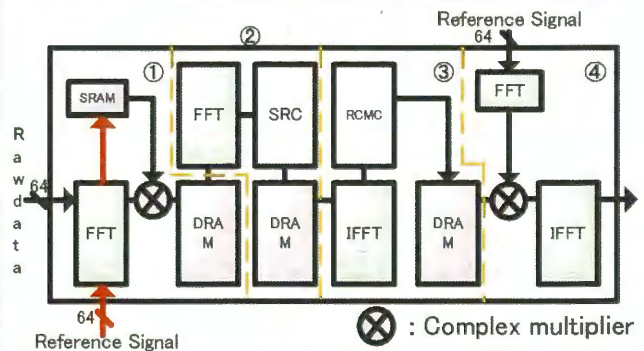
### 画像生成情報

19904 \* 6144 pixelのRawデータが対象  
 実数64bitとして扱うため, 合計約1.4GB  
 画像生成にかけられる時間は1枚に約1分

### SRC利用Range-Dopplerアルゴリズム

バンドのSAR搭載航空機にはSRCが必要  
 SRC利用によりメモリ格納回数が増加  
 アジマスFFT (IFFT)ではブロック化が必要  
 (アジマス方向:19904点, FFT:8192点のため)

## System structure



初回にFFTを行い, SRAMにデータ保存

FPGA外部の2GBのメモリをDRAMとして使用  
 アルゴリズムの性質上, 一旦のメモリ格納が必要

### プロセス時間の推定

システムが100MHz, FPGA間通信が1.5Gbpsと仮定  
 合計演算時間が約10秒, 通信時間が約23秒  
 システム要求処理速度を十分に満たしている