

電力変換器の高電力密度化に関する研究

2019年7月

千葉大学大学院工学研究科

人工システム科学専攻 電気電子系コース

山口 浩二

(千葉大学審査学位論文)

電力変換器の高電力密度化に関する研究

2019年7月

千葉大学大学院工学研究科

人工システム科学専攻 電気電子系コース

山口 浩二

目次

第1章	緒論	1
1.1	研究背景	1
1.1.1	エネルギー・環境問題	1
1.1.2	パワーエレクトロニクス技術の発展と動向	3
1.1.3	次世代電力変換器のつくる未来	5
1.2	研究目的	6
1.3	本論文の構成	7
第2章	電力変換器の高電力密度化における課題	9
2.1	技術背景・動向	9
2.1.1	パワーデバイスの技術動向	9
2.1.2	高電力密度化の技術動向	11
2.2	高電力密度化への課題とアプローチ	12
2.3	本研究における電力変換器の検討仕様	18
2.4	損失低減の検討	19
2.4.1	次世代パワーデバイスの適用	19
2.4.2	スイッチング損失の低減	20
2.4.3	導通損失の低減	21
2.5	冷却性能の向上による高電力密度化	22
2.6	まとめ	22
第3章	電力変換器スイッチング損失低減の検討	25
3.1	スイッチング特性のトレードオフと駆動回路技術動向	25
3.2	SiC-MOSFET スwitching特性と課題	28
3.3	低損失・低ノイズゲート駆動回路の提案	31

3.3.1	提案駆動回路のコンセプト	31
3.3.2	提案駆動回路ターンオン動作	33
3.3.3	提案駆動回路ターンオフ動作	34
3.4	提案駆動回路の設計指針	36
3.5	スイッチング特性の評価	41
3.5.1	評価試験セットアップ	41
3.5.2	ターンオン特性	43
3.5.3	ターンオフ特性	47
3.5.4	ダイオードターンオフ特性	51
3.5.5	スイッチングノイズ特性とトータルスイッチング損失	53
3.6	インバータ特性の評価	55
3.7	高電力密度化への影響評価	58
3.8	まとめ	59
第4章	電力変換器導通損失低減の検討	61
4.1	SiC-MOSFET 逆並列 SiC-SBD に関する技術動向と課題	61
4.2	損失評価	63
4.2.1	導通損失評価	63
4.2.2	スイッチング損失評価	64
4.3	逆並列 SBD レス構造のための設計指針	70
4.4	ノイズに関する比較評価解析	73
4.5	スイッチング特性の評価試験	74
4.5.1	評価試験セットアップ	74
4.5.2	スイッチング特性評価結果	76
4.5.3	スイッチングノイズ評価結果	79
4.6	インバータ駆動評価試験	80
4.6.1	評価試験セットアップ	80
4.6.2	インバータ損失評価結果	82
4.6.3	インバータノイズ評価結果	84
4.7	高電力密度化への影響評価	85
4.8	まとめ	88
第5章	電力変換器の冷却性能改善の検討	89
5.1	パワーモジュール構造の提案	89
5.2	パワーモジュール冷却特性の解析評価	92
5.3	高電力密度化に与える影響評価	95
5.4	まとめ	96

第6章	インバータの高電力密度化の検討	97
6.1	高電力密度 SiC インバータの試作	97
6.2	高電力密度インバータの特性評価試験	100
6.3	温度評価試験	103
6.4	まとめ	106
第7章	結論	107
	今後の課題	110
	謝辞	112
	参考文献	113
	研究業績	122

第1章

緒論

1.1 研究背景

1.1.1 エネルギー・環境問題

2015年パリで行われた気候変動枠組条約第21回締約国会議（COP21）で、2020年以降の気候変動に対する新たな世界的な枠組みとなるパリ協定が採択され、55ヶ国以上の参加、世界の温暖化ガス総排出量55%以上をカバーするという発効条件をクリアして、当初の見通しよりも大幅に早い2016年に発効された⁽¹⁻⁸⁾。2017年時点での締結国は159ヶ国・地域、温暖化ガス総排出量の86%をカバーするものとなった。パリ協定は全世界で温暖化対策に取り組むことが決定された歴史的な枠組みのスタートとなった。パリ協定の目標として、全世界で産業革命以前を基準とした平均気温上昇値を2℃より十分低くし、1.5℃以下とするための努力をするということで合意されている。1992年に採択された「国連気候変動枠組条約」に基づき、国連気候変動枠組条約締約国会議（COP）が1995年から毎年開催されている。パリ協定は、1997年のCOP3にて採択された京都議定書の後継の枠組みとなる。京都議定書では、先進国と途上国とに区分して限られた国での取り組みとなっていた。また、採択後の中国やインドなど途上国の急激な発展成長から、新しい枠組みが必要という議論が多くなされていた。実際、2016年の温室効果ガス排出量シェアを国別で見ると、中国が23.2%で1位、インドが5.1%でロシアと並んで同率4位となっている。日本の温室効果ガス排出量シェアは2.7%で8位である。パリ協定が歴史的な合意として評価されている根拠として、先進国、途上国の区別なく、全世界をあげて地球レベルの環境問題対策に対応することを義務付けたことがある。世界の環境問題とその対策は新たな時代へ入ろうとしているといえる。

パリ協定の採択、発効にあわせて、日本でも温暖化対策計画が2016年に閣議決定され、日本は温室効果ガスの排出削減目標として、2030年度までに2013年度基準で26%削減を目標として取り組むことが決まっている⁽⁹⁻¹⁴⁾。この目標を達成するためには、再生可能エネルギーの導入量を増やすなどエネ

ルギーミックス最適化の推進と、エネルギー使用効率化の追求が必要となる。

政府の示した 2030 年のエネルギーミックス目標によると、再生可能エネルギーを 22～24%、原子力を 22～20%とするなどの電源構成の見通しが示されている⁽¹⁰⁻¹²⁾。しかし、2011 年の東日本大震災での東京電力福島第一原発事故の影響で、原子力発電所の再稼働は停滞している状況である。太陽光や風力発電など、再生可能エネルギーの普及も軌道に乗っているとは言えない。一方で、欧州では日本の原発事故もトリガになり、脱原発、再生可能エネルギーの普及、コスト削減も軌道に乗りつつある状況といえる。

エネルギー効率化の追求という点では、日本は優れたパワーエレクトロニクス技術により、エアコンなどの家電へのインバータ適用、自動車の電動化、鉄道などでの次世代パワーデバイスの実用化など、世界の他の国と比較しても高効率化が進んでいるといえる。しかし、地球全体の環境問題に対応するためには、さらなる高効率化に継続的に取り組むことが必要である。世界各国で提案されている車の EV 化の加速に加えて、航空機の電動化、空飛ぶタクシーやドローンの活用など、新たな電動化モビリティへの取り組みが加速している。特に日本国内では、老朽化したインフラ点検・整備、建設現場での労働生産性改善のためのドローン活用ニーズが高い⁽¹⁵⁾。こうした、移動体、特に飛行体の電動化のためには、電力変換器、モータ、蓄電池などの電動化機器の小型軽量化、高電力密度化が強く求められている。

また、電気は変換・輸送効率の非常に高いエネルギーであり、既存の装置を電動化するだけでも高効率化を実現することができる。ただの電化だけではなく、パワーエレクトロニクス技術を駆使したインバータなどの電力変換器を適用することでさらなる高効率化が可能となる。未だ電力変換器が適用されていないモータ適用装置、または油圧や空気圧などで駆動される機械装置などに新たに電力変換器を適用するためには、その適用障壁を低くすることが必要となる。電力変換器の小型・軽量化によって、既存の装置・スペースに適用し易くすることは、電力変換器適用の促進・普及に繋がり、世界規模での高効率エネルギー利用に繋がると考えられる。特に日本は途上国と協力して温室効果ガスの削減に取り組み、削減の成果を両国で分け合う二国間クレジット制度（JCM）を推進し、途上国と自国の双方の削減目標を達成することを目指しているため、高電力密度電力変換器はそれを加速させるキーコンポーネントとすることができる。

上述した環境・エネルギー問題に加えて、日本国内では超高齢化社会に関連する課題も多く、また大きくなってきている⁽¹⁵⁾。日本の高齢化率は 2017 年時点で 27.7%と過去最高を記録し、かつこれは世界最高の値となっている。我が国の高齢化率は、2025 年には 3 割を超え、2050 年には 4 割弱にまで達する見込みである。また、日本の労働生産性は OECD 加盟 35 ヶ国中 20 位、主要先進 7 ヶ国で最下位となっている⁽¹⁵⁾。さらに、日本の健康寿命は 2016 年時点で男性が約 72 歳で女性は約 75 歳となっており、世界トップクラスとなっている⁽¹⁵⁾。日本の超高齢化社会と労働生産性の問題を解決するためには、日本の健康寿命の高さや労働意欲を活かして、高齢者や女性のさらなる労働参加促進がひとつの解決策となると考えられる。様々な労働者をサポートすることが求められており、人と協働するロボット、ウェアラブルロボットなどの開発が求められている。このようなロボットには軽くて小さな高電力密度電力変換器が強く求められることとなる。

1.1.2 パワーエレクトロニクス技術の発展と動向

現在、パワーエレクトロニクス技術無し的生活は考えられない程、人々の日常生活はパワーエレクトロニクス技術応用機器に溢れ、その恩恵により便利で快適、かつ豊かな生活が実現されている。日本国内の家電機器を見てみると、エアコン、冷蔵庫、洗濯機、掃除機、LED照明、IHクッキングヒーターなど、多くのパワーエレクトロニクス機器を適用したものが普及している。また、ハイブリッドカーやEV、鉄道などの交通手段は、インバータやDCDCコンバータなどのパワーエレクトロニクス機器の発展により、その燃費改善、排ガス削減などの課題を解決し続けながら普及が進んできたと言える。さらに、パソコンやスマートフォンなどのIT機器、テレビなどのオーディオ機器も、その電源回路部にはパワーエレクトロニクス技術が無くては成立しないものである。一般住宅の外でも、街のいたるところ、商業施設、工場や港湾など、あらゆる場所でパワーエレクトロニクス技術の恩恵を受けていることがわかる。

そのパワーエレクトロニクス技術の起点とされているのは、1957年の米国General Electric社によるサイリスタの商品化であるとされている⁽¹⁶⁾。それまでの機械接点リレーでは不可能であった高速でのスイッチ動作が可能となり、その低損失・高速スイッチング性能がその後のパワーエレクトロニクス技術の発展へと繋がった。さらには、1973年に開催された第1回IEEE Power Electronics Specialist Conferenceの基調講演において、W. E. Newellによって、パワーエレクトロニクスは電子工学(Electronics)、電力工学(Power)、制御工学(Control)の3つの領域にまたがる技術分野として提言された⁽¹⁷⁾。その後、スイッチ素子であるパワーデバイスの発展、制御用のマイコンやDSPなどの演算デバイス、電力変換回路・制御技術などの発展と共に、パワーエレクトロニクス技術は急速に発展し、上述のとおり活躍の場を拡げている⁽¹⁸⁻²⁷⁾。前節に述べたとおり、エネルギー問題、環境問題など、地球規模の様々な問題を解決するキーテクノロジーとして、技術開発の重要性に加えて人材育成の重要性も盛んに議論されている。

パワーエレクトロニクスの発展はモータの高精度・高効率な可変速制御を可能にして、その応用により様々な機器の高性能化、高効率化が達成されてきた⁽¹⁸⁻²³⁾。パワーエレクトロニクス技術適用以前のモータ駆動は、直流モータによる可変速制御が主に行われていて、交流モータは固定速駆動の用途に適用が限られていた。交流モータは直流モータと比較して、ブラシや整流子等の摩耗・接触導通部品がないため保守が容易で信頼性が高いという利点があるが、その可変速制御性の問題から適用先が限られており、交流モータの高効率かつ高精度な可変速制御技術の実現が求められていた。これらの要求に応えたのがパワーエレクトロニクス技術の代表的な装置であるインバータである。インバータは直流を交流に変換し、可変電圧可変周波数出力(VVVF: Variable Voltage Variable Frequency)が可能である。当初は誘導モータの電圧/周波数比(V/F)一定制御や、すべり周波数制御などが採用されていたが、ベクトル制御が提案、開発され実用化されることで、その制御性が飛躍的に改善された。ベクトル制御の確立によって、交流モータは元々有していた保守容易性、高信頼性に加えて、直流モータと同等の制御特性を有することになり、可変速制御、高度な制御応答性が求められるような機器・装置にも応用の範囲を広げていくこととなった⁽²⁰⁻²³⁾。

また、パワーエレクトロニクス技術の発展はパワーデバイスとその応用技術の発展の歴史とみるこ

ともできる。サイリスタの自己消弧（ターンオフ）を可能とする GTO（ゲートターンオフ）サイリスタ，トランジスタベースの自己消弧可能パワーデバイスであるパワートランジスタ，電圧駆動が可能な絶縁型ゲートを持ち高周波・低損失駆動を可能とするパワー MOSFET，トランジスタの高耐圧低オン電圧特性（電導度変調）と MOSFET の電圧駆動絶縁ゲートによる高周波・低損失駆動のメリットを併せ持つ IGBT などが開発された⁽²⁴⁻²⁵⁾。200V 以下の低電圧領域では MOSFET，中高電圧領域では IGBT が広く使われている。

そして、シリコン (Si) に替わる次世代半導体材料として期待されるワイドバンドギャップ (WBG) 半導体による次世代パワーデバイスの研究開発が盛んにされてきており，近年になって SiC (Silicon Carbide : 炭化ケイ素) や GaN (Gallium Nitride : 窒化ガリウム) などを適用したパワーデバイスの実用化がされ始めている⁽²⁶⁻²⁷⁾。これらの次世代パワーデバイスは Si パワーデバイスでは実現ができなかった領域へのブレークスルーを可能とする。次世代パワーデバイスのより高い性能の実現・実用化により，それらを適用した電力変換器の開発も新たなステージに突入しているといえる。まさに，シリコン時代から次世代デバイスによる新しい時代への転換期に差し掛かっているといえる。次世代パワーデバイスの特性を活かして，これまでのシリコンでは実現できなかった，高耐電圧対応，高耐熱性能，高周波駆動特性，高効率性能，小型・軽量化を実現する高電力密度化を追求した電力変換器が求められており，その研究開発が加速している。例えば，高耐電圧特性を活かした高電圧直流送電のための電力変換器，200℃を超える高温環境で動作する電力変換器，1MHz 以上の高周波でスイッチングすることでフィルタを極限まで小さくする電力変換器，ドローンや空飛ぶタクシーに加えてより大型飛行機の電動化を可能とするような小型・軽量電力変換器つまり高電力密度電力変換器などの実現に挑戦するステージに入っているといえる。

特に電力変換器の小型軽量化が燃費性能や排出ガス規制対応に影響する移動体の電動化においては，次世代パワーデバイスによる電力変換器の小型軽量化に期待が寄せられている。わが国では，ハイブリッド自動車や電気自動車の開発などで，電力変換器やモータの小型軽量化を進めてきている。これまでの高電力密度化は主にバッテリー電圧の高電圧化や昇圧回路による高電圧化によって達成されてきている。次世代パワーデバイスによるさらなる高電力密度化が検討されている。米国の政府機関 DOE (DEPARTMENT OF ENERGY) が掲げるロードマップによると，自動車用電力変換器の 2020 年での電力密度の達成目標は 13.4 kW/L，14.1 kW/kg と設定されている⁽²⁸⁻³⁰⁾。同様に自動車の主機用モータには 2020 年までに 5.7 kW/L，1.6 kW/kg の目標が設定されている。これに対して，日産自動車から 2012 年に商品化された電気自動車であるリーフに搭載されているモータ駆動用インバータは 5.7 kW/L，4.9 kW/kg，主機用モータは 4.2 kW/L，1.4 kW/kg を達成している⁽³¹⁾。DOE2020 年目標に対して，主機用モータは 70～80 % 程度，モータ駆動用インバータは 30～40 % 程度まで高電力密度化が実現されてきているが，今後も更なる技術開発が求められる状況といえる。さらに，MEA (More Electric Aircraft) や AEA (All Electric Aircraft) などの次世代航空機は，小型・軽量の高電力密度電力変換器を強く必要としている⁽³²⁻³⁵⁾。航空機による輸送量と CO₂ 排出量は年率 5% 程度で増加を続けており，今後も同程度の割合で増加していくと見込まれている⁽³⁶⁾。新興国の成長や LCC (Low-Cost Carrier) の事業拡大・普及によって移動手段としての航空機利用が拡大していることが背景にある⁽³⁷⁾。IATA (International Air Transport Association) の技術ロードマップによると，このような継続的に成長傾向にある航空機関

連市場に対して、航空機による CO2 排出量を 2020 年の値を上限として増加を抑え、かつ 2050 年の CO2 排出量を 2005 年比 50 %削減することを目標として掲げている⁽³⁶⁾。航空機による CO2 排出削減目標を達成するため、国際民間航空機関 ICAO (International Civil Aviation Organization) は 2050 年まで燃料効率を年率 2 %で改善するグローバル目標を 2010 年の第 37 回総会で決議した⁽³⁸⁾。こうした CO2 排出削減要求や燃費削減要求に応えるために航空機の電動化が進められてきている⁽³⁹⁾。最新の旅客機のひとつであるボーイング 787 機においては電力需要が 1 MVA を超え、過去 20 年程度で 3 倍以上の値となってきた⁽³⁴⁾。航空機の電動化による CO2 排出量削減、燃費改善においては、電力変換器やモータなどの電動化機器の軽量化、高電力密度化が強く求められている。航空機重量を 1 kg 軽くできると、全世界で 1 年あたり約 1,700 ton の燃料、約 5,400 ton の CO2 削減効果があると試算されている⁽⁴⁰⁾。航空機においては前述の車載用モータの 5 倍程度の高電力密度化が求められている⁽⁴¹⁻⁴⁶⁾。モータ駆動用のインバータは SiC パワーデバイスの適用が前提とされていて、ドイツ Siemens 社により 115 kVA/kg の高電力密度インバータが開発されている⁽⁴⁵⁾。小型の電動飛行機においては、その商品化・事業化が目前まできており、米国 Terrafugia 社の電動垂直離着陸機 (VTOL: Vertical Take-Off and Landing Aircraft) は 2019 年の商品化、米国 Uber 社による空飛ぶタクシー事業は 2023 年の開業を目標に開発が進められている^(41, 46)。日本でも航空機電動化の動きが活発化してきており、経済産業省と国土交通省は 2018 年 8 月に空の移動革命に向けた官民協議会を立ち上げ、同年 12 月に空飛ぶクルマ実現のロードマップも策定された⁽⁴⁶⁾。宇宙航空研究開発機構 (JAXA) も 2018 年 7 月に航空機電動化コンソーシアムを立ち上げ、日本における航空機電動化技術を促している⁽⁴⁶⁻⁴⁷⁾。このような高電力密度化に対する要求と期待、関連する研究開発は、SiC や GaN などの次世代パワーデバイス技術開発の進展に伴い加速しているといえる。

1.1.3 次世代電力変換器のつくる未来

日本は高度成長期以降、2 度の石油危機、東日本大震災・東京電力福島第一原子力発電所事故などのエネルギー危機を経て、エネルギー利用効率の改善を進めてきた⁽¹⁴⁾。1973 年度と 2016 年度を比較すると、経済成長を示す実質 GDP は約 2.5 倍になっているが、最終消費エネルギーは 1.2 倍に抑え、かつエネルギー変換効率などを高めることで省エネ化に取り組み、1 次エネルギー供給/実質 GDP は 1973 年度では 74 PJ/兆円であったのに対して 2016 年度はほぼ半分の 38 PJ/兆円となっている。日本国内でのエネルギー利用効率を見てみると、2016 年度は 1 次エネルギーの国内供給を 100 とすると最終消費エネルギーは 67 程度であり、供給エネルギーの約 33 %がエネルギーの変換や輸送の中でロスとして消失してしまっている。しかし、世界各国と比較をしてみると、2015 年度の日本の 1 次エネルギー/実質 GDP を 1 とすると、イギリス 0.9、米国 1.8、中国 4.6、インド 5.2、世界平均は 2.5 となっており、日本のエネルギー利用効率は世界トップクラスであることがわかる⁽¹⁴⁾。こうした背景の中で、エネルギー利用効率を向上するために、エネルギー利用の際に輸送・変換効率の良い電力に変換する割合が増えてきている。1970 年度に 12.7 %だった電力化率 (= 電力消費 ÷ 最終エネルギー消費 × 100) が 2016 年度には 25.7 %に達しており、約 50 年の間に 2 倍を超える増加を見せている。世界全体で見ても 1980 年の 10.9 %から 2015 年の 18.5 %と約 7.6 ポイント上昇しており、世界規模で電力化が進んでいること

がわかる⁽¹⁴⁾。エネルギー利用効率の向上が求められ、世界規模で電力化が進む傾向と電力化による高効率エネルギー利用推進の要求されている背景から、電力変換器の重要性が増してきているといえる。

パリ協定に基づく地球規模の目標を満たし、持続可能な社会の実現、人々の豊かな生活と発展を継続していくためには、電力変換器の適用拡大・普及によりエネルギー利用効率をさらに上げていくことが課題といえる。さらには、すでに世界トップレベルの省エネ技術を持つ日本には、世界中にこの優れた省エネ技術を展開・普及していくことが期待され、その責任があるといえる。

1.2 研究目的

本研究の最終目的は、電力変換器の普及を加速させることにより、世界を取り巻くエネルギー問題、環境問題を低減、解決し、持続可能な世界の実現と人類の発展に貢献することにある。この最終目的を達成するためには、インバータなどの電力変換器がいたるところに適用され、人間の豊かな生活を生み出すために消費されるエネルギーとCO₂排出量の削減が必要となる。そのためには、未だ電力変換器が適用されていない新たな装置・機器への電力変換器適用の障壁を低くするため、電力変換器が小型・軽量であることが求められる。言い換えれば、電力変換機器の高電力密度化は多くの装置・機器の電動化を促進し、持続可能な世界の実現へと繋がると考えられる。

本論文では、電力変換器の高電力密度化のための課題を明確にし、電力変換器の損失低減、冷却性能向上のための検討を行う。損失低減のために、次世代半導体デバイスであるSiC-MOSFETを適用し、スイッチング損失を低減するゲート駆動技術の検討を行う。さらに、導通損失低減のために、従来SiC-MOSFETに逆並列接続されていたSiC-SBDの削除可否について検討する。また、冷却性能向上のためにパワーモジュールの高熱伝導化に取り組む。上述の検討を元に高電力密度SiCインバータを試作して実験により検討の妥当性を検証していく。

本論文では、電力変換器の高電力密度化を研究目的とする。具体的な検討項目を以下に示す。

- 電力変換器高電力密度化のための課題を明確にする。
- 次世代パワーデバイスとして期待されるSiC-MOSFETのスイッチング特性を解析し、スイッチングのトレードオフを緩和し、低損失かつ低ノイズを実現するゲート駆動回路を開発し、その設計指針を明確にする。
- 次世代パワーデバイスであるSiC-MOSFETを適用した電力変換器の導通損失を低減する技術開発とその設計指針の明確化をする。
- 電力変換器の冷却性能向上のため、新構造パワーモジュールの開発をする。
- 以上の検討結果を適用したSiCインバータを試作し、本検討にて提案する技術の妥当性を検証する。

1.3 本論文の構成

以下に本論文の構成を示す。

第1章 序論

本論文の研究背景，課題，目的および本論文の構成を示す。

第2章 電力変換器の高電力密度化における課題

電力変換器の高電力密度化のための課題を整理して明確にする。さらに，電力変換器の高電力密度化における次世代パワーデバイスの技術動向や適用事例を整理する。続いて，電力変換器のスイッチング損失を低減するために必要な課題を明確にして，具体的なアプローチを提案する。また，電力変換器の導通損失を低減するために，SiC-MOSFET に逆並列接続される SiC-SBD を削除する構造を提案し，その実現に必要な検証項目を整理して明確にする。また，電力変換器の冷却性能向上のための検討条件と方針を決定する。

第3章 電力変換器スイッチング損失低減の検討

電力変換器の高電力密度化を可能とする SiC-MOSFET ゲート駆動回路の提案し，その効果を検証する。高電力密度化の障壁となるスイッチング特性におけるトレードオフについて整理して説明する。SiC-MOSFET のスイッチング特性の分析を行い，スイッチング損失低減のためにゲート駆動回路に求められる特性を明確にする。スイッチングにおけるトレードオフを緩和するゲート駆動回路を提案し，設計指針を明確にする。さらに，提案したゲート駆動回路の試作評価結果を示し，高電力密度化への寄与度を定量的に評価する。

第4章 電力変換器導通損失低減の検討

SiC-MOSFET に逆並列接続される SiC-SBD を削除することによる各種特性への影響，導通損失低減の効果を検証する。続いて，逆並列 SBD レス構造の SiC インバータが逆並列 SBD を持つ従来の SiC インバータより損失の点で優位性を持つ条件を明らかにするために，評価指標，設計指針を提案する。逆並列 SiC-SBD の有無による電力変換器特性の比較評価を実施する。さらに，逆並列 SBD レス構造による導通損失低減効果を示し，高電力密度化への寄与度を定量的に評価する。

第5章 電力変換器の冷却性能改善の検討

電力変換器の高電力密度化のため，SiC パワーモジュールの冷却性能を向上する新構造を提案する。本検討においては，冷媒配管，冷媒ポンプなど外部システムを不要とする強制空冷タイプを想定して，解析，試作評価による特性評価を実施し，高電力密度化への寄与度を定量的に評価検証する。

第6章 インバータの高電力密度化の検討

本研究において，提案するゲート駆動回路，逆並列 SBD レス構造とパワーモジュール冷却構造を適

用した SiC インバータを試作評価する。その結果から、提案手法の効果を検証する。試作インバータの体積，重量，連続動作可能な最大出力を計測して，電力密度を評価する。

第7章 結論

本論文の成果をまとめ，今後の課題について述べる。

第2章

電力変換器の高電力密度化における課題

本章では、電力変換器の高電力密度化のための課題を整理して明確にする。さらに、電力変換器のスイッチング損失を低減するために必要な課題を示し、その対策を検討する。つづいて、電力変換器の導通損失を低減するために、SiC-MOSFET の導通損失を低減するための課題を示し、その対策を検討する。また、電力変換器の冷却性能向上のための検討条件と方針を決定する。

2.1 技術背景・動向

本節では、電力変換器の高電力密度化に関する技術背景、技術動向を整理して、次節以降の高電力密度化のための課題の明確化に繋げる。

2.1.1 パワーデバイスの技術動向

高電力密度化に対する要求と期待、関連する研究開発は、SiC や GaN などの次世代パワーデバイス関連技術開発の進展に伴い加速している。次世代パワーデバイスの、高耐電圧特性、低損失特性、高速・低損失スイッチング特性による高周波化への親和性、高耐熱特性などが電力変換器の高電力密度化に有利だと考えられている。SiC は破壊電界強度の高さから、Si に比べてパワーデバイスの耐圧保持層を薄く作ることができ、導通抵抗を大幅に低減できる⁽⁴⁸⁾。これにより、Si では不可能だった高耐電圧特性を持つ MOSFET やショットキーバリアダイオード (SBD) などのユニポーラデバイスを実現することが可能となる。GaN を用いたパワーデバイスでも、HEMT 構造を取ることによって高いキャリア移動度の2次元電子ガス層により、導通抵抗を非常に小さくできる⁽⁴⁹⁻⁵¹⁾。低導通抵抗により、パワーモジュール、電力変換器の高電力密度化が可能となる。

これらの次世代パワーデバイスはスイッチング損失も大幅に小さくすることが可能である。SiC-MOSFET はユニポーラデバイスであるので、Si-IGBT などのバイポーラデバイスと比較して同耐圧

素子でのスイッチング損失を低減可能とする。また、GaN-HEMT は半導体チップ面方向に電流を流す横型デバイスであるため、Si-MOSFET などの縦型パワーデバイスと比較して寄生成分が大幅に小さくなり、スイッチング損失を小さくすることができる。これら次世代パワーデバイス的高速・低損失特性を活かし、Si パワーデバイスでは実現できなかった高周波領域へ、スイッチング周波数を高周波化してフィルタなどの受動素子の小型軽量化を実現することに期待が寄せられている。しかし、高周波化によってパワーデバイスのスイッチング損失は増加することになるので、パワーデバイスにおける発熱密度の増加が問題となってくる⁽⁵²⁻⁵⁴⁾。文献(52)では、SiC パワーデバイスを適用し、スイッチングの高周波化による電力変換器の高電力密度化について検討されているが、パワーデバイス素子の単位面積あたりの発熱が 1000 W/cm^2 にもなることから、冷却性能の向上が必要であると提言されている⁽⁵²⁾。文献(53)では、GaN デバイスによる損失低減効果が報告されている。しかし、やはりパワーデバイス素子単位面積あたりの発熱が 1000 W/cm^2 を超えるため、冷却性能向上の必要性を示している⁽⁵³⁾。文献(55)では、高熱伝導素材に微小な孔を作り水冷ヒートシンクとすることで、 600 W/cm^2 の冷却性能が可能であるとの検討結果が報告されている⁽⁵⁵⁾ が、それでも 1000 W/cm^2 という高冷却性能は満たせない。このように、パワーデバイスの高周波スイッチングには受動素子の小型軽量化の期待が寄せられているが、冷却システムの実現性から高周波化の限界点が存在することがわかる。パワーデバイスのスイッチングの高周波化による電力変換器の高電力化へのアプローチには、受動素子の小型・軽量化と冷却システムの小型・軽量化の間で最適化を図ることが重要となる。また、ワイドバンドギャップ次世代パワーデバイスは Si パワーデバイスよりも耐熱性が高いことから、より高温での動作の実現にも期待されているが、周辺材料や接合材料・製造プロセスの開発も必要なため、 $200 \text{ }^\circ\text{C}$ 以上で動作するデバイスの商品化には至っていない。

2010 年代に入ってから、次世代パワーデバイスを適用した電力変換器の実用化事例も増えてきている。特に日本国内における鉄道車両への適用が次世代パワーデバイスの実用化をけん引している。2012 年 2 月から東京メトロ銀座線の車両に SiC-SBD を適用した三菱電機製インバータが適用され、38.6 % の省エネ効果が実証された⁽⁵⁶⁾。さらに、2013 年 12 月に三菱電機から SiC-MOSFET と SiC-SBD を適用した鉄道向けフル SiC インバータの製品化が発表され、従来の Si-IGBT によるインバータと比較して重量・体積ともに約 65 % の削減が実現されたと報告されている⁽⁵⁷⁾。このフル SiC インバータは、2015 年に小田急電鉄の車両に適用され、実証試験の結果従来の Si-GTO によるインバータと比較して 40 % の省エネ効果が実証された⁽⁵⁸⁾。2015 年には JR 山手線の新車両にも SiC パワーデバイスが適用され、インバータを約 20 % 小型化し、約 16 % の省エネ効果を達成した⁽⁵⁹⁾。また、東芝からも SiC パワーデバイスを適用した鉄道車両向けインバータの開発により、従来インバータに比較して体積を約 60 % 低減したと報告されている^(60, 61)。さらに、2020 年には東海道新幹線の新車両にも適用する計画で関係各社による開発が進められている⁽⁶¹⁻⁶³⁾。また、次世代自動車への SiC パワーデバイスの適用も検討が進められている。トヨタ自動車は SiC パワーデバイスをモータ駆動制御用パワーコントロールユニット (PCU) に適用することで、PCU の体積を 1/5 に、ハイブリッドカーの燃費を 10 % 改善することを目指している⁽⁶⁴⁾。また、2018 年には米国の電気自動車 (EV) メーカーである Tesla 社から SiC パワーデバイスを適用した EV が商品化されている。安川電機は 2014 年に GaN パワーデバイスを適用した太陽光発電用パワーコンディショナの商品化を達成して、世界で初めて販売を開始している

⁽⁶⁵⁾。4.5 kW の住宅用パワーコンディショナで、従来比で設置面積を約 1/2 に削減したと報告されている⁽⁶⁵⁾。

2.1.2 高電力密度化の技術動向

前節までに述べてきたように、高電力密度電力変換器がパワーエレクトロニクス技術の新規適用あるいは適用範囲の拡大を狙う分野で大きな関心を集め、その開発に期待が寄せられている。例えば、MEA や AEA などの次世代航空機は、小型・軽量の高電力密度電力変換器を強く必要としている^(32-47, 66, 67)。このような高電力密度化に対する要求と期待、関連する研究開発は、SiC や GaN などの次世代パワーデバイス技術開発の進展に伴い加速しているといえる。航空機用のモータ駆動インバータは SiC パワーデバイスの適用を前提に多くの開発が進められている^(41, 42, 44, 45)。

ここで、航空機適用を目的とした高電力密度電力変換器の開発事例を整理してみる。文献(32)では、SiC 接合型電界効果トランジスタ (JFET) および SBD を使用した 3.03 kW/L および 3.59 kW/kg (制御基板、ケースを除く) の三相 AC-DC-AC 10 kW コンバータが開発されている⁽³²⁾。また、文献(33)には、4 kW/kg の DC/AC コンバータが開発されているが、航空機適用のためのフィルタや冷却システムを考慮すると、電力密度が 2 kW/kg にまで低下する可能性があるとして報告されている⁽³³⁾。文献(66)では、100 kHz での高周波スイッチングを可能とするゲート駆動回路を適用した水冷三相 SiC-50 kW インバータの開発について報告されており、フィルタを除いて最大 26 kW/kg という電力密度を達成している⁽⁶⁶⁾。文献(67)では、高電力密度を目的に設計の最適化を図り、冷却器重量とフィルタ重量を最小化することを検討した結果、フィルタを含む水冷三相インバータで 6.49 kW/kg が達成されている⁽⁶⁷⁾。

電力変換器の電力密度は 2015 年頃に約 30 kW/L に達すると予測されていた⁽⁶⁸⁻⁷⁰⁾。高電力密度変換器に関連する技術は文献(71)で詳細に研究されており、様々な電力変換器に対する出力密度限界が 26~44 kW/L 程度にあると試算されている⁽⁷¹⁾。ノイズフィルタなどに使用されるインダクタやコンデンサなどの受動部品の小型軽量化のために、より高いスイッチング周波数を適用することが盛んに検討されている。文献(72)では、400 kHz のスイッチング周波数で、8.5 kW/L の強制空冷 10 kW コンバータおよび 10 kW/L の水冷コンバータが開発されている。さらに、最大 2.5 MHz までスイッチング周波数の高周波化を図ることによって 18.5 kW/L の水冷コンバータが実現されている⁽⁷²⁾。しかしながら、より高いスイッチング周波数を適用することは、スイッチング損失を増大させ冷却器の大型に繋がる、あるいはインダクタなどに新たな磁性材料が必要となる可能性を生じる。このような背景から、航空機用途に適した LCL フィルタ設計の検討⁽⁷³⁻⁷⁴⁾、磁性部品の冷却方式の検討⁽⁷⁵⁾ など盛んに研究されている。また、文献(76)では直流バスコンデンサを小型・軽量化するためにアクティブリップルエネルギーバッファの研究もされている⁽⁷⁶⁾。

高電力密度化のために、シリコンデバイスよりも高い動作温度(例えば 200°C)で SiC パワーデバイスを動作させることも検討されている⁽⁷⁷⁻⁸⁰⁾。文献(77)では、200°Cの耐熱性を持つ SiC-JFET のパワーモジュールを適用して、1.37 kW/L および 1.41 kW/kg の液冷 5 kW 三相インバータが開発された⁽⁷⁷⁾。日本国内でも新エネルギー産業技術総合開発機構(NEDO)と次世代パワーエレクトロニクス研究開発機構(FUPET)によって、200 °Cを超える温度での動作を可能とする SiC パワーモジュールと高電力

密度インバータの開発が行われてきた⁽⁷⁸⁻⁸⁰⁾。文献(78)によると、200℃以上の耐熱性を持つSiCモジュールを適用して、EMI(電磁干渉)フィルタ無しの条件で、40kW/Lの空冷三相インバータがFUPETにより開発されている⁽⁷⁸⁾。さらに、開発を進めて70kW/Lまで電力密度を高めることが可能であると報告されている^(79, 80)。また、新しい取り組みとしてアディティブマニファクチャリング技術(3Dプリンタ技術)を活用した、金属印刷により製造した冷却器一体型パワーモジュールなども開発されている⁽⁸¹⁾。

2014年に、米国Google社とIEEEはLittle Box Challenge(LBC)と題して全世界でインバータの高電力密度化を競う国際コンペティションを開催した。参加者はEMIフィルタを備えた世界最小の2kW単相空冷インバータを題材にして高電力密度化のための技術開発に挑戦した。このLBCで開発されたインバータの概念と技術は、世界の研究者によって調査・議論がされており、文献(82-84)などに整理されまとめられている。上位チームの達成した電力密度の値を見てみると、3.41kW/L~13.18kW/Lの範囲の電力密度が達成されている⁽⁸⁰⁾。参加者は、次世代パワーデバイスであるGaNデバイスやSiCデバイスを適用し、アクティブパワーデカップリング(APD)とSiデバイスよりも高いスイッチング周波数を採用することによって、高いパワー密度を達成している。LBC参加者の間で多く適用されているAPD法は文献(85)で詳しく比較されており、電力密度の向上におけるAPDの重要性が強調されている。文献(86)では、高電力密度化を目的とした設計最適化のために、GaNデバイス適用インバータの冷却システムと出力フィルタの体積に関するトレードオフの検討が行われている。文献(87)では、120kHzでスイッチングする7レベルのマルチレベルGaNインバータとAPDを備えた13.18kW/Lの空冷インバータが開発されている。また、文献(88)では、100kHzスイッチングのGaNデバイスとAPDを使用して、6.22kW/Lの空冷インバータが開発されている。さらに、文献(89)では、45kHzでスイッチングするSiCインバータとAPDを用いて、6.1kW/Lの空冷インバータが開発されている。上述のように、最新の高電力密度インバータに関する研究によると、文献(78)で40kW/L、文献(87)で13.18kW/L、文献(66)で26kW/kgなど、文献(68-70)で予測されていた電力密度を超える高電力密度電力変換器の達成が現実になってきている。

2.2 高電力密度化への課題とアプローチ

本節では、電力変換器の高電力密度化のための課題を整理し、本検討で取り組むアプローチを明確にする。前節で整理した高電力密度電力変換器に関する最新の研究報告によると以下のようなアプローチが多く取られており、その有効性を見て取ることができる。以下に、そのアプローチとそのための課題・対策を挙げる。

- (a) 損失低減のためにSiCおよびGaNなどの次世代パワーデバイスを適用する。
 - デバイス開発に加え、その実装技術や駆動技術など関連技術の検討
- (b) 磁気部品の小型軽量化のためにより高いスイッチング周波数を適用する。
 - 高周波駆動技術、パワーデバイス冷却技術、あるいは高周波対応の磁性材料の検討
- (c) より高い動作温度を適用する。
 - 耐高温材料、実装方法の検討

(d) コンデンサの小型軽量化のためにアクティブパワージェットアップリング (APD) を適用する。

→APD 回路, 制御技術の検討

(e) 冷却システムの小型軽量化のために冷却性能を向上させる。

→冷却方式・構造, 材料の検討

(f) 各構成部品・コンポーネントの体積・重量の間のトレードオフを考慮し設計最適化を行う。

→各要素や相互干渉のモデル化や最適化設計手法の検討

上記の高電力密度化のアプローチを整理しなおすと、高電力密度化の検討は 3 つのステージに分けられると考えられる。前節での技術動向を整理すると、まず第 1 段階として電力変換器内のパワージェットアップリング冷却システムの小型化、第 2 段階として冷却システムに加えてフィルタなどの受動素子を含む電力密度の最大化がある。さらには、第 3 段階として電力変換器の負荷となるモータなどを含めたシステム最適化、システム全体での電力密度最大化の検討のレベルがあると考えられる。文献 (90, 91) には、モータ駆動用の SiC インバータのスイッチング周波数を高周波化することで、モータの高周波損失を低減することができるかと報告されている^(90, 91)。文献 (92-94) には、マルチレベルインバータによるモータ駆動電流ひずみ率低減効果によりモータ損失の低減が可能であることが報告されている⁽⁹²⁻⁹⁴⁾。このように、電力変換器の技術により負荷となるモータを含むシステムの損失最小化、さらには電力密度最大化の検討が進んでいくこととなる。

上述のように、電力変換器の高電力密度化のステージを次の 3 つに整理し、本検討においては第 1 段階である冷却システムの小型化に取り組むこととする。その上で、今後の課題として対象アプリケーションを定義することで EMC に対するクライテリアが明確になるので、フィルタと冷却システムの最適化を目指す。さらに、モータ含むシステム最適化を目指すこととする。

以下に電力変換器の高電力密度化の検討対象の区分を示す。

- ① 低損失パワージェットの適用や低損失駆動回路の検討, あるいは動作温度の高温化, 冷却性能の向上などによる, 冷却システムの小型化軽量化による電力変換器の高電力密度化
- ② スwitching の高周波化や APD による受動部品の小型軽量化, さらにはフィルタとパワー回路・冷却システムの最適化を図るフィルタ含む電力変換器の高電力密度化
- ③ モータ含むトータルシステムでの最適化を図り, 電力変換器を含むアプリケーション全体での高電力密度化

電力変換器の単位体積当たりの出力密度は式 (1) のように表すことができる。電力変換器の出力電力を、電力変換器を構成する各要素の体積の和で除したものである。 Vol_{pw} は電力変換器の主回路部の体積である。電力変換器の電流容量や定格電圧によって、必要な流路断面積や絶縁距離が確保され、大きさが決められることとなる。 Vol_{cs} は電力変換器の冷却システムの体積である。電力変換器の損失、環境温度、冷却条件、半導体素子の許容温度上昇幅によって大きさが決められる。 Vol_{ctrl} は電力変換器の制御システムの体積である。制御用のマイコンやセンサ, 制御回路基板などの要素を含む。制御システムの体積は電力変換器容量に影響を受けにくいので、出力電力が大きな電力変換器ではその割合は小さく、出力電力が小さな電力変換器ではその割合が大きくなる傾向があると言える。 Vol_{struct} は電

力変換器のケースなどの構造部材、ネジや固定部材などの支持部材の体積である。強度を求められる部材は単位体積あたり重量当たりの強度を向上することで、この体積・重量を低減することが可能である。例えば、鉄に代わる CFRP などの新素材の適用によって改善することが可能である。 Vol_{fil} は電力変換器内部のフィルタの体積である。スイッチング周波数の高周波化によるフィルタの小型化も検討されているが、冷却システムの体積とフィルタの体積はトレードオフとなる要素を持っているので、その最適化が必要となる。 Vol_{etc} は前述した要素以外の要素の体積を表す。例えば、電力変換器の中でデッドスペースとなっている空間もこの中に含まれる。また、式 (1) の分母を構成する要素は、各要素の機能で部材・空間を共有することも考えられる。式 (2) (3) で示すように電力変換器の電力密度の逆数を取って整理すると、各要素の電力変換器出力電力に対する電力密度で表すことができる。結果、電力変換器の出力密度は式 (4) のように表すことができる。

さらに、電力変換器だけではなく例えばモータ駆動システム全体の電力密度を式 (5) のように表して考えることもできる。式 (5) の分母を構成するフィルタ体積 Vol_{FILT} 、モータ体積 Vol_{mot} には、式 (1) で示した電力変換器と同様に要素ごとの主回路部、制御システム、冷却システムを含んでいると考えるべきである。また前述のとおり、モータ駆動システムの電力変換器冷却システムとモータ冷却システム、フィルタの間にはトレードオフの関係があり、システム全体での最適化を図ることで電力密度の最大化を実現することが可能となる。

式 (1) から (5) においては、単位体積当たりの電力密度について各要素の体積をもとに考えたが、各要素の体積を各要素の重量に置き換えることで単位重量当たりの電力密度を表すことができる。

ここで、電力変換器の高電力密度化のため冷却システムの小型・軽量化を実現する上で解決すべき課題を明確にするために、電力変換器の電力密度と電力変換器特性、冷却システム特性の関係について考察する。電力変換器の電力密度と冷却システムの出力電力に対する密度の関係は式 (6) (7) のように示すことができる。式 (6) は単位体積当たりの電力密度 [kW/L]、式 (7) は単位重量当たりの電力密度 [kW/kg] を示す。ここでは、冷却システムの冷却性能を示す $CSPI$ (Cooling System Performance Index) を用いて電力密度を表している。単位体積当たりの冷却システムの冷却性能を示す $CSPI (V)$ 、単位重量当たりの冷却システムの冷却性能を示す $CSPI (G)$ を、それぞれ式 (8) (9) のように定義する。式 (6) (7) の右辺から、電力密度を向上させるためには3つのアプローチがあることがわかる。

1つ目は電力変換器の効率を向上させることであり、言い換えれば電力変換器の損失を低減することである。電力変換器の損失を低減し効率を向上することは、半導体パワーデバイスの許容温度範囲内でより大きな出力まで動作させることを可能とし、同じ体積・重量のまま出力電力を増加させ高電力密度化を達成することに繋がる。あるいは、損失低減によって電力変換器の出力と半導体パワーデバイスの温度上昇幅を保ったまま冷却システムの冷却容量低下が許容できるようになるので、冷却システムの小型・軽量化が可能となる。つまり、出力電力を保ったまま電力変換器の小型・軽量化が可能となり、高電力密度化が達成される。本検討においては、電力変換器の低損失化を実現することで高電力密度化を達成することを狙う。

2つ目は冷却システムの $CSPI$ を向上させることである。この時、例えば強制空冷ヒートシンクを水冷ヒートシンクにすることでヒートシンク自体の単位体積・重量当たりの冷却性は改善されることとなるが、水冷ヒートシンクを採用する場合は外部にポンプや配管などの付加装置が必要となり、冷

却システム全体としての *CSPI* は改善されないことも考えられる。*CSPI* は冷却のために必要な機器類全てを考慮する必要がある。本検討においては、電力変換器の外部環境などの制約を受けにくく、検討技術を適用する際に制限が生じにくいように、強制空冷による冷却システムを対象として検討を行う。

3つ目は半導体パワーデバイスのジャンクション温度の許容上昇値を大きくすることである。つまり、パワーデバイスの最大許容温度を高くすること、あるいは環境温度や冷却媒体温度を低くすることを意味している。本検討においては、このジャンクション温度の許容温度上昇値を大きくするアプローチは検討対象外とする。より高温での動作を実現するためには、半導体パワーデバイス周辺部材の材料開発や接合技術などの電気・電子回路技術以外の技術開発に主たる課題があるといえるからである。また、より低温環境での使用や冷却媒体の適用も検討技術の適用範囲を限定してしまうことになるので、本検討の対象外とする。

その上で具体的なアプローチを図 2.1 に示す。まず、損失低減のために次世代パワーデバイスである SiC-MOSFET を適用して導通損失とスイッチング損失の低減を図る。さらに、スイッチング損失を低減するためにゲート駆動回路技術の開発をする。また、導通損失低減のために SiC-MOSFET に逆並列接続されている SiC-SBD の削除をして SiC-MOSFET の利用可能面積を増やす検討を行う。言い換えると、チップ面積当たりの導通損失の低減を狙う。この時、損失低減と同時にノイズが増大してしまうようだと、せっかく低損失化により電力密度を向上してもノイズフィルタの大型化を招いて電力密度の低下要因となってしまうので、ノイズ増大を回避することも重要となる。さらに、冷却システムの *CSPI* を向上するためにパワーモジュールの新冷却構造の検討を行う。次節以降、本研究での具体的な実施項目、取り組む課題について議論する。

$$\rho_{\text{conv}(V)} \propto \frac{P_{\text{out}}}{Vol_{\text{pw}} + Vol_{\text{cs}} + Vol_{\text{ctrl}} + Vol_{\text{struct}} + Vol_{\text{filt}} + Vol_{\text{etc.}}} \quad (1)$$

$$\frac{1}{\rho_{\text{conv}(V)}} \propto \frac{Vol_{\text{pw}} + Vol_{\text{cs}} + Vol_{\text{ctrl}} + Vol_{\text{struct}} + Vol_{\text{filt}} + Vol_{\text{etc.}}}{P_{\text{out}}} \quad (2)$$

$$\frac{1}{\rho_{\text{conv}(V)}} \propto \frac{1}{\rho_{\text{pw}(V)}} + \frac{1}{\rho_{\text{cs}(V)}} + \frac{1}{\rho_{\text{ctrl}(V)}} + \frac{1}{\rho_{\text{struct}(V)}} + \frac{1}{\rho_{\text{filt}(V)}} + \frac{1}{\rho_{\text{etc.}(V)}} \quad (3)$$

$$\rho_{\text{conv}(V)} \propto \frac{\rho_{\text{pw}(V)} \times \rho_{\text{cs}(V)} \times \rho_{\text{ctrl}(V)} \times \rho_{\text{struct}(V)} \times \rho_{\text{filt}(V)} \times \rho_{\text{etc.}(V)}}{\rho_{\text{pw}(V)} \times \rho_{\text{cs}(V)} \times \rho_{\text{ctrl}(V)} \times \rho_{\text{struct}(V)} \times \rho_{\text{filt}(V)} + \rho_{\text{pw}(V)} \times \rho_{\text{cs}(V)} \times \rho_{\text{ctrl}(V)} \times \rho_{\text{struct}(V)} \times \rho_{\text{etc.}(V)} + \rho_{\text{pw}(V)} \times \rho_{\text{cs}(V)} \times \rho_{\text{ctrl}(V)} \times \rho_{\text{filt}(V)} \times \rho_{\text{etc.}(V)} + \rho_{\text{pw}(V)} \times \rho_{\text{cs}(V)} \times \rho_{\text{struct}(V)} \times \rho_{\text{filt}(V)} \times \rho_{\text{etc.}(V)} + \rho_{\text{pw}(V)} \times \rho_{\text{ctrl}(V)} \times \rho_{\text{struct}(V)} \times \rho_{\text{filt}(V)} \times \rho_{\text{etc.}(V)} + \rho_{\text{cs}(V)} \times \rho_{\text{ctrl}(V)} \times \rho_{\text{struct}(V)} \times \rho_{\text{filt}(V)} \times \rho_{\text{etc.}(V)}} \quad (4)$$

$\rho_{\text{conv}(V)}$: 単位体積当たりの電力変換器電力密度 [kW/L]

P_{out} : 電力変換器の出力電力 [kW]

Vol_{pw} : 電力変換器主回路部の体積 [L]

Vol_{cs} : 冷却システムの体積 [L]

Vol_{ctrl} : 制御システムの体積 [L]

Vol_{struct} : 支持・構造部材の体積 [L]

Vol_{filt} : 電力変換器内部フィルタの体積 [L]

$Vol_{\text{etc.}}$: 上記定義以外のその他要素の体積 [L]

$\rho_{\text{pw}(V)}$: 単位体積当たりの電力変換器主回路部の電力密度 [kW/L]

$\rho_{\text{cs}(V)}$: 単位体積当たりの冷却システム器電力密度 [kW/L]

$\rho_{\text{ctrl}(V)}$: 単位体積当たりの制御システムの電力密度 [kW/L]

$\rho_{\text{struct}(V)}$: 単位体積当たりの支持・構造部材の電力密度 [kW/L]

$\rho_{\text{filt}(V)}$: 単位体積当たりの電力変換器内部フィルタの電力密度 [kW/L]

$\rho_{\text{etc.}(V)}$: 上記定義以外のその他要素の単位体積当たりの電力密度 [kW/L]

$$\rho_{\text{sys}(V)} \propto \frac{P_{\text{out}}}{Vol_{\text{conv}} + Vol_{\text{FILT}} + Vol_{\text{mot}} + Vol_{\text{ETC.}}} \quad (5)$$

$\rho_{\text{sys}(V)}$: モータ駆動システム全体の電力密度 [kW/L]

Vol_{conv} : 要求機能を満たすために必要な要素の体積 [L]

Vol_{FILT} : 電力変換器外部のフィルタの体積 [L]

Vol_{mot} : モータの体積 [L]

$Vol_{\text{ETC.}}$: 上記定義以外の電力変換器外部のその他要素の体積 [L]

$$\rho_{\text{conv}(V)} < \rho_{\text{cs}(V)} = \frac{P_{\text{out}}}{Vol_{\text{CS}}} = \frac{\eta}{100 - \eta} \times CSPI(V) \times \Delta T_{\text{jmax}} \quad (6)$$

$$\rho_{\text{conv}(G)} < \rho_{\text{cs}(G)} = \frac{P_{\text{out}}}{G_{\text{CS}}} = \frac{\eta}{100 - \eta} \times CSPI(G) \times \Delta T_{\text{jmax}} \quad (7)$$

$$CSPI(V) = \frac{1}{R_{\text{th_cs}} \times Vol_{\text{CS}}} \quad (8)$$

$$CSPI(G) = \frac{1}{R_{\text{th_cs}} \times G_{\text{CS}}} \quad (9)$$

η : 電力変換器の変換効率 [%]

$CSPI(V)$: 単位体積当たりの冷却能力 [kW/K*L]

ΔT_{jmax} : 半導体パワーデバイスジャンクション温度の最大許容温度上昇値

$\rho_{\text{conv}(G)}$: 単位重量当たりの電力変換器電力密度 [kW/kg]

$\rho_{\text{cs}(G)}$: 単位重量当たりの冷却システム器電力密度 [kW/kg]

G_{CS} : 冷却器の重量 [kg]

$CSPI(G)$: 単位重量当たりの冷却能力 [kW/K*kg]

$R_{\text{th_cs}}$: 冷却システムの熱抵抗 [K/kW]

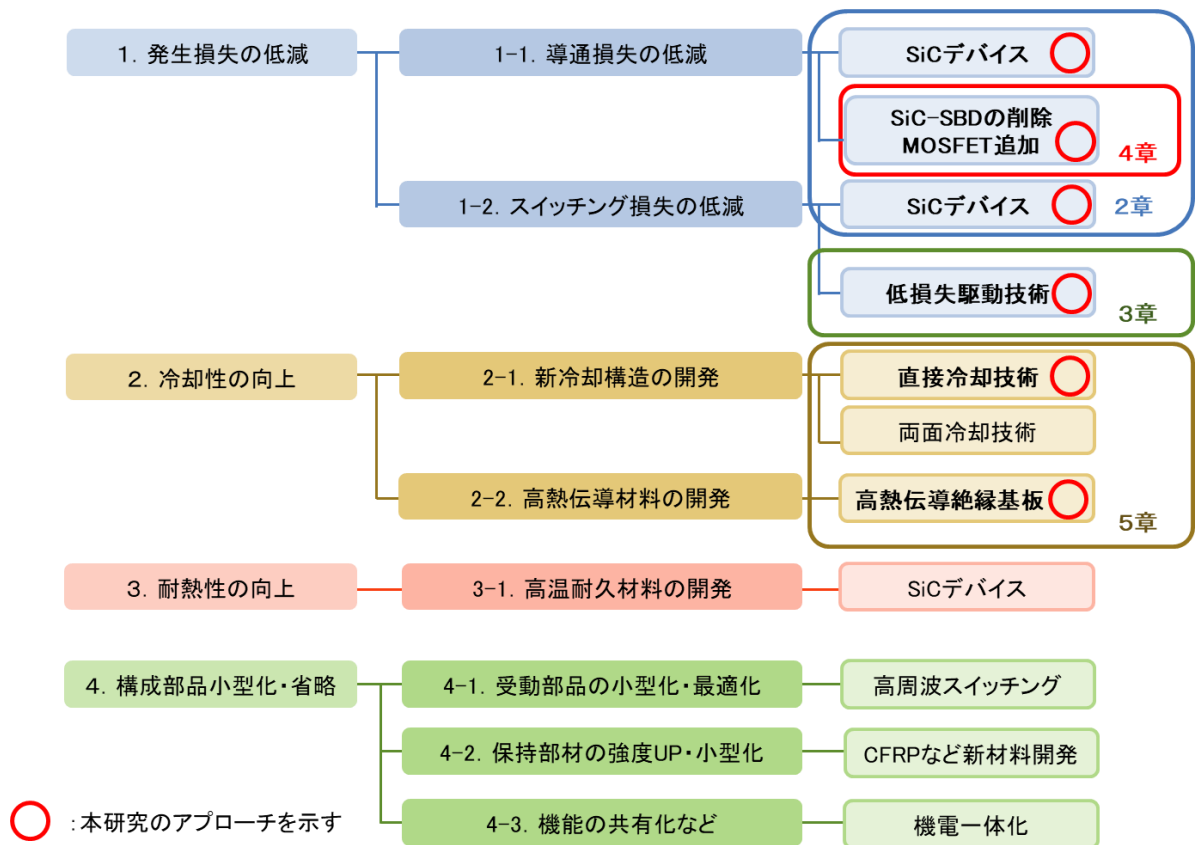


図 2.1 電力変換器の高電力化のための課題・対策

2.3 本研究における電力変換器の検討仕様

本節では、本研究において検討する電力変換器の仕様について述べる。前節までに電力変換器の高電力密度化の技術動向について整理したが、電力変換器の電力密度の値はその仕様によって大きく影響を受ける。例えば、100kW 以上の比較的容量の大きな電力変換器は電源電圧を高くすることで電力密度を高くし易い傾向がある。一方、Google LBC などのように 2kW 程度の小容量電力変換器の場合は、電力変換部や冷却システム以外のケースやネジなどの支持部材やコネクタや端子台などの配線部材の体積・重量が支配的となり、電力密度の向上が難しくなる。したがって、電力変換器の高電力密度化の技術検証をする際には、電力変換器の仕様を定義した方が議論や評価をしやすい。

表 2.1 に本検討で検証用に試作する電力変換器の仕様概略を示す。回路方式は 2 レベル電圧形インバータとして、定格最大電圧を 600 V、定格最大電流を 100 A に定義する。変換機容量は 10 kVA から 50 kVA とし、冷却方式は強制空冷とする。また、検討技術の適用先に限定はないが、インバータが広く活用される用途であるモータ駆動用インバータとして検証をする。

表 2.2 には次章以降に損失低減技術の検証において使用する SiC-MOSFET パワーモジュールの仕様概略を示す。ROHM 社製 1200 V 耐圧 120 A 級パワーモジュールのデータシートから主要仕様を抜き出して示した^(95,96)。

表 2.1 電力変換器仕様

No.	項目	仕様
1	回路方式	2レベル電圧形三相インバータ
2	定格電圧	~600V
3	定格電流	~100A
4	定格出力	10kVA~50kVA
5	冷却方式	強制空冷
6	用途	モータ駆動

表 2.2 SiC パワーモジュール仕様概略

No.	項目	仕様	備考
1	最大定格電圧	1200 V	
2	最大定格電流	134 A	$T_c = 60\text{ }^\circ\text{C}$
3	入力容量	14 nF	$V_{ds} = 10\text{ V}, V_{gs} = 0\text{ V}, 1\text{ MHz}$
4	内部ゲート抵抗	1.8 Ω	25 $^\circ\text{C}$
5	寄生インダクタンス	25 nH	

2.4 損失低減の検討

本節では、電力変換器の高電力密度化のための損失低減技術について検討する。

2.4.1 次世代パワーデバイスの適用

図 2.2 に MOSFET の断面模式図を示す。図 2.2 左は Si-MOSFET、右は SiC-MOSFET の断面模式図である。SiC などのワイドバンドギャップデバイスは、従来のシリコンデバイスと比較して高耐電圧特性を有するため、シリコンでは不可能であった高耐電圧を持つユニポーラデバイスを実現することが可能となる。MOSFET の耐電圧はドリフト層 (Drift layer) で確保するため、MOSFET の高耐電圧化をするためにはドリフト層を厚くする必要がある。ドリフト層が厚くなるにしたがって、ドレイン (D) 端子-ソース (S) 端子間の距離が長くなり導通抵抗が大きくなってしまふので、従来のシリコンデバイスでは 200V を超える高耐電圧 MOSFET の実現は困難であった。スーパージャンクション構造を適用することで 200V 以上 600V 程度まで耐圧を持つ MOSFET を実現していた。SiC デバイスはその高絶縁破壊電圧特性から、シリコンデバイスと比較してドリフト層を薄く抑えることが可能となる。同じ耐電圧を実現するドリフト層厚を 1/10 程度にすることができるので導通抵抗を抑えることができ、シリコンデバイスでは不可能であった 1200V 以上の高耐電圧 MOSFET を実現することが可能となる。同様に、ユニポーラデバイスであるショットキーバリアダイオード (SBD) の高耐電圧化も可能となり、

SiC-SBDはSiC-MOSFETに先行して開発・製品化が進んでいる。従来1200V以上の領域で使用されてきたバイポーラデバイスであるIGBTやファストリカバリダイオードと比較して、ターンオフ時のテール電流やターンオン時の同一レグのアーム対のダイオードのリカバリ電流が無くなり、スイッチング損失を大幅に低減することが可能となり、電力変換器の低損失化、小型・軽量化、高電力密度化が期待できる。

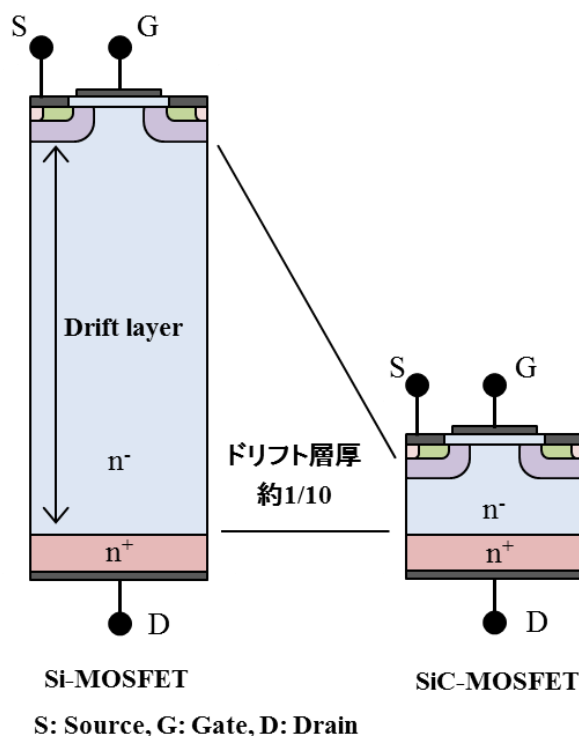


図 2.2 SiC による MOSFET の高耐電圧化

2.4.2 スwitching損失の低減

前項で述べたとおり、SiC-MOSFETを適用することで、Si-IGBTに比べて大幅にスイッチング損失を低減することが可能となる。同じスイッチング周波数であればパワーデバイスの冷却システムを小型軽量化すること、あるいは出力電力の向上が可能となり、電力変換器の高電力密度化が達成される。本研究では、さらなるスイッチング損失の低減を検討し、スイッチング損失の低減による電力密度向上を追求する。このようなスイッチング損失低減の検討は、フィルタなどの受動素子の小型軽量化のために期待されるスイッチングの高周波化の要求に応えることも可能とする。

図 2.3 にパワーデバイスのスイッチングにおけるトレードオフの関係を示す。半導体パワーデバイスのスイッチング特性においては、スイッチング損失・スピードとスイッチングノイズとの間にはトレードオフの関係があることが知られている。スイッチングノイズを抑えようとする、スイッチングスピードを遅くする必要がありスイッチング損失は大きくなってしまふ。逆にスイッチング損失を抑えようとする、スイッチングスピードを速くする必要があり、スイッチングノイズが増大してしま

う。電力変換器の高電力密度化において、スイッチングのトレードオフは冷却器の小型化とノイズフィルタの小型化の間のトレードオフという形になって現れることになる。スイッチング損失を抑えることでパワーデバイスの冷却器システムは小型化されるか、あるいは出力電力の向上が可能となるが、スイッチングノイズ対策のためノイズフィルタは大型化する恐れがあり、高電力密度化の妨げになってしまう。逆にスイッチングノイズを抑えればノイズフィルタは小型化・省略が可能となるが、スイッチング損失増加のため冷却システムの大型化、あるいは出力電力の低下に繋がり、やはり高電力密度化を妨げてしまう。

電力変換器の高電力密度化を実現するためには、スイッチングのトレードオフを緩和し、低損失かつ低ノイズスイッチングを実現することが重要となる。本検討では、SiC-MOSFET のスイッチング動作を分析し、スイッチングのトレードオフを緩和してノイズ増大を回避しながらスイッチング損失を低減可能な駆動技術の検討を行う。それはつまり、ノイズフィルタの大型化を回避しながら、ヒートシンクを小型化、あるいは出力電力を向上することに繋がり、電力変換器の高電力密度化を達成することに繋がる。

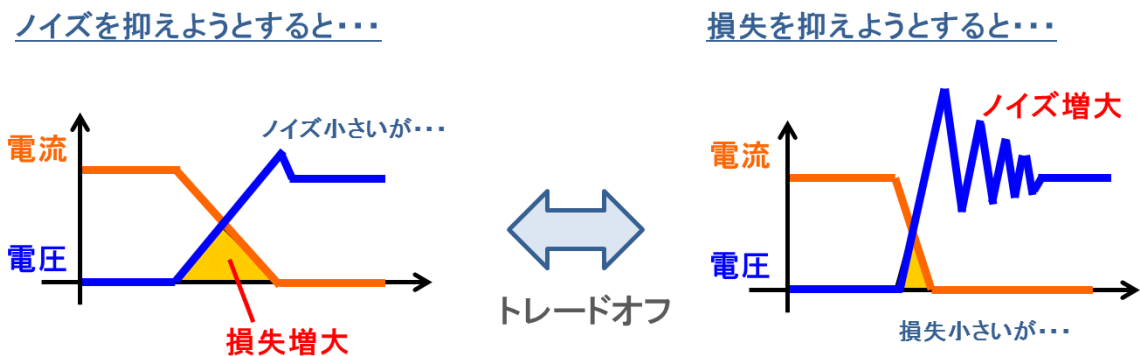


図 2.3 スwitchングにおけるトレードオフ

2.4.3 導通損失の低減

電力変換器の高電力密度化のために、パワーデバイスでの導通損失を低減し、パワーデバイス冷却システムの小型軽量化、あるいは出力電力の向上を実現する。これまで述べてきたとおり、SiC パワーデバイスはその低損失特性から同電流容量を得るためのチップ面積を小さくすることが可能である。これにより、スイッチング特性のさらなる改善効果も得ることができる。また、チップ面積が小さくなればパワーデバイスの小型化、さらには SiC デバイスの欠点でもある結晶欠陥の問題も緩和されるので、SiC パワーデバイスのチップ面積は可能な限り小さく設計されている。このような背景から導通抵抗低減よりもチップ面積縮小化が優先される傾向があり、この結果、SiC パワーデバイス製品は材料特性程の導通抵抗低減は得られず、その低スイッチング特性から、従来シリコンデバイスと比較して電力変換器の全体損失のうち導通損失の占める割合が増えてしまう傾向にある。SiC-MOSFET の低損失化を狙うためには導通損失の低減を達成することが重要となる。

また、市販が開始されている SiC-MOSFET モジュールの多くは逆並列の SiC-SBD が内蔵されている。電力変換器に多く適用されている同期整流方式を採用すれば、この逆並列 SiC-SBD が導通する機会は限られる。そこで、本検討では逆並列 SiC-SBD を削除して、それによって得られたスペースに SiC-MOSFET を追加配置することで、パワーデバイスの素子面積を増やすことなく導通損失低減を狙うことを検討する。そのためには、逆並列 SBD レス構造を取ることにクリティカルな悪影響が無いことを検証する必要がある。本検討では、逆並列 SBD レス構造が電力変換器の損失特性とノイズ特性に悪影響が無いことを検証した上で、逆並列 SBD レス化により得られたスペースに SiC-MOSFET を追加配置することで導通損失低減して、高電力密度化への効果を検証する。

2.5 冷却性能の向上による高電力密度化

本検討では、電力変換器の高電力密度化のためにパワーデバイスの冷却性能の向上に取り組む。また、本検討においては、電力変換器の外部システムに制限・拘束条件を与えないように、冷却媒体用配管・ポンプなどの付加設備を必要としない強制空冷方式の電力変換器を対象とする。小型軽量・高熱伝導の冷却部材をパワーモジュールの絶縁基板下に直接結合する直接冷却方式の小型・軽量の SiC-MOSFET パワーモジュールの検討を行う。

2.6 まとめ

本章では、まず、電力変換器の高電力密度化に関する技術動向の整理を行い、加えて高電力密度化へのアプローチと対応する課題の整理を行った。つづいて、本研究における電力変換器の高電力密度化のための方針を示した。その結果、本研究で取り組む課題と具体的な実施項目を下記のように決定した。

- SiC-MOSFET を適用することで得られる損失低減効果によって冷却システムの小型軽量化、あるいは出力電力の向上を図り電力変換器の高電力密度化を達成する。
- さらに、SiC-MOSFET のスイッチング損失低減のため、低損失と低ノイズを両立するゲート駆動回路の検討をする。具体的には、従来のゲート駆動回路と比較して、スイッチングノイズの増大を回避しながら、スイッチング損失を低減するゲート駆動回路の検討を行う。これにより、損失低減による冷却システムの小型軽量化、あるいは出力電力の向上を図り電力変換器の高電力密度化を達成する。
- SiC-MOSFET の導通損失低減のため、SiC-MOSFET パワーモジュールから逆並列 SiC-SBD を削除して、得られたスペースに SiC-MOSFET を追加配置することで、同素子面積での導通損失低減の検討をする。これにより、損失低減による冷却システムの小型軽量化、あるいは出力電力の向上を図り電力変換器の高電力密度化を達成する。このために、逆並列 SBD レス構造が電力変換器の損失・ノイズ特性に悪影響がないことを検証する。
- SiC-MOSFET パワーモジュールの冷却性能の向上を図り、冷却システムの単位体積あるいは単位重量当たりの冷却性能を向上することで、電力変換器の高電力密度化を達成する。

- 上述の検討内容を適用した、ゲート駆動回路、SiC-MOSFET パワーモジュール、それらを組み込んだ SiC インバータを試作して、その電力密度を評価する。また、それぞれの検討要素がどの程度高電力密度化に寄与できたかを評価する。

第3章

電力変換器スイッチング損失低減の検討

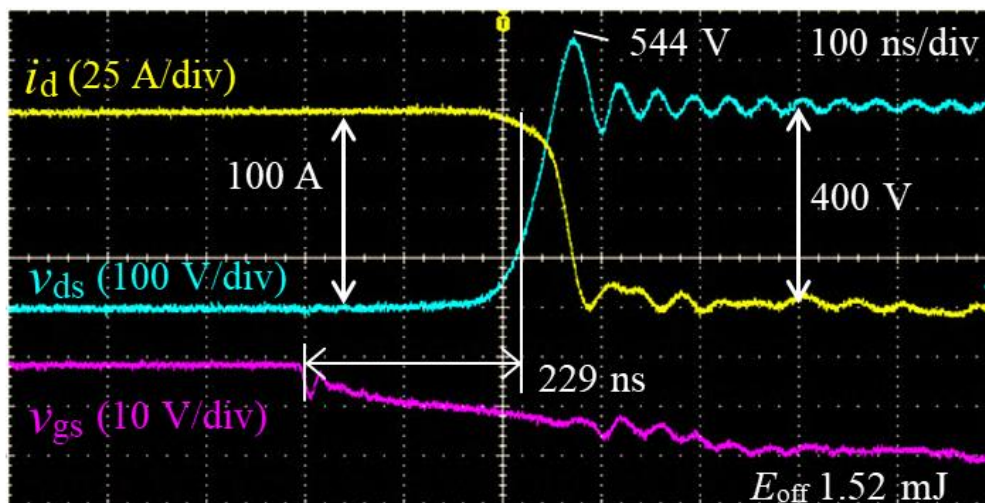
本章では、電力変換器の高電力密度化を可能とする SiC-MOSFET ゲート駆動回路の提案をし、その効果を検証する。まず、高電力密度化の障壁となるスイッチング特性のトレードオフについて説明して、ゲート駆動回路の技術動向について整理する。次世代パワーデバイスである SiC-MOSFET のスイッチング特性の分析を行い、ゲート駆動回路における課題を明確にする。その上で、スイッチングのトレードオフを緩和して低損失かつ低ノイズスイッチングを可能とするゲート駆動回路を提案し、その設計指針を明確にする。さらに、提案したゲート駆動回路の試作評価結果を示し、高電力密度化への寄与度を定量的に評価する。

3.1 スwitching特性のトレードオフと駆動回路技術動向

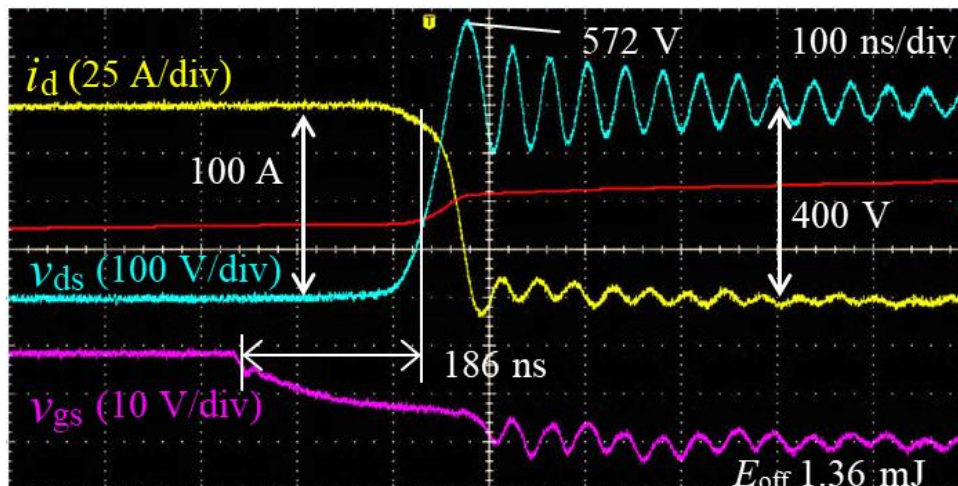
先述のとおり、電力変換器に用いられるパワーデバイスのスイッチング特性においては、スイッチング損失とスイッチングノイズの間にはトレードオフの関係がある。従来からの駆動方法のひとつとして、ゲート抵抗の調整によりスイッチング特性を制御する手法が一般的に広く用いられている。スイッチング損失を抑えるためにスイッチング遷移時間を短くしようとゲート抵抗値を小さくすることで調整できるが、その反面、サージ電圧やリングングなどのスイッチングノイズが大きくなり、電磁干渉問題 (EMI) が発生するリスクが増大してしまう。一方で、スイッチングノイズを抑えるためにスイッチング遷移時間を長くしようとゲート抵抗値を大きくするとスイッチングノイズは減少するが、スイッチング損失と遅延時間は増加してしまう。つまり、これら従来のゲート駆動方法では、スイッチング損失とスイッチングノイズの間で許容できる妥協点にスイッチング特性を調整する以上のことはできないことを意味する。図 3.1 に上述の従来駆動回路におけるスイッチングのトレードオフを示す実測波形例 (ターンオフ波形) を示す。波形取得のため使用した SiC-MOSFET は、ROHM 社製フル SiC パワーモジュール BSM120D12P2C005 (定格 1200 V, 120 A) で、SiC-MOSFET と SiC-SBD が内蔵された 2in1 モジュールである。直流入力電圧は 400 V, ドレイン電流は 100 A, 室温 (約 25°C), ゲート駆

動用電源電圧は 18 V での実験結果である。ここでは、駆動回路詳細の説明は省略するが、スイッチング特性調整のためのゲート抵抗は図 3.1 (a) が 6.2Ω であり、図 3.1 (b) は 3.9Ω である。図に示すとおり、大きなゲート抵抗 6.2Ω と小さなゲート抵抗 3.9Ω のスイッチング損失を比べると、ゲート抵抗が大きい方が 1.52 mJ 、ゲート抵抗の小さい方が 1.36 mJ となり、ゲート抵抗の大きい方がスイッチング損失は大きくなってしまっている。また、双方のスイッチング遅延時間を比較すると、ゲート抵抗が大きい方が 229 ns 、ゲート抵抗の小さい方が 186 ns となり、ゲート抵抗の大きい方がスイッチング遅延時間も大きくなってしまっている。逆にスイッチングノイズ関連特性を比較してみると、ゲート抵抗が大きい方のサージ電圧最大値が 544 V 、ゲート抵抗の小さい方が 572 V と、ゲート抵抗の小さい方がスイッチング時のサージ電圧が大きくなり、電圧のリングングも大きくなってしまっている。

前章で述べたとおり、電力変換器の高電力密度化において、上述したスイッチングのトレードオフは冷却器の小型化とノイズフィルタの小型化の間のトレードオフという形になって現れることになる。電力変換器の高電力密度化を実現するためには、スイッチングのトレードオフを緩和し、低損失特性と低ノイズ特性を両立するゲート駆動技術が必要となる。つまり、スイッチングノイズの増大を回避しながらスイッチング損失を低減可能な駆動回路、またはスイッチング損失の増加を回避しながらスイッチングノイズを低減可能な駆動回路が求められている。電力回路の開発においては、電流転流経路のインダクタンスを極力小さくすることで、スイッチングのトレードオフを緩和することも取り組まれている。



(a) Slower switching with smaller surge ($R_{\text{goff}} = 6.2 \Omega$)



(b) Faster switching with bigger surge ($R_{\text{goff}} = 3.9\Omega$)

図 3.1 スイッチングのトレードオフ実測波形例

電力変換器の損失やノイズを左右するゲート駆動回路はその重要性から、様々な新しい技術が検討されており、文献 (97) には SiC パワーデバイス用のゲート駆動回路の開発技術動向がまとめられている。SiC-MOSFET は、Si-IGBT よりも低損失高速スイッチングが可能であり、電力変換器において低損失特性は冷却器の小型化により電力密度の向上を可能にする。また、高速スイッチング特性はスイッチング周波数の高周波化を可能とし、受動部品の小型化によって電力密度の向上を可能にする。次世代パワーデバイスとして期待される SiC パワーデバイスのスイッチング特性は電力変換器の特性、高電力密度化に与える影響が大きく、その重要性から評価解析が盛んに行われている⁽⁹⁸⁻¹⁰³⁾。文献 (98) においては、スイッチング損失と EMI の間のトレードオフの関係が詳細に評価されている。SiC デバイスの温度とスイッチング速度が電力変換器性能に与える影響なども評価されている⁽¹⁰⁰⁾。15 kV の高耐電圧 SiC-MOSFET と SiC-IGBT のスイッチング特性なども評価され始めている⁽¹⁰²⁾。逆並列 SiC-SBD がスイッチング特性に与える影響も詳細に評価されている⁽¹⁰³⁾。

これまで Si-IGBT のスイッチング性能を改善するために、アクティブゲート制御方式やソフトゲート方式など、いくつかのゲート駆動回路が提案されてきたが⁽¹⁰⁴⁻¹⁰⁷⁾、同様に次世代パワーデバイス向けにもアクティブゲート制御方式などの高機能ゲート駆動回路術の検討が盛んにされている。ソフトゲート方式は Si-IGBT と SiC-SBD を組み合わせたハイブリッド SiC パワーモジュールにも適用されている⁽¹⁰⁸⁾。カスコード接続の Si-MOSFET を用いた SiC-JFET のための dV/dt 制御法も提案されている⁽¹⁰⁹⁾。SiC-MOSFET 用の新しいアクティブゲート駆動回路も種々提案されている⁽¹¹⁰⁻¹¹⁶⁾。SiC-MOSFET は従来シリコンデバイスより低いゲート閾値で、負電圧に対する耐性が低いものがあるので、負のスパイク電圧を低減する新たなゲート駆動回路が導入されている⁽¹¹¹⁾。より高度なアクティブ制御を行う閉ループフィードバック制御ゲート駆動回路も提案されている⁽¹¹⁶⁾。さらには、高分解能プログラマブルゲート駆動回路も提案されている⁽¹¹⁷⁻¹¹⁹⁾。また、スイッチングの高周波化のために電流形ゲート駆動技術など高速ゲート駆動回路技術の検討もされている^(120, 121)。

3.2 SiC-MOSFET スイッチング特性と課題

前節で調査したアクティブゲート駆動回路のような高性能駆動回路は、スイッチング状態を監視する目的で、ゲート電圧やドレイン電圧 (IGBT の場合はコレクタ電圧) などを検出するための回路を持っている。さらに、スイッチング状態によってゲート駆動回路を適宜切り替えるための比較回路、スイッチ回路が必要となる。これらの付加回路を半導体集積回路などで実現することが多く、高性能と引き換えにコスト増加の要因となっている。また、検出回路や比較回路などは、スイッチング時に発生するサージ電圧、電圧・電流の振動により、誤動作するリスクを持っている。このような誤動作を回避するためには、ノイズを取り除くためのフィルタ回路が必要となる。しかし、フィルタ回路を設置することで高性能駆動回路の動作遅延時間は大きくなってしまふ。

現状、Si-IGBT を SiC-MOSFET に置き換える場合を考えると、半導体デバイスのコストは増加すると考えられるので、高性能化に伴う駆動回路のコストアップは極力避ける必要がある。また、SiC-MOSFET の高速スイッチング特性により、スイッチング時に発生するサージ電圧や振動は増加する可能性が大きいので、高性能駆動回路の持つ検出回路や比較回路の誤動作も心配される。このため、時定数の大きなフィルタ回路が必要になるが、動作遅延時間の大きな高性能駆動回路では、SiC-MOSFET によるスイッチングの高速化に対応が困難になる可能性がある。

上述のような問題から、本検討では下記の3つの課題を解決するために、スイッチング状態を監視することなく、低コストかつ簡単な構成で、SiC-MOSFET の高速スイッチングに対応が可能な高性能駆動回路を検討する。回路構成を簡単にすることで、誤動作リスク、動作遅延時間を低減することが可能となる。

- 1) 低コスト化：専用集積回路などを必要としない安価かつ容易に実現可能な回路構成とする。
- 2) 耐ノイズ性の向上：次世代パワーデバイスの高速スイッチング動作におけるサージ電圧やリングングなどのノイズに影響を受けやすい検出回路を不要とする。
- 3) 回路遅延時間増加の抑制：付加回路による遅延やノイズフィルタによる遅延時間を生じない構成とし、次世代パワーデバイスの高速駆動特性を阻害しない親和性の高い構成とする。

さらに、SiC-MOSFET のスイッチング波形・特性を分析して、スイッチング損失低減のためにゲート駆動回路の課題を抽出していく。図 3.2 に従来駆動回路方式を示す。ここで、駆動回路の入力信号はパワーデバイスのオンオフ状態を制御するための Pulse Width Modulation (PWM) 信号である。入力された PWM 信号は Amp と駆動電圧源 V_{cc} により増幅される。ゲート抵抗 R_{gon} と R_{goff} によりそれぞれターンオン、ターンオフ特性を制御することができる。 v_g は Amp 回路の出力電圧、 v_{gs} は MOSFET のゲートソース間電圧、 i_g はゲート電流、 v_{ds} はドレインソース間電圧、 i_d はドレイン電流を示す。図 3.3 に従来駆動方式による SiC-MOSFET のスイッチング動作波形を示す。図 3.3 (a) はターンオン動作波形、図 3.3 (b) はターンオフ動作波形である。直流入力電圧は 400 V、ドレイン電流は 100 A、室温 (約 25 °C)、ゲート駆動用電源 V_{cc} は 18 V、ゲート抵抗は R_{gon} が 3.9 Ω 、 R_{goff} が 6.2 Ω での実験結果である。本検討において、評価に使用した SiC-MOSFET は、ROHM 社製フル SiC パワーモジュール BSM120D12P2C005 (定格 1200 V、120 A) で、SiC-MOSFET と SiC-SBD が内蔵された 2in1 モジ

ルールである。

ターンオン動作においては、ユニポーラデバイスである SBD の特性により、リカバリ電流による損失が発生せず低損失スイッチング動作が可能である（図 3.3 (a) 参照）。さらなる改善のためターンオン動作を図中①～③の領域に分けて解析する。スイッチング損失のうち、およそ半分は期間①、残りの半分は期間②以降で発生している。期間①においては、大きな電流変化が発生するので、スイッチング損失を減らそうとスイッチングを速くするとスイッチング時の振動・ノイズが大きくなるトレードオフがある。期間②においては、すでに電流変化は完了しているため、期間②以降のゲート電圧上昇を加速してチャネル抵抗の低下を速くすることができれば、スイッチング時のノイズや振動を増大させることなくスイッチング損失を減らすことができる。

期間③はすでにターンオン動作は完了しているが、従来駆動方式は RC 充電回路を構成しているためゲート電圧上昇につれてゲート充電電流が徐々に小さくなり、ターンオン後半になるにしたがいゲート電圧上昇が遅くなってしまふ。ゲート電圧上昇を加速することができれば、より速く低オン抵抗状態にできるので期間③での発生損失を減らすことも可能である。ROHM 社の SiC パワーデバイスのアプリケーションノートによると、現在の技術では SiC-MOSFET のチャネル抵抗は Si デバイスと比較して大きくなっている。そのため、一般的なシリコンデバイスである Si-MOSFET や Si-IGBT のように 10～15 V 程度のゲート駆動電圧では本来の低抵抗性能を発揮できなくなってしまうので、SiC-MOSFET は 18 V 程度のより高いゲート駆動電圧で駆動する必要がある⁽⁹⁶⁾。図 3.4 にゲート駆動電圧とオン抵抗の概略関係を示す。このように、ゲート駆動電圧 10V 程度では十分にオン抵抗が下がり切らず、ゲート駆動電圧を高くしていくことで 15V 以上でもオン抵抗の低下傾向が続くような特性になっている。ゲート電圧 10V と 20V の時のオン抵抗を比較すると、温度によってはオン抵抗が半分程度まで低減されることがわかる。よって、期間②や期間③においても、ゲート電圧の上昇を加速してチャネル抵抗を極力小さくすることは損失の削減に有効であるといえる。

ターンオフ動作においては、ユニポーラデバイスである MOSFET の特性により、バイポーラデバイスである IGBT のようなテール電流が発生せず、高速かつ低損失でのスイッチングを実現することができる（図 3.3 (b) 参照）。しかし、図中④の期間ターンオフ遅延時間 $t_{d(off)}$ が長く、ターンオフ時間 t_{off} 短縮の障壁となっていることがわかる。SiC-MOSFET のゲートは負電圧に対する耐性が 6 V 程度と小さく、負電圧ゲート駆動電源を利用した高速化は適さない^(95,96)。

本検討では、ターンオン特性の改善のために、ゲートブースト回路を提案して電流変化の完了する期間②以降のゲート電圧上昇を加速して、スイッチング時の振動・ノイズを抑えたままターンオン損失の削減を狙う。また、ターンオフ特性の改善のために、スピードアップコンデンサを接続して、電流変化、電圧変化の始まる前の④の期間 $t_{d(off)}$ を短縮し、サージ電圧や電圧振動を抑えたままターンオフ動作の高速化を狙う。これだけでは、ターンオフ損失の大きな削減は期待できないが、ターンオフ遅延時間の短縮はデッドタイムの短縮、スイッチングの高周波化において有利となり、将来の課題であるスイッチングの高周波化によるフィルタやモータ損失の低減、小型軽量化に繋がるの重要となる。

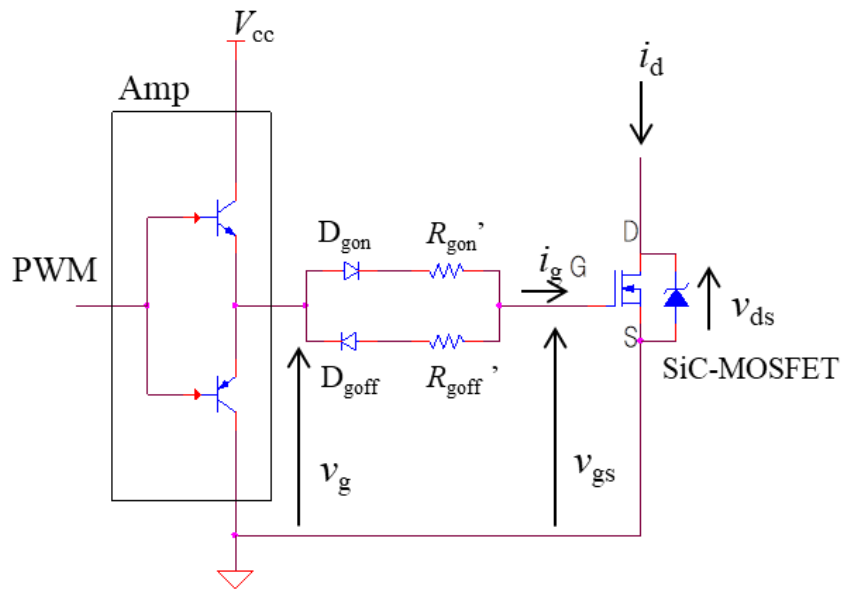
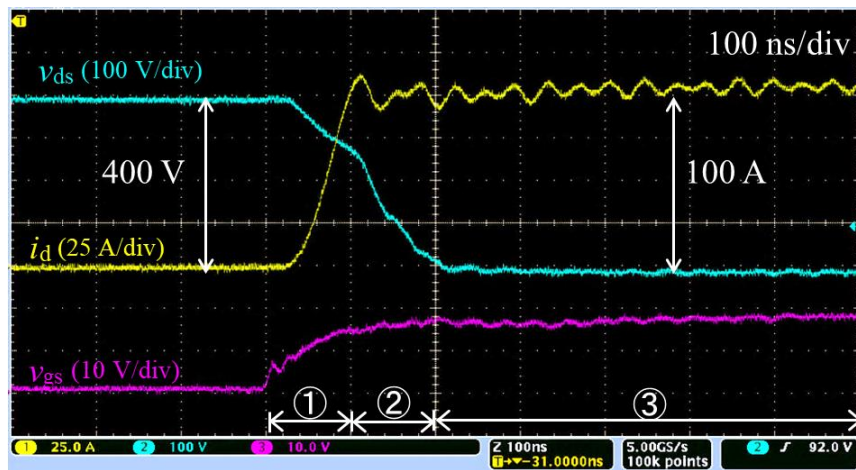
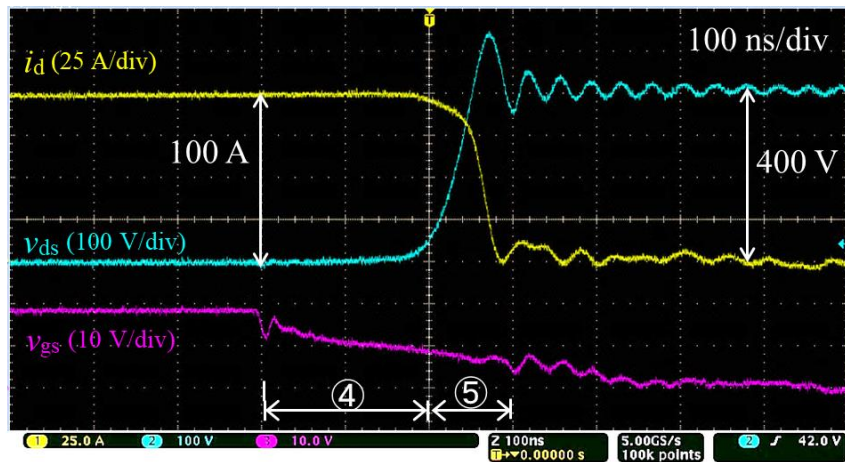


図 3.2 従来駆動回路例



(a) Turn-on wave form



(b) Turn-off wave form

図 3.3 SiC-MOSFET のスイッチング波形

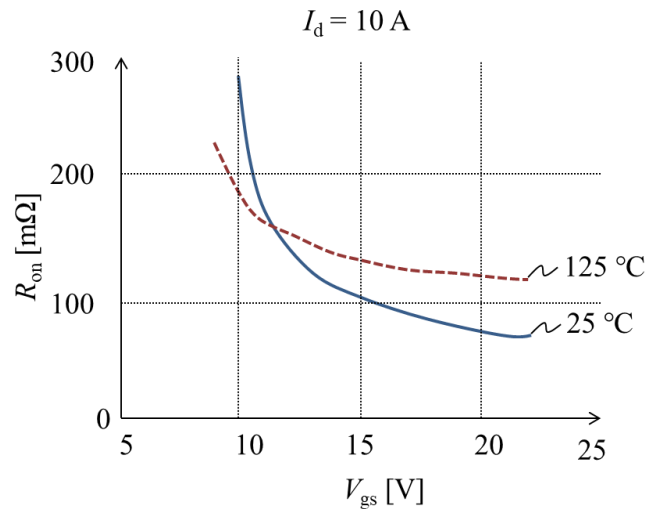


図 3.4 SiC-MOSFET のゲート電圧-オン抵抗特性

文献 (96) ROHM 社 SiC パワーデバイスアプリケーションノートを参考に作成

3.3 低損失・低ノイズゲート駆動回路の提案

本節では、前節までに SiC-MOSFET スイッチング特性の解析結果と抽出した課題から、ゲートブースト回路、スピードアップコンデンサによる駆動回路を検討する。提案する SiC-MOSFET 駆動回路により、スイッチング時のサージ電圧や電圧・電流の振動などのスイッチングノイズの増大を回避しながら、従来駆動方式と比較してより高速・低損失スイッチングが可能であることを説明する。

3.3.1 提案駆動回路のコンセプト

本研究において提案するゲート駆動回路を図 3.5 に示す。図 3.6 にアクティブゲート駆動方式の概念図を示す。アクティブゲート駆動方式は、パワーデバイスのスイッチング性能を向上させるために非常に効果的な技術である。一方で、アクティブゲート駆動回路は一般にカスタマイズされた集積回路 (IC) を使用して実装されるため、従来のゲート駆動回路よりも初期コストがかかる傾向がある。一般的なアクティブゲート駆動回路は、スイッチング状態を監視するためにゲート電圧またはドレイン電圧の検出回路を備えており、スイッチングプロセスにあわせてゲート駆動回路を切り替えてゲート駆動回路の出力インピーダンスを最適化している。従って、アクティブゲート駆動回路は、スイッチングサージ、リングング、および SiC パワーデバイス的高速スイッチングによって増加が懸念されるスイッチングノイズのために、誤検出、誤動作のリスクを持っているといえる。このようなノイズによる誤動作を回避するために、アクティブゲート駆動方式では検出回路にローパスフィルタを必要とするが、ローパスフィルタによる時間遅延は、SiC デバイスの高速スイッチング能力に対して親和性が損なわれる可能性があるといえる。

本研究において提案するゲート駆動回路は、ターンオン特性を向上させるためのゲートブースト回

路と、ターンオフ中のゲート容量のより速い放電のためのスピードアップコンデンサとを使用することを特徴としている。ゲートブースト回路は、チップ抵抗、チップコンデンサ、およびトランジスタなどの僅かなチップ部品で実現することが可能である。提案ゲート駆動回路は、スイッチングプロセスを監視するための検出回路やフィルタを使用しておらず、SiC-MOSFET の高速スイッチングに対しても親和性があると考えられる。また、提案ゲート駆動回路は簡単かつ低コストに構成することが可能で、SiC-MOSFET のスイッチング性能を改善することができる。

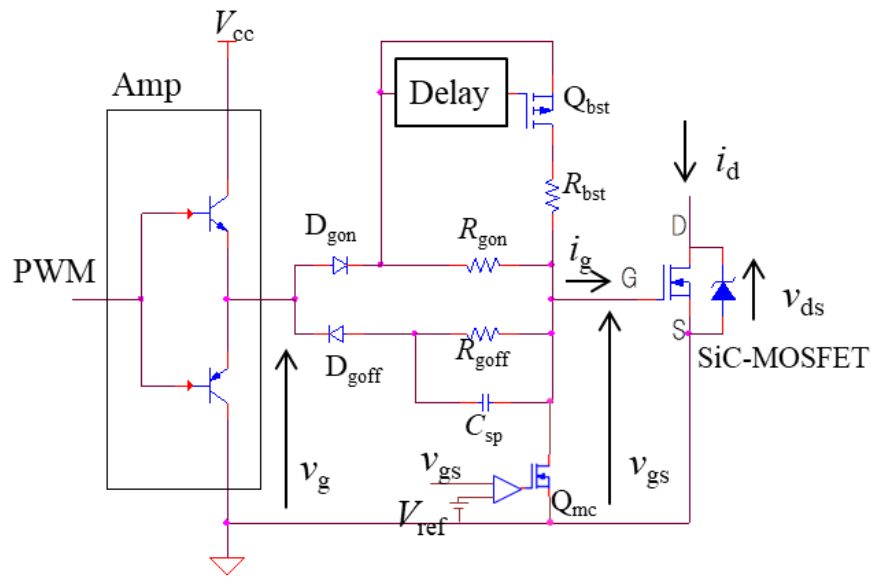


図 3.5 提案ゲート駆動回路

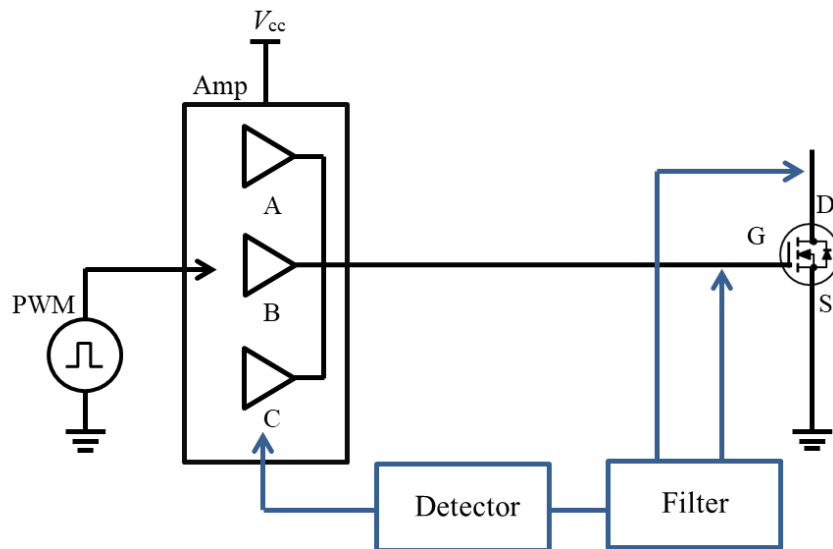


図 3.6 アクティブゲート駆動方式の概念図

3.3.2 提案駆動回路ターンオン動作

図 3.7 および図 3.8 に提案するゲート駆動回路のターンオン動作概要を示している。図 3.8 は誘導性負荷を有するレグ構成におけるスイッチング波形模式図を示す。

PWM 信号がハイレベルになると、SiC-MOSFET のオン指令を意味し、Amp 出力 v_g は V_{cc} レベルに上昇する。ゲート電流 i_g が流れ始めて、 D_{gon} と R_{gon} を通して SiC-MOSFET ゲート容量を充電し始める。ゲート電圧 v_{gs} がゲート閾値電圧 V_{th} より高くなると、MOSFET チャンネルが導通してドレイン電流 i_d が流れ始める。上アームから下アームへの電流の転流が完了するまでは、上アームダイオードはまだオンであり、そのため上アームダイオードの導通電流減少による順電圧降下分のみ v_{ds} を変化させる。つまり、 i_d および i_F が変化するにつれて v_{ds} も若干変化していく。ドレイン電流 i_d が負荷電流に達して転流が完了すると、上アームダイオードがオフになるため、ドレイン電圧 v_{ds} が大幅に減少し始め、 v_{ds} の変化に合わせて出力容量や帰還容量などの寄生容量成分も変化する。

ゲートブースト回路は、遅延時間 t_{bst} 後に動作し、ブーストスイッチ Q_{bst} がオンになり、ゲートブースト電流 i_{bst} が D_{gon} 、 Q_{bst} 、 R_{bst} を流れて、従来のゲート駆動方法よりも速く SiC-MOSFET のゲート容量を充電する。ブースト電流 i_{bst} が v_{gs} を押し上げるので、SiC-MOSFET のドレイン電圧 v_{ds} およびオン抵抗は、従来のゲート駆動方法よりも速く減少することとなる。したがって、提案されたゲート駆動回路はターンオンプロセスの後半において、ターンオン損失およびターンオン遅延時間を減少させることが可能となる。ドレイン電流 i_d がピーク電流に達した後にブーストスイッチ Q_{bst} が確実にオンとなるように、遅延時間 t_{dbst} を適切な値に設定する必要がある。提案ゲート駆動回路は、スイッチングノイズの増大を回避するためにターンオンプロセスの開始時にはより小さな電流により低ノイズターンオンを実現し、続いてドレイン電流の転流完了後にゲートドライブを加速して、スイッチング損失およびオン抵抗を低減させるように動作する。

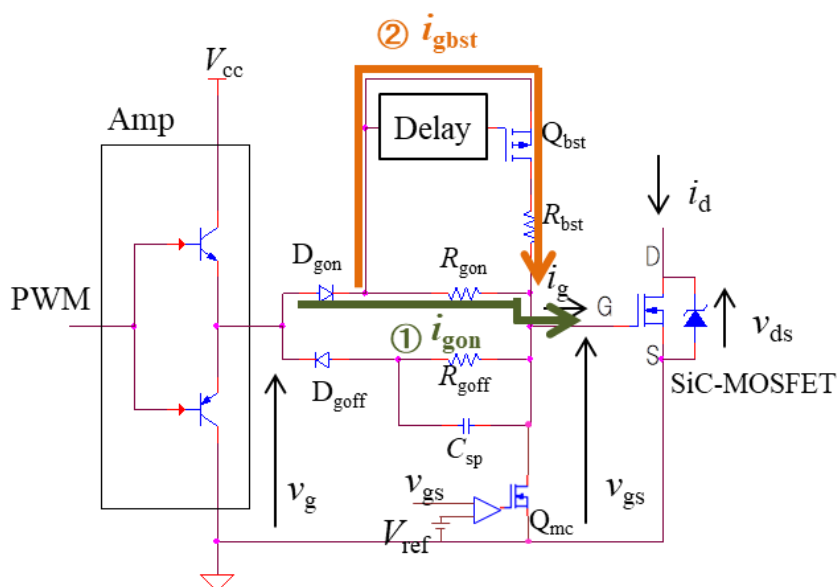


図 3.7 提案回路におけるターンオン時のゲート電流

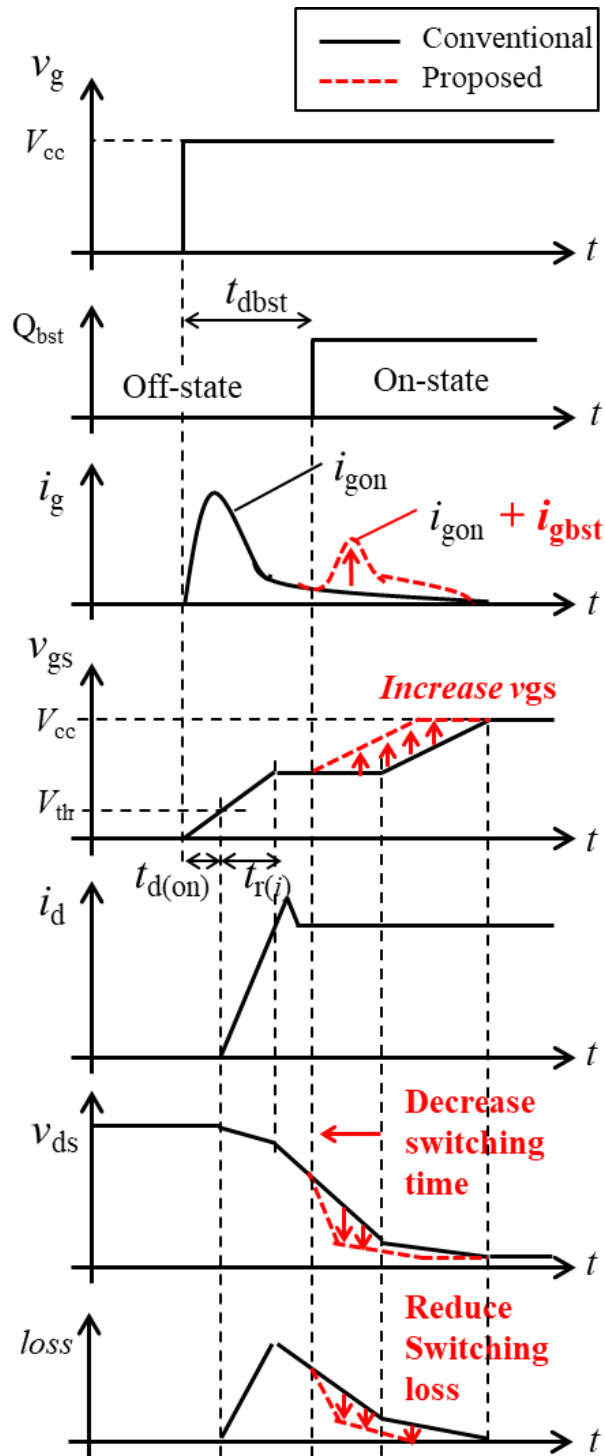


図 3.8 提案回路によるターンオン動作

3.3.3 提案駆動回路ターンオフ動作

図 3.9 および図 3.10 に提案ゲート駆動回路によるターンオフ動作を示す。提案ゲート駆動回路は、ターンオフ遅延時間を短縮するためにスピードアップコンデンサを適用している。ターンオフプロセ

スの開始時に、スピードアップコンデンサ C_{sp} を介して SiC-MOSFET ゲート容量を急速に放電してスイッチング遅延時間を短縮する。続いて、 R_{goff} を介して SiC-MOSFET ゲート容量をゆっくり放電させて、より大きなサージ電圧やノイズの発生を回避する。 v_{gs} が V_{th} を下回った後、スイッチ Q_{mc} がオンになり、SiC-MOSFET を安全にオフに保つようになる。

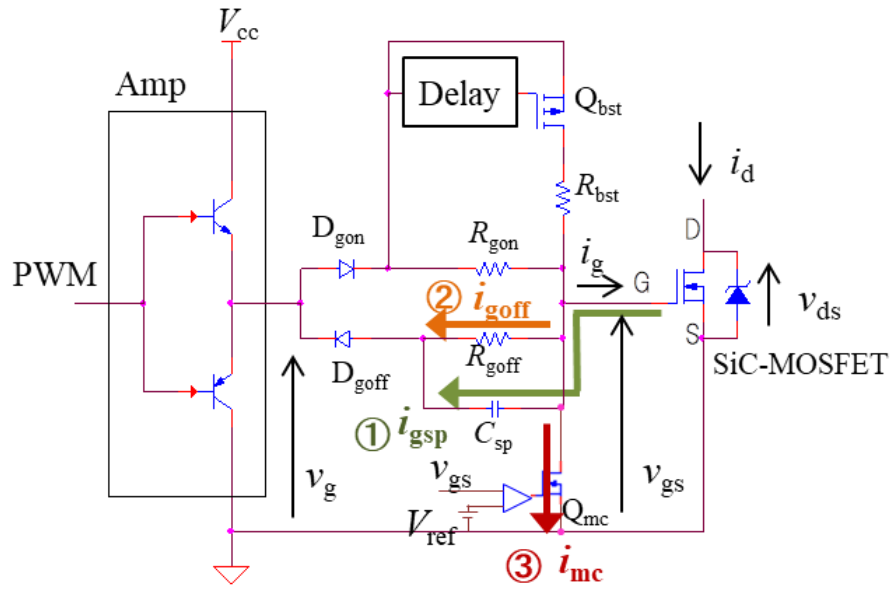


図 3.9 提案回路におけるターンオフ時のゲート電流

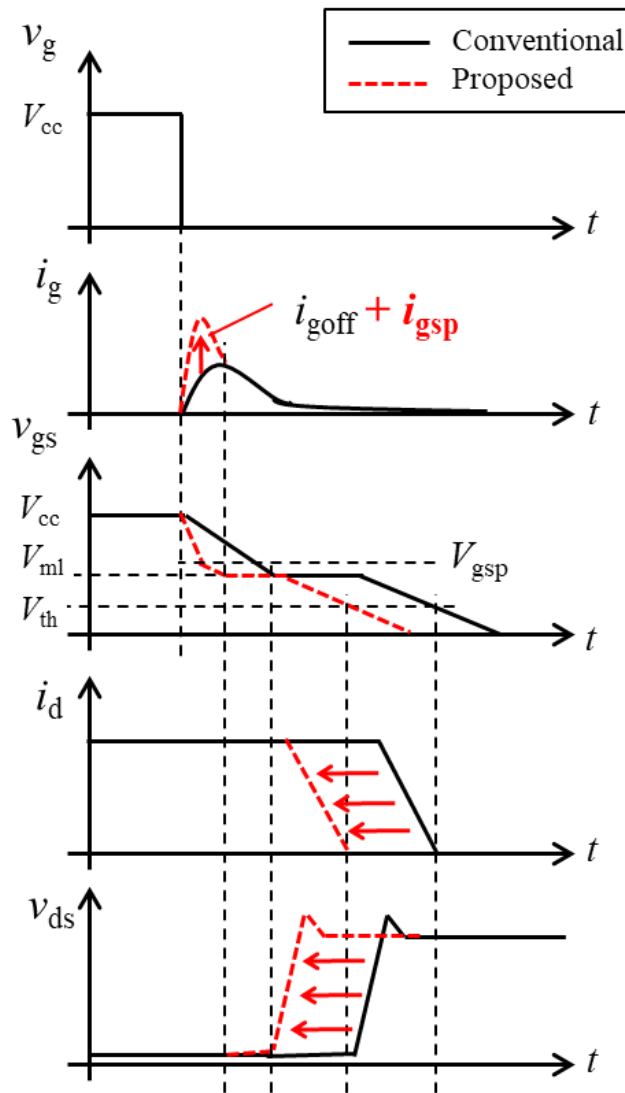


図 3.10 提案回路によるターンオフ動作

3.4 提案駆動回路の設計指針

この節では、提案するゲート駆動回路の設計手順と設計指針を明確にして説明する。ゲートブースト回路の回路例を図 3.11 に示す。遅延回路は、抵抗 $R1$, $R2$ およびコンデンサ C_{bst} からなる。図 3.11 には C_{gbst} , C_{dbst} , C_{obst} などの Q_{bst} の寄生容量も示す。また、SiC-MOSFET のゲート容量 C_{gs} も示している。遅延回路の時定数は式 (10) で計算することができる。ここで $R1 \ll R2$ である。遅延時間 t_{dbst} は、式 (11) で計算される。ここで、 V_{thbst} はブーストスイッチ Q_{bst} のゲートしきい値電圧である。ブースト回路がドレイン電流転流完了後に動作することを確実にするためには、遅延時間 t_{dbst} は式 (12) のようにターンオン遅延 $t_d(on)$ とドレイン電流の立ち上がり時間 $t_r(i)$ の合計より長くなければならない。ターンオン遅延時間 $t_d(on)$ は式 (13) 式から求めることができる。最後に t_{dbst} は式 (14) に従って決定されることになる。ここで、 $V_{th,cold}$ は最低動作温度での SiC-MOSFET のゲート閾値電圧である。これは、

MOSFET の V_{th} が低温で高くなるため、ゲートブースト回路が確実にドレイン電流転流完了後に動作させるためにはターンオフ遅延時間の一番長くなる低温時のゲート閾値電圧を設計に用いることが必要となるためである。

$$\tau_{bst} = R1 \times (C_{bst} + C_{gbst}) \quad (10)$$

$$t_{dbst} = \tau_{bst} \times \ln\left(\frac{V_{cc}}{V_{cc} - V_{thbst}}\right) \quad (11)$$

$$t_{dbst} \geq t_{d(on)} + t_{r(i)} \quad (12)$$

$$t_{d(on)} = R_{gon} \times C_{gs} \times \ln\left(\frac{V_{cc}}{V_{cc} - V_{th}}\right) \quad (13)$$

$$t_{dbst} \geq R_{gon} \times C_{gs} \times \ln\left(\frac{V_{cc}}{V_{cc} - V_{th_cold}}\right) + t_{r(i)} \quad (14)$$

図 3.12 は、提案ゲート駆動回路がどのように動作して高速かつ低損失のターンオンスイッチングを実現するかを説明している。第 1 に、提案ゲート駆動回路は、ゲートブースト電流 i_{gbst} を用いてミラー期間を短縮する。この時、提案ゲート駆動回路のミラー期間 T_{ml} は式 (15) で計算され、一方、従来のゲート駆動回路のミラー期間 T_{ml}' は式 (16) で計算される。提案ゲート駆動回路は、従来のゲート駆動回路よりも大きな電流でゲート入力容量を充電し、ミラー期間を式 (17) に示すように短縮することができる。

$$T_{ml} = (C_{gs} + C_{gd}) \times \Delta V_{ds} / (i_{gon} + i_{gbst}) \quad (15)$$

$$T_{ml}' = (C_{gs} + C_{gd}) \times \Delta V_{ds} / i_{gon} \quad (16)$$

$$T_{ml} < T_{ml}' \quad (17)$$

さらに、提案ゲート駆動回路は、ゲートブースト電流 i_{gbst} によってミラープラトーに続くゲート充電時定数 τ_2 を減少させることができる。提案ゲート駆動回路の τ_2 は式 (18) で計算することができる。ここで、 R_g' は SiC-MOSFET の内部ゲート抵抗を示す。従来のゲート駆動回路の時定数 τ_2' は式 (19) で求めることができる。式 (18)、(19) から、式 (20) に示すように提案駆動回路によりミラープラトー後のゲート充電時定数を小さくすることが可能となる。したがって、提案ゲート駆動回路は、従来のゲート駆動回路と比較してゲート電圧をより速く押し上げて、より速く SiC-MOSFET を低オン抵抗条谷することができる。ローム社などから市販が開始されている SiC-MOSFET は、比較的大きなチ

チャネル抵抗のために、Si-MOSFET よりも高いゲート駆動電圧を必要とする傾向がある⁽⁹⁶⁾。よって、スイッチングノイズの増大を回避しながら、ゲート電圧をより速く上昇させる提案ゲート駆動回路のゲート駆動能力は、SiC-MOSFET 用ゲート駆動回路に対する要求によく合致することを意味する。

$$\tau_2 = \left(\frac{R_{gon} \times R_{bst}}{R_{gon} + R_{bst}} + R_g' \right) \times (C_{gs} + C_{gd}) \quad (18)$$

$$\tau_2' = (R_{gon}' + R_g') \times (C_{gs} + C_{gd}) \quad (19)$$

$$\tau_2 < \tau_2' \quad (20)$$

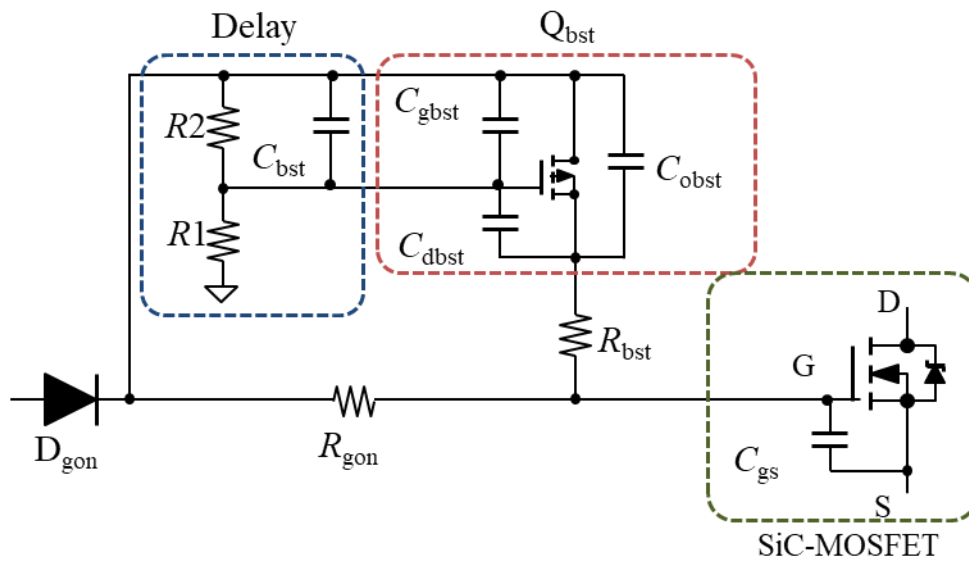


図 3.11 ゲートブースト回路構成例

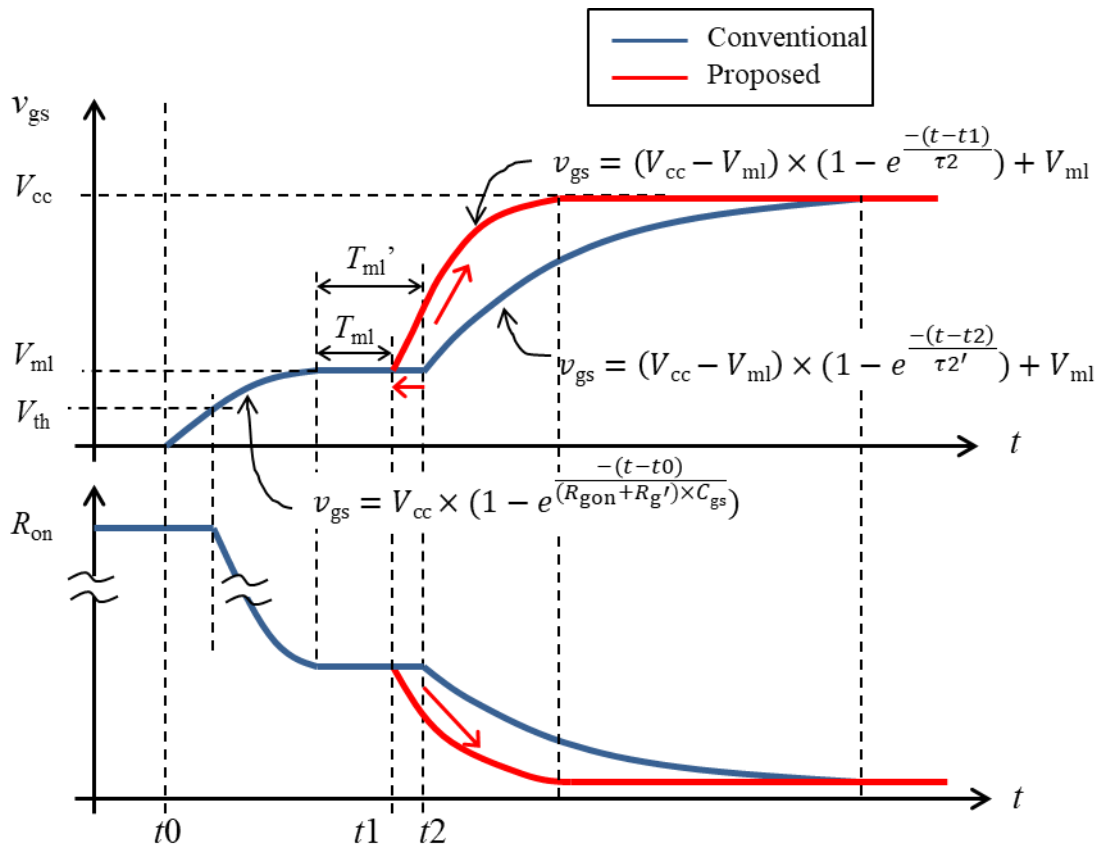


図 3.12 提案回路によるターンオン損失・遅延時間の低減原理模式図

図 3.13 に、SiC-MOSFET のターンオンプロセスにおけるゲートブーストスイッチの寄生容量成分の影響を示す。ゲート駆動回路の入力電圧 v_g が V_{cc} レベルまで上昇すると、寄生容量の突入電流が R_{bst} を通って流れてしまう。この突入電流により主回路 SiC-MOSFET のゲートが充電され、意図せずターンオンが過剰に速くなってしまいうリスクがあることがわかる。このリスクを回避するためには、 C_{obst} 、 C_{gbst} 、および C_{dbst} を C_{gs} よりも十分に小さくする必要がある。つまり、ゲートブーストスイッチの規制容量充電電流によるゲート電圧上昇が主回路 SiC-MOSFET のゲート閾値電圧を十分に下回るようにゲートブーストスイッチ Q_{bst} は式 (21) を満たす必要がある。

$$V_{th} \gg V_{cc} \times \left(\frac{C_{obst} + \frac{C_{gbst} \times C_{dbst}}{C_{gbst} + C_{dbst}}}{C_{gs}} \right) \quad (21)$$

図 3.14 は、上述のゲートブーストスイッチの寄生成分突入電流による誤点弧や過剰に速いターン音駆動のリスクを防止することができるゲートブースト回路の概略図である。 Q_{bst} のドレインは安定した電圧源 V_{cc} に接続されているので、寄生容量の突入充電電流が発生しない。この回路はより安定して動作することになるが、追加の反転ゲートが必要となり、反転ゲート回路の時間遅延 t_{dnor} を考慮して設計

しなくてはならない。この回路のブースト遅延時間 t_{dbst} は式 (22) で計算されることになる。

$$t_{dbst} = t_{dnot} + \tau_{bst} \times \ln\left(\frac{V_{cc}}{V_{cc} - V_{thbst}}\right) \quad (22)$$

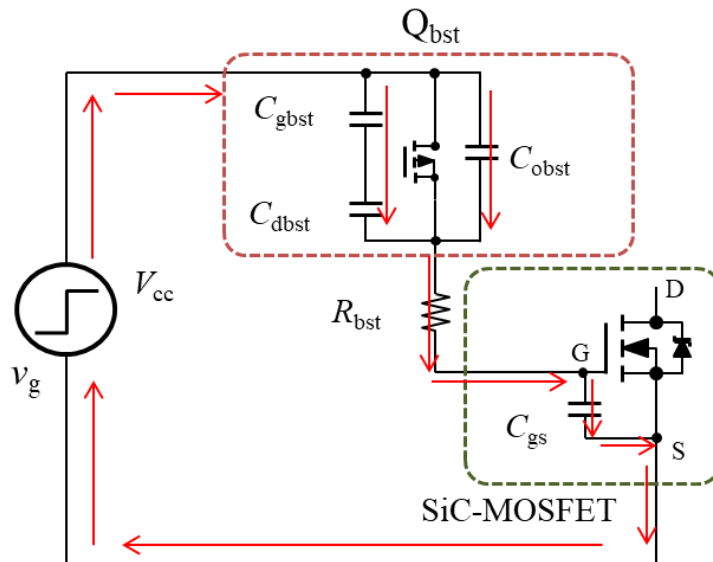


図 3.13 ゲートブーストスイッチの寄生成分の影響

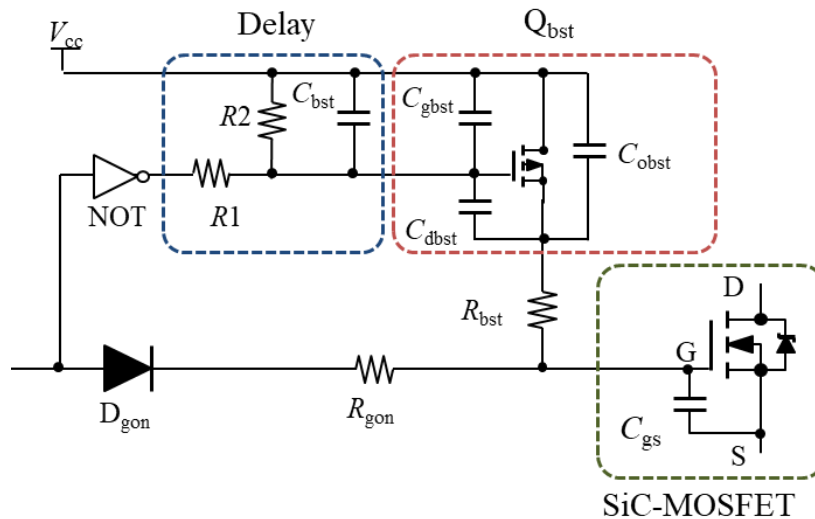


図 3.14 ゲートブーストスイッチの寄生成分の影響を低減するゲートブースト回路構成例

つづいて、スピードアップコンデンサ C_{sp} とターンオフゲート抵抗 R_{goff} の選択方法についても示す。ターンオフが始まると、スピードアップコンデンサ C_{sp} は式 (23) に従って SiC-MOSFET ゲートを V_{gsp}

まで素早く放電する。ここでゲート電圧 v_{gs} が転流動作の始まる V_{ml} よりも低くなってしまうと、過剰に速いターンオフとなりサージ電圧やリングングなどノイズ増大のリスクを増大してしまう。よって、 V_{gsp} は SiC-MOSFET ミラー電圧 V_{ml} より高くなければならない。このような動作を回避するための C_{sp} の最大限界値は式 (24) で求めることができる。また、スイッチングノイズ特性を従来回路から悪化させず維持するためには、提案ゲート駆動回路のゲート放電時定数は、式 (25) で表されるように従来のゲート駆動回路のゲート放電時定数と同程度の値となるべきである。ここで、 R_{goff}' は、従来ゲート駆動回路のターンオフゲート抵抗である。 C_{iss} は SiC-MOSFET の入力容量である。提案ゲート駆動回路に対するターンオフゲート抵抗値 R_{goff} は式 (26) で求められる。たとえば、設計条件が $V_{cc} = 18 \text{ V}$ 、 $V_{ml} = 3 \text{ V}$ の場合、 $C_{sp} < 5C_{iss}$ を満たすように C_{sp} を選択する。 $C_{sp} = C_{iss}$ と選んだ場合は、 D_{goff} 両端の順方向電圧降下を無視すると、 C_{sp} はゲート電圧が V_{cc} 電圧の半分までゲート電荷を放電することになる。この時、提案ゲート駆動回路のゲート抵抗 R_{goff} は従来ゲート駆動回路のゲート抵抗 R_{goff}' の約半分に設定されるべきである。このようにゲートターンオフ回路を設計することで、ターンオフ時のサージ電圧、ドレイン電圧変化率 dV/dt を大きく変化させることなくターンオフ遅延時間を短縮することができる。

$$V_{gsp} = V_{cc} \times \frac{C_{iss}}{C_{iss} + C_{sp}} > V_{ml} \quad (23)$$

$$C_{sp} < C_{iss} \times \left(\frac{V_{cc}}{V_{ml}} - 1 \right) \quad (24)$$

$$R_{goff} \times (C_{iss} + C_{sp}) = R_{goff}' \times C_{iss} \quad (25)$$

$$R_{goff} = R_{goff}' \times \frac{C_{iss}}{C_{iss} + C_{sp}} \quad (26)$$

3.5 スイッチング特性の評価

本節では、前節までに説明した設計手法に沿って設計した提案駆動回路を試作し、そのスイッチング特性を評価した結果を示す。試作評価により、提案駆動回路がスイッチングノイズの増大を回避しながらスイッチング損失の低減が実現可能であることを検証する。

3.5.1 評価試験セットアップ

図 3.15 にスイッチング特性を評価するためのダブルパルステスト (DPT) の回路構成を示す。図 3.16 に本章で採用するスイッチング特性の定義を示す。ドレイン電流の遷移期間完了後からゲート電圧が定常電圧の 90% まで達するまでの間の損失 E_{on2} と遅延時間 t_{on2} を定義して、ターンオン遷移期間中後半部分のエネルギー損失と遅延時間を評価することで、提案ゲート駆動回路の効果を検証する。図 3.17 にダブルパルステストの試験セットアップの写真を示す。スイッチングノイズの評価のため、RFプローブとオシロスコープ MDO4054B-3 (Tektronix) を使用して、SiC-MOSFET パワーモジュールからの

ノイズ放射を測定する。試験条件は、直流入力電圧 $E = 400 \text{ V}$ 、スイッチング時ドレイン電流 $I_d = 100 \text{ A}$ 、SiC-MOSFET パワーモジュールのケース温度 T_c は室温（約 $23 \text{ }^\circ\text{C}$ ）または $100 \text{ }^\circ\text{C}$ 、負荷は空心コイルで構成する誘導性負荷、試験対象の SiC-MOSFET は、フル SiC パワーモジュール BSM120D12P2C005（ROHM, 1200 V , 120 A ）である。ゲート駆動回路基板とパワーモジュール間の配線ケーブルは約 50 mm である。評価結果は提案ゲート駆動回路と従来ゲート駆動回路のスイッチング特性を比較したものである。駆動回路の回路定数は、先述の設計指針に基づいて次のとおり設定した。 $R_{\text{gon}} = 4.3 \text{ } \Omega$, $R_{\text{goff}} = 3.3 \text{ } \Omega$, $R_{\text{bst}} = 0 \text{ } \Omega$, および $C_{\text{sp}} = 22 \text{ nF}$, および $R_{\text{gon}}' = 3.0 \text{ } \Omega$, $R_{\text{goff}}' = 5.1 \text{ } \Omega$ である。これらの回路定数は、従来方式、提案ゲート駆動回路の両方で、ほぼ同じスイッチング遷移率 dV/dt と dI/dt となるように調整されている。

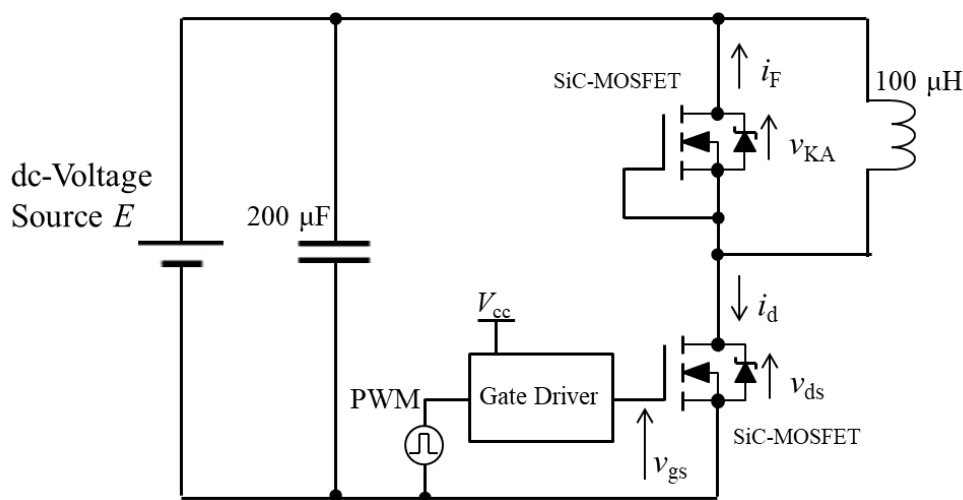
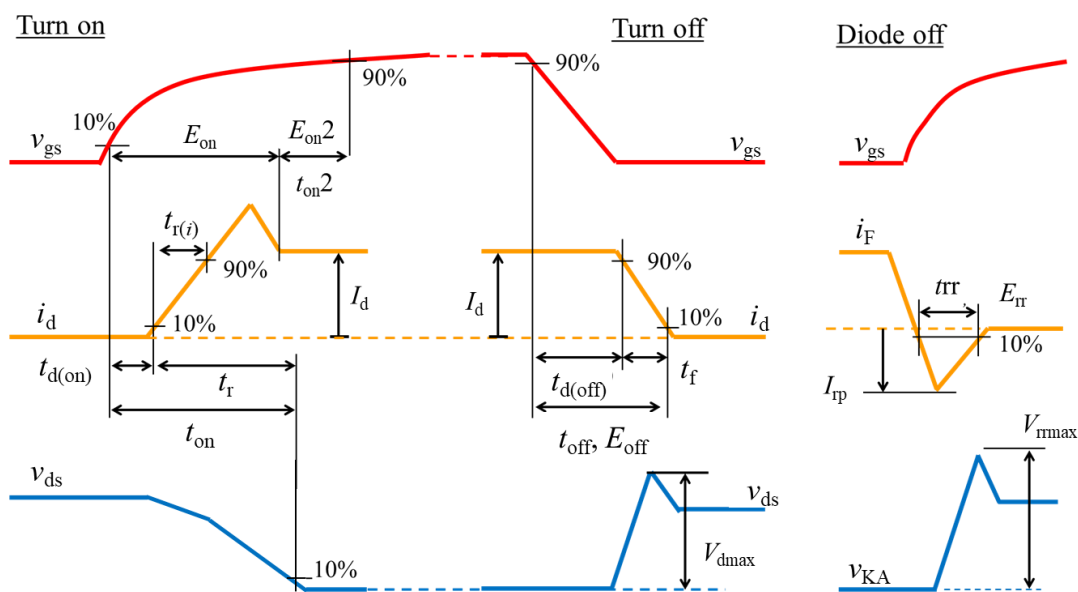
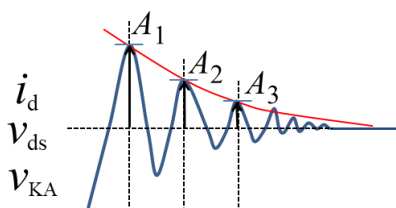
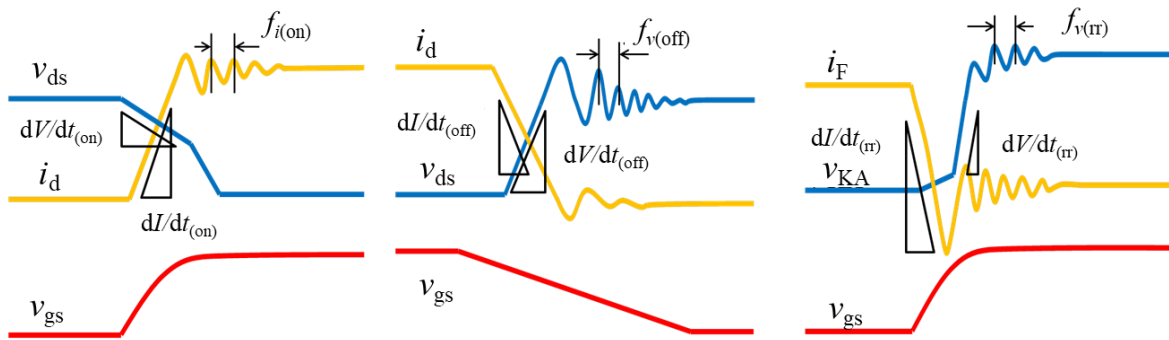


図 3.15 ダブルパルステスト回路



(a) Definitions of switching loss characteristics.



Logarithmic decrement δ

$$\delta = \frac{1}{2} \ln \left(\frac{A_1}{A_3} \right)$$

Damping factor ζ

$$\zeta = \frac{\delta}{2\pi}$$

(b) Definitions of switching noise characteristics.

図 3.16 各種スイッチング特性の定義

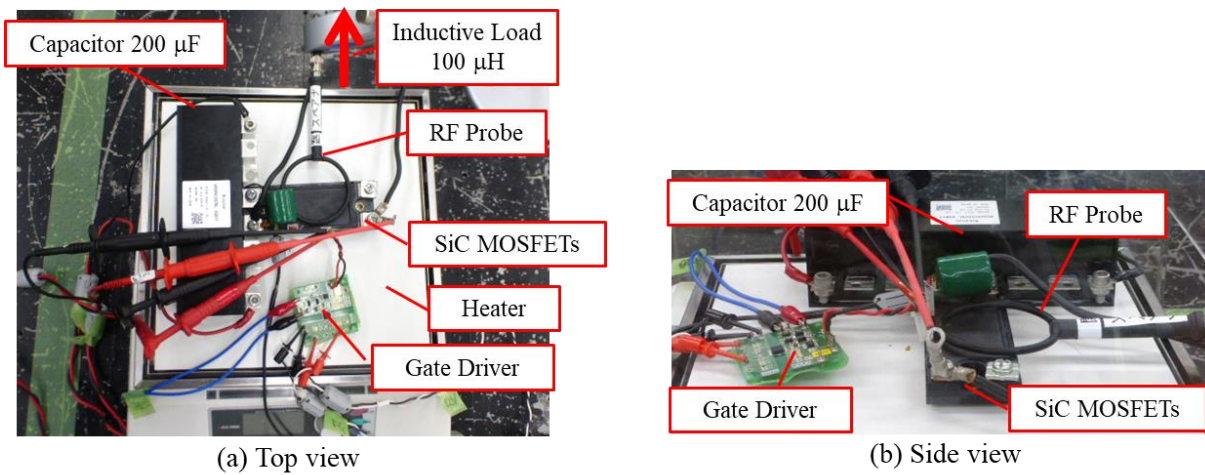


図 3.17 ダブルパルステストの写真

3.5.2 ターンオン特性

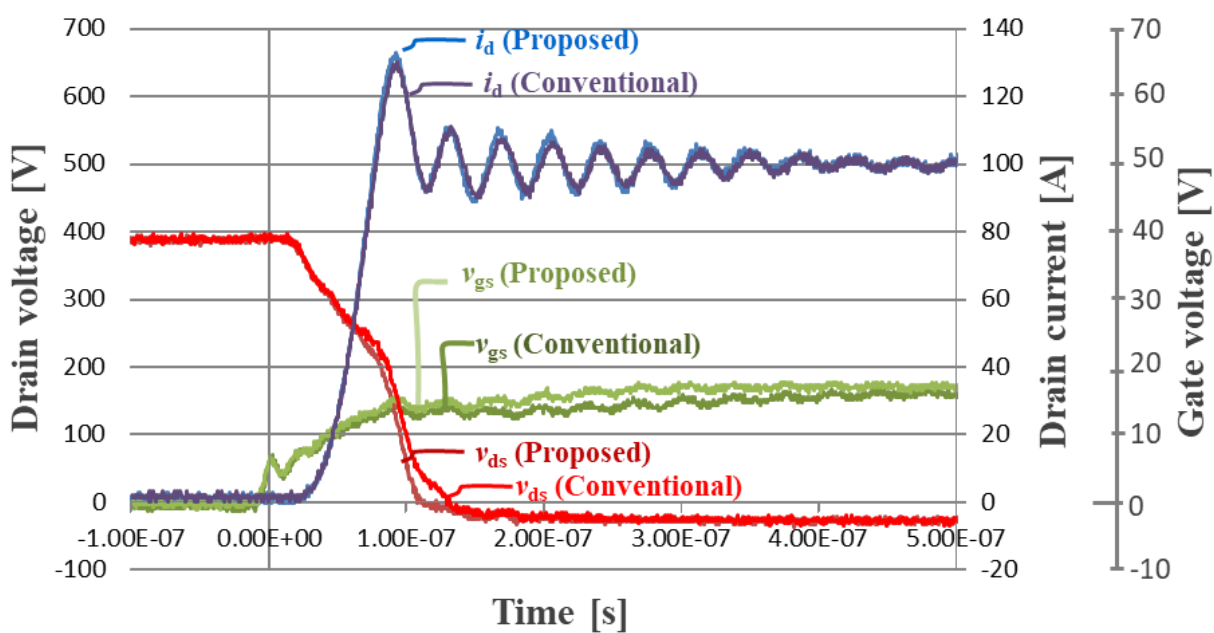
図 3.18 に 400 V, 100 A, および $T_c = 100$ °Cでのターンオン波形を示す。提案ゲート駆動回路でのターンオン損失 $E_{on} = 0.95$ mJ, $E_{on2} = 0.21$ mJ, 合計 1.16 mJ であるのに対して、従来ゲート駆動回路では $E_{on} = 1.05$ mJ, $E_{on2} = 0.61$ mJ, 合計 1.66 mJ という結果が得られた。提案ゲート駆動回路によ

り従来ゲート駆動回路と比較して、ドレイン電流のスイッチング遷移期間が完了した後のスイッチング損失 E_{on2} を約 65 %削減することができた。また、トータルのターンオン損失を約 30 %削減することができた。図 3.18 のスイッチング波形から提案ゲート駆動回路が従来ゲート駆動回路よりも速くドレイン電流遷移期間後のゲート電圧 v_{gs} を押し上げていることを確認することができる。また、スイッチング損失と同時に遅延時間 t_{on2} を低減することも達成している。その一方で、ターンオン時のドレインピーク電流とリングングなどのスイッチングノイズ関連特性はほとんど変化が見られなかった。

図 3.19 に $E = 400 \text{ V}$ でのドレイン電流に対するターンオン損失 E_{on} , E_{on2} , およびターンオン時間 t_{on2} を示す。提案ゲート駆動回路は従来ゲート駆動回路と比較して、ターンオン損失を低減することができている。特に E_{on2} は提案ゲート駆動回路により大きく損失削減ができていることがわかる。また、ドレイン電流転流完了後のターンオン遅延 t_{on2} も短縮することができている。温度が上がると V_{th} が下がるのでターンオン遷移期間が短くなり、 E_{on} は温度が上がるにつれて下がることになる。対照的に、 E_{on2} は温度が上昇すると増加する。これは温度が上昇するとゲート抵抗（パワーモジュールの内部ゲート抵抗を含む）が大きくなるためと考えることができる。そのため、ゲート駆動時定数が大きくなり E_{on2} が大きくなると考察される。

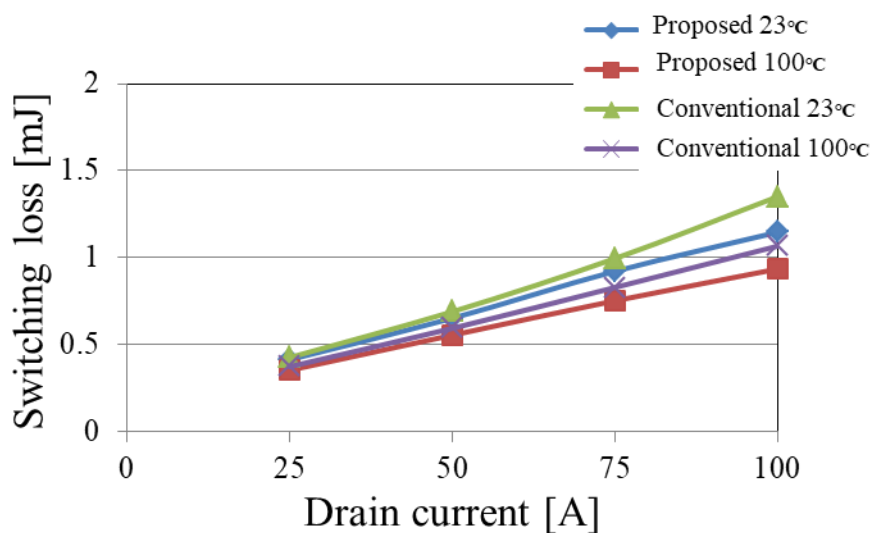
図 3.20 にターンオンにおけるドレイン電流変化率 $dI/dt_{(on)}$ と電流リングング周波数 $f_{i(on)}$ を示す。提案ゲート駆動回路は従来ゲート駆動回路と比べて、スイッチング損失を低減しながら、 $dI/dt_{(on)}$, $f_{i(on)}$ などのノイズ関連特性は共にほぼ変化を生じない結果が得られた。ドレイン電流遷移期間のスイッチング特性は極力変化の無いように動作させることが提案ゲート駆動回路の狙いである。図 3.20 (a) に示す通り、電流変化率はほぼ差異が見られなかった。しかし、図 3.18 に示すように提案ゲートドライバのドレイン電流リングングの減衰係数 δ は従来ゲート駆動回路よりもわずかに小さくなったことがわかる。提案ゲート駆動回路は、従来駆動回路よりも素子オン抵抗を速く低減することができるので、その副作用として減衰抵抗が小さくなることが原因と考察できる。

本節の実験結果から、本研究で提案するゲート駆動回路は高速低損失スイッチングと低ノイズスイッチングの両立を実現し、スイッチングにおけるトレードオフを緩和し、スイッチングノイズの増加を回避しながら、スイッチング損失低減を実現したといえる。この成果は、電力変換器のノイズフィルタの大型化を回避しながら、冷却器の小型化、あるいは出力電力の向上を可能とし、電力変換器の高電力密度化に繋がる。



E_{on} : 0.95 mJ (Proposed), 1.05 mJ (Conventional)
 E_{on2} : 0.21 mJ (Proposed), 0.61 mJ (Conventional)
 $f_{i(on)}$: 27.4 MHz (Proposed), 26.7 MHz (Conventional)
 δ : 0.604 (Proposed), 0.998 (Conventional)

図 3.18 ターンオンスイッチング波形の比較



(a) E_{on}

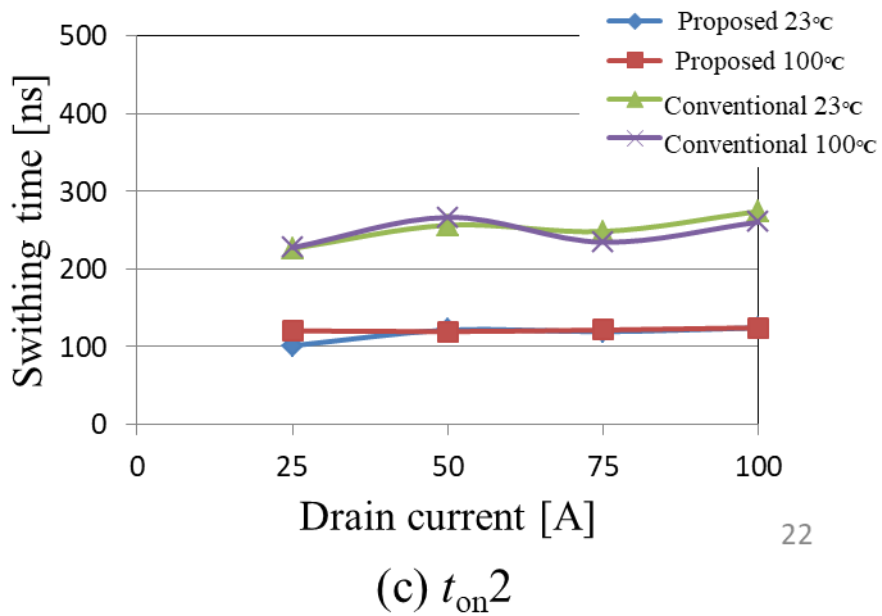
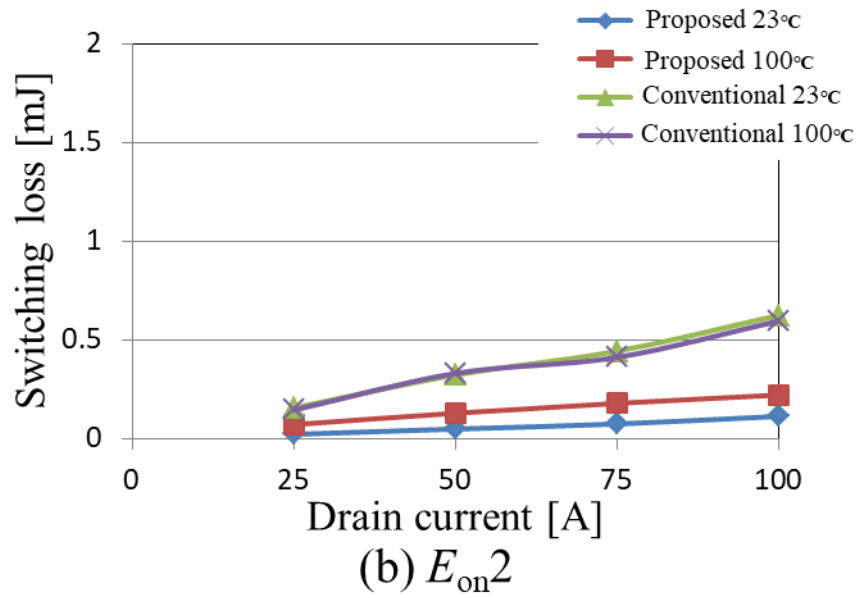


図 3.19 ターンオンスイッチング特性の比較

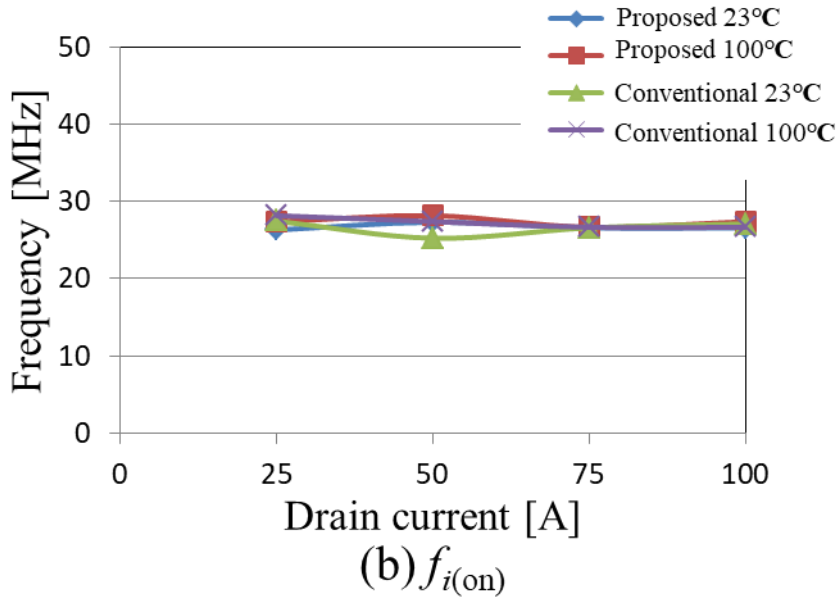
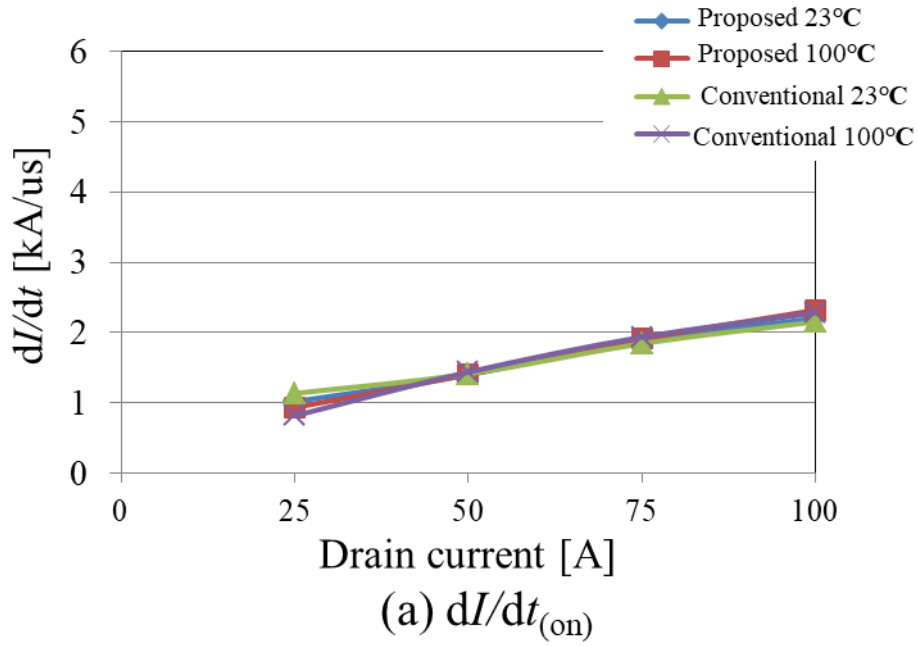


図 3.20 ターンオンスイッチングノイズ特性の比較

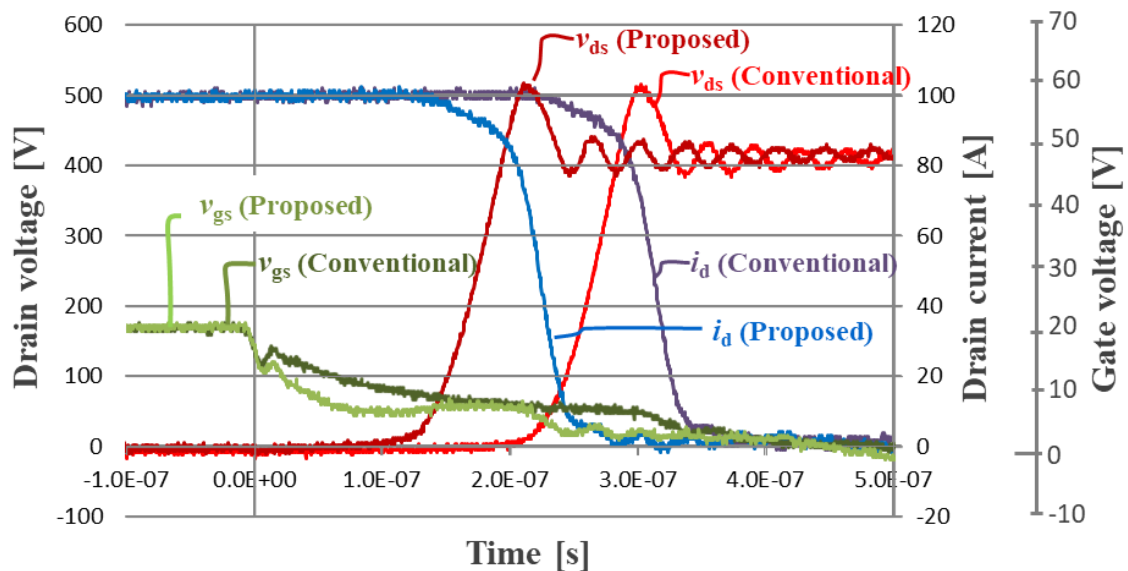
3.5.3 ターンオフ特性

図 3.21 に 400 V, 100 A, および $T_c = 100$ °Cでのターンオフ波形を示す。図 3.22 にターンオフ遅延時間 $t_{d(off)}$ とターンオフ損失 E_{off} を示す。図 3.21 に示すターンオフ波形からわかるように、提案ゲート駆動回路はターンオフプロセスの初期にスピードアップコンデンサでゲート容量を急速に放電し、ターンオフ遅延時間を短縮できているのがわかる。提案ゲート駆動回路では、ターンオフ損失 E_{off} は約 2.4

mJであり、ターンオフ遅延時間 $t_{d(off)}$ は 190 ns であった。従来ゲート駆動回路では、ターンオフ損失 E_{off} は約 2.4 mJ、ターンオフ遅延時間 $t_{d(off)}$ は 284 ns であった。この結果から、提案ゲート駆動回路はターンオフ遅延時間を約 30 % 短縮できたことが明らかになった。図 3.22 (a) に示すように、提案ゲートドライバは広範囲のドレイン電流および温度にわたってターンオフ遅延時間 $t_{d(off)}$ を短縮することができている。ゲート抵抗は温度とともに増加するため、温度が上昇するにつれてゲート駆動時定数が大きくなり、 $t_{d(off)}$ が長くなっているのがわかる。また、提案ゲート駆動回路は、ドレイン電圧の過渡特性が従来ゲート駆動回路と同等になるように駆動特性が設計されている。評価試験結果からわかるように、設計通りターンオフ損失 E_{off} は両方の駆動回路でほぼ同じ結果となった。

図 3.23 にターンオフ時のドレイン電圧変化率 $dV/dt_{(off)}$ 、最大サージ電圧 V_{dmax} 、および電圧リングング周波数 $f_{v(off)}$ を示す。提案ゲート駆動回路は、そのより速いスイッチング能力にもかかわらず、従来のゲート駆動回路とほぼ同じ最大サージ電圧 V_{dmax} および電圧リングング特性を示しており、スイッチングノイズ特性の悪化は見られていない。ただし、提案ゲート駆動回路ではドレイン電圧変化率 $dV/dt_{(off)}$ がわずかに増加したため、次節で示すように、ノイズ特性に対する dV/dt の影響を実験的に評価することとする。

実験結果により、提案ゲート駆動回路はスイッチングノイズの増加を回避しながらスイッチング遅延時間を短縮させ、高速スイッチングと低ノイズスイッチングを両立できることを確認した。提案ゲート駆動回路によりターンオフ損失の低減は実現されないが、遅延時間を短縮できているのでデッドタイムの短縮やスイッチングの高周波化が可能となる。将来的にはスイッチングの高周波化により、フィルタの小型軽量化やモータ損失の低減などで有利に働くこととなる。



$t_{d(off)}$: 190 ns (Proposed), 284 ns (Conventional)
 E_{off} : 2.397 mJ (Proposed), 2.403 mJ (Conventional)
 $f_{v(off)}$: 27.4 MHz (Proposed), 26.7 MHz (Conventional)
 δ : 0.655 (Proposed), 0.703 (Conventional)

図 3.21 ターンオフスイッチング波形の比較

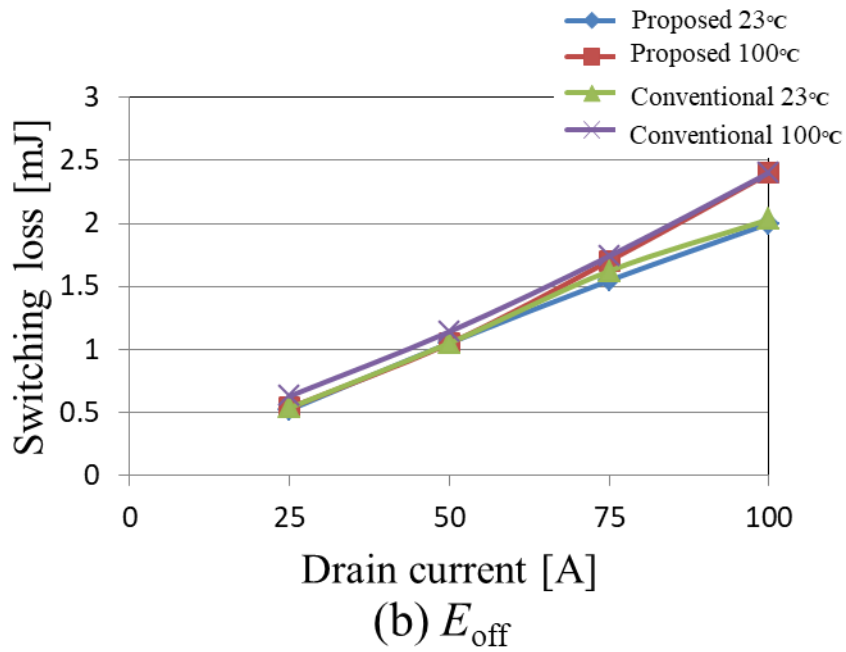
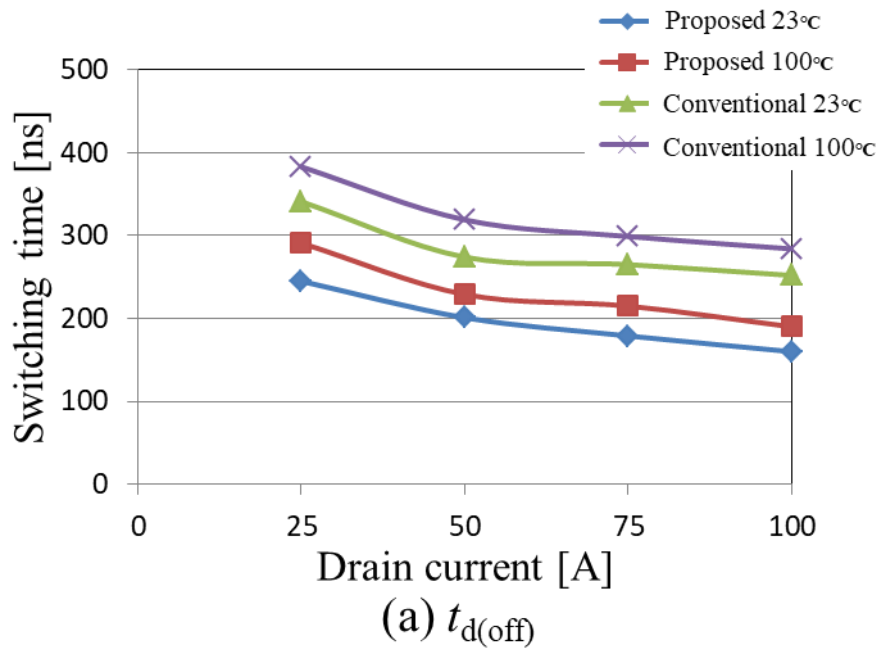
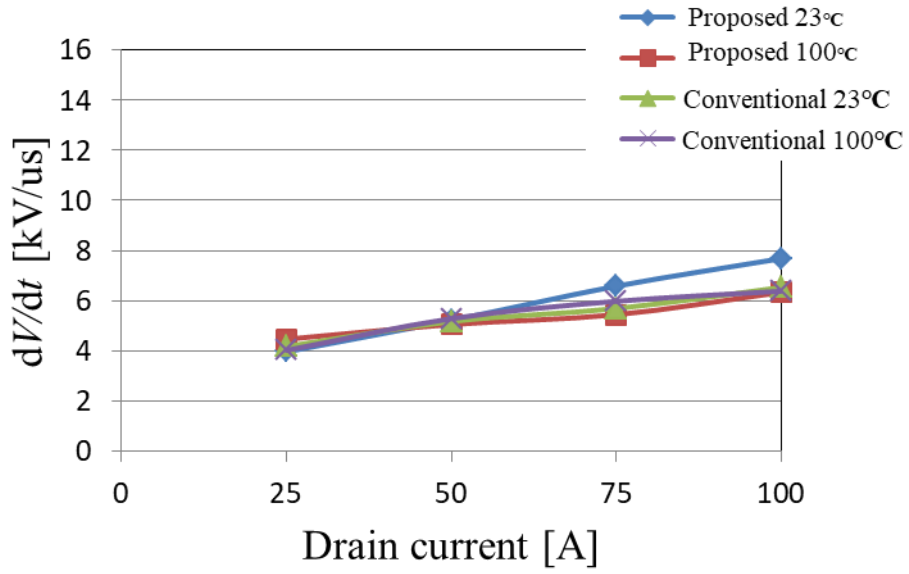
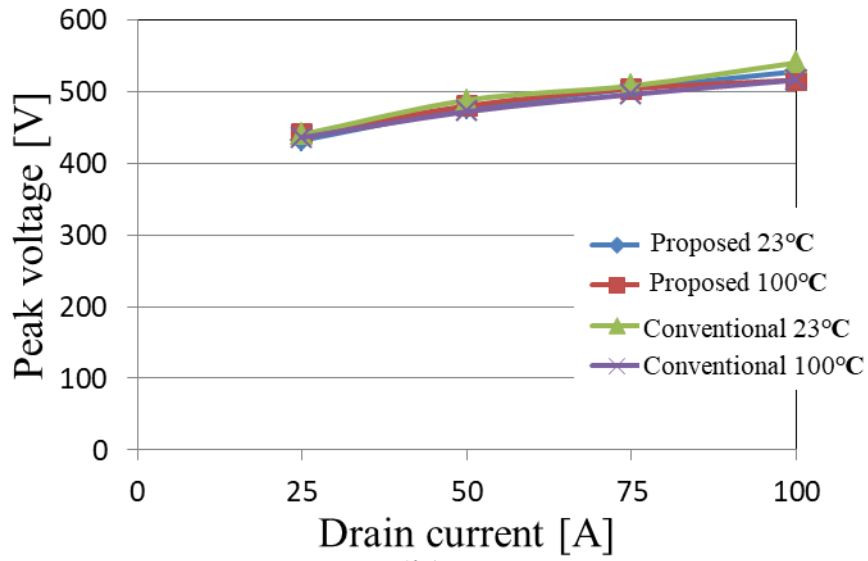


図 3.22 ターンオフスイッチング特性の比較



(a) $dV/dt_{(off)}$



(b) V_{dmax}

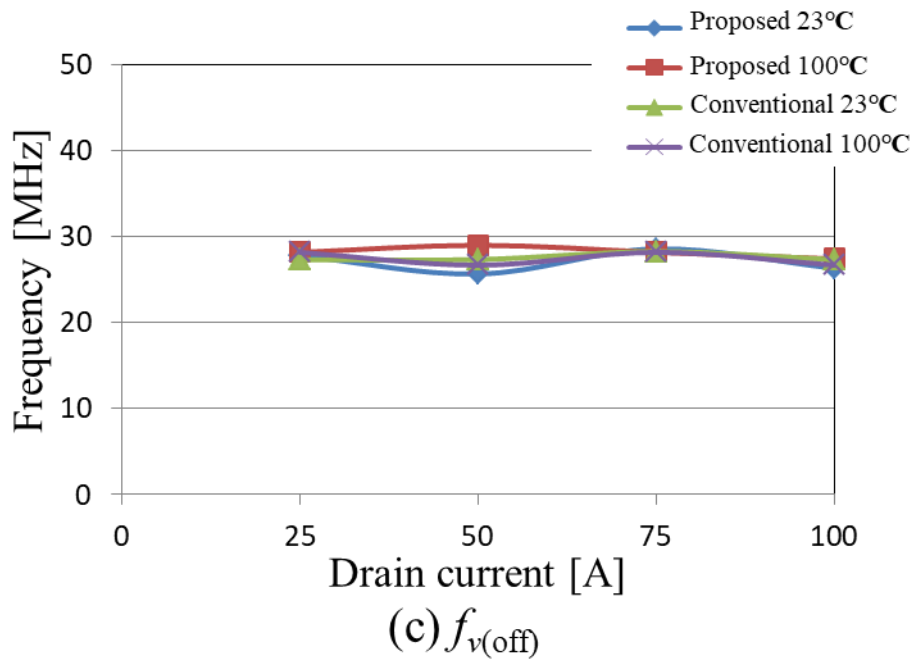
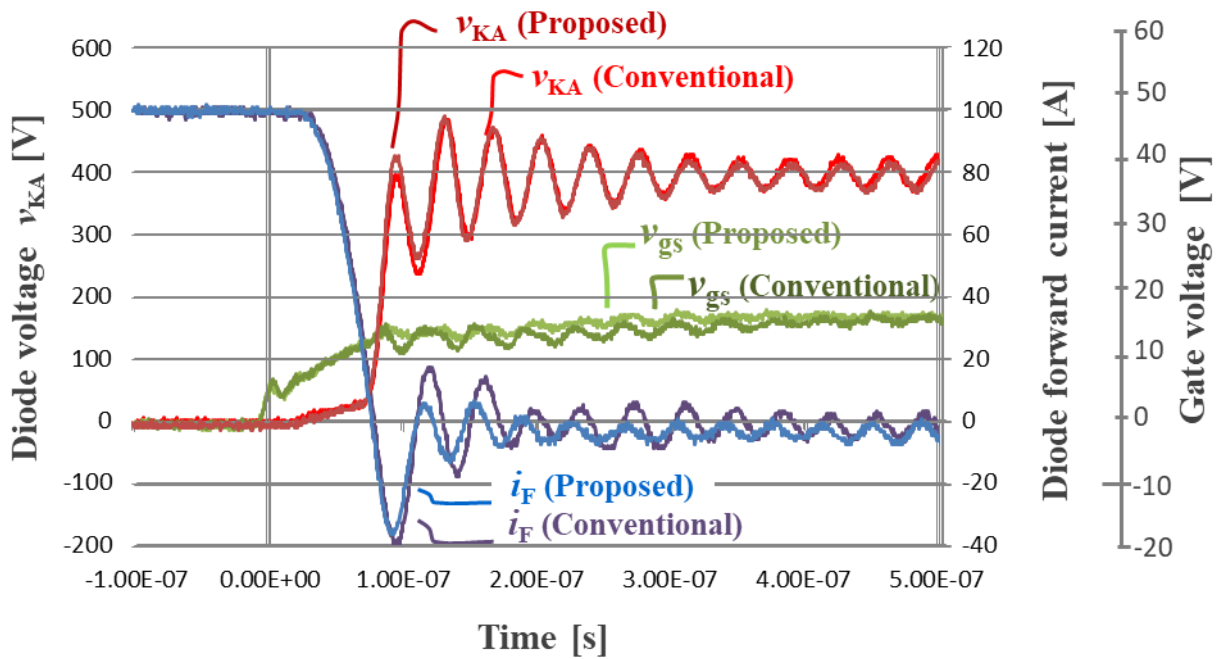


図 3.23 ターンオフスイッチングノイズ特性の比較

3.5.4 ダイオードターンオフ特性

図 3.24 に 400 V, 100 A, および $T_c = 100$ °Cにおけるダイオードのターンオフ波形を示す。提案ゲート駆動回路ではダイオードターンオフ損失 $E_{\pi} = 0.24$ mJ であるのに対し、従来ゲート駆動回路では $E_{\pi} = 0.26$ mJ である。図 3.25 に 400 V でのドレイン電流に対する E_{π} を示す。

図 3.26 にダイオードターンオフ時の電圧変化率 $dV/dt_{(m)}$ と電圧リング周波数 $f_{v(m)}$ を示す。提案ゲート駆動回路と従来ゲート駆動回路との間には、ダイオードターンオフ特性に関して大きな違いは見られなかった。通常、より速いターンオン能力はダイオードスイッチング時のサージ電圧やリングを悪化させるリスクを生じる。しかしながら、実験結果により提案ゲート駆動回路がダイオードスイッチング特性の悪化を回避することができることを確認した。



E_{rr} : 0.244 mJ (Proposed), 0.258 mJ (Conventional)
 $f_{v(rr)}$: 28.2 MHz (Proposed), 28.2 MHz (Conventional)
 δ : 0.243 (Proposed), 0.227 (Conventional)

図 3.24 ダイオードターンオフスイッチング波形の比較

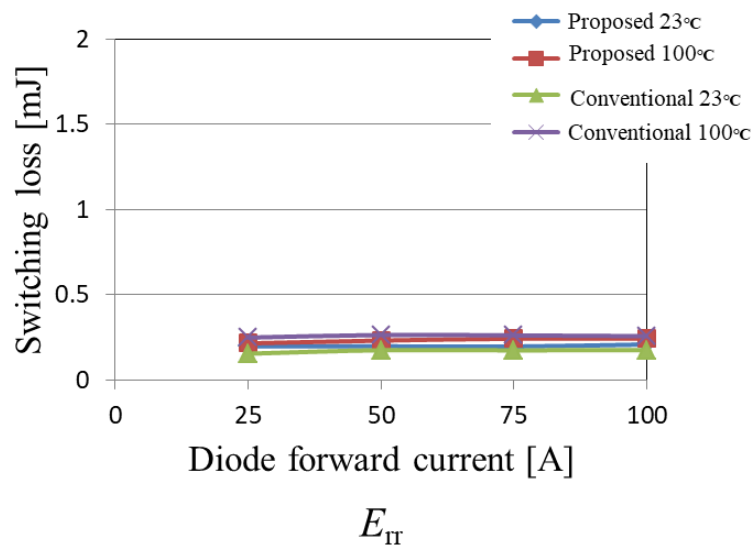


図 3.25 ダイオードターンオフ損失の比較

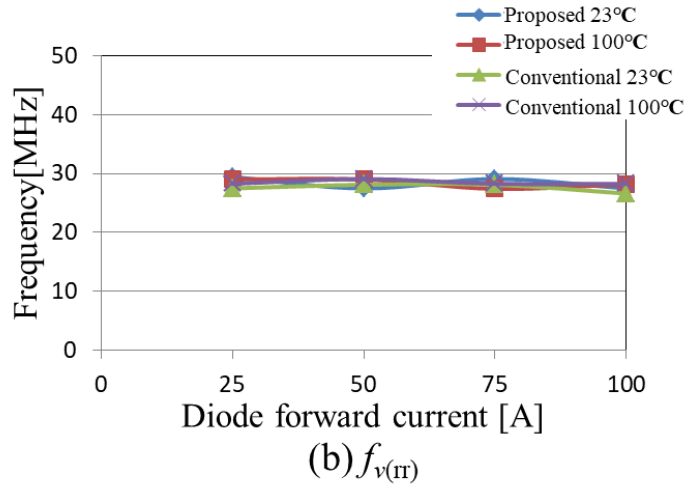
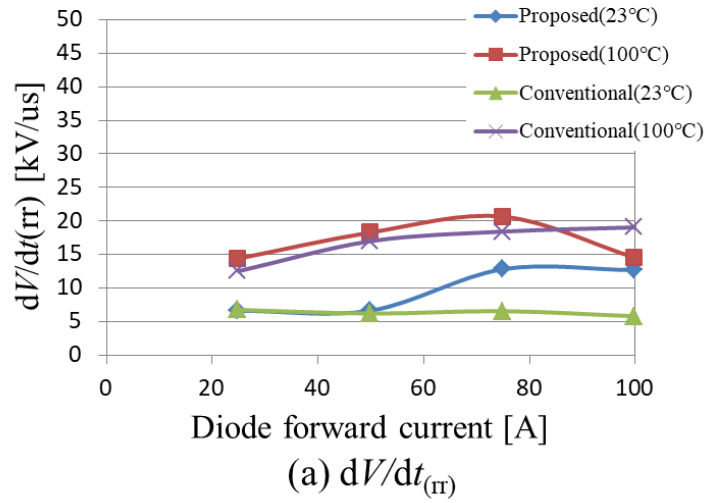


図 3.26 ダイオードターンオフノイズ特性の比較

3.5.5 スイッチングノイズ特性とトータルスイッチング損失

図 3.27 に、図 3.15 および 3.17 に示した試験設定において測定された 100 MHz までの放射スイッチングノイズの周波数スペクトルを示す。試験条件は、 $E = 400 \text{ V}$ 、 $I_d = 100 \text{ A}$ 、 $T_c = \text{約 } 23 \text{ }^\circ\text{C}$ 、 $V_{cc} = 18 \text{ V}$ である。提案ゲート駆動回路と従来ゲート駆動回路はほぼ同様のノイズ周波数スペクトルを示す結果となった。スイッチング損失やスイッチング遅延時間を低減する提案ゲート駆動回路について、放出ノイズに関して重大なデメリットは認められなかった。さらに、提案ゲート駆動回路は図 3.27 において赤い丸でマークされた特定の周波数に対して、従来ゲート駆動回路よりも低い放出ノイズを示す結果となった。対照的に、提案ゲート駆動回路は、図 3.27 において青い丸でマークされた特定の周波数に対してわずかに高い放射ノイズを計測した。これらの周波数はスイッチング時のリングングの高調波であることがわかる。提案したゲート駆動回路のより小さな減衰係数が結果に影響を与えたと考察される。しかしながら、 dV/dt に関連するスペクトル帯域の 15 MHz 以下の領域では大きな差異は

見られなかったことから、提案ゲート駆動回路のより大きな電圧変化率 dV/dt は、放射ノイズに重大な悪影響を及ぼさなかったことがわかる。

図 3.28 にスイッチング 1 回当たりの総スイッチング損失を示す。図 3.28 に示されるように、提案ゲート駆動回路は、従来ゲート駆動回路損失と比較して、総スイッチング損失を約 12% 減少させる効果を得ることができた。ターンオフ損失やダイオードターンオフ損失は提案ゲート駆動回路と従来ゲート駆動回路とで大きな差は見られず、前節までの議論、設計通りの実験結果が得られた。また、提案ゲート駆動回路の目的通り、ドレイン電流遷移期間完了後のスイッチング損失 E_{on2} を削減することができた。さらに、 E_{on} もドレイン電流の値が大きくなると減少しているため、提案ゲート駆動回路に損失削減効果があったことを示している。しかし、 E_{on} の削減は提案ゲート駆動回路の主たる対象ではないのでスイッチングノイズに悪影響がある場合は、無理に E_{on} を削減する必要はない。

本節で示した実験結果は、提案ゲート駆動回路が放射スイッチングノイズを増加させることなくスイッチング損失低減効果を持つことを明らかにした。つまり、提案ゲート駆動回路によって電力変換器のノイズフィルタの大型化を回避しながら、冷却システムの小型化、あるいは出力電力の向上を実現できる能力を検証することができた。

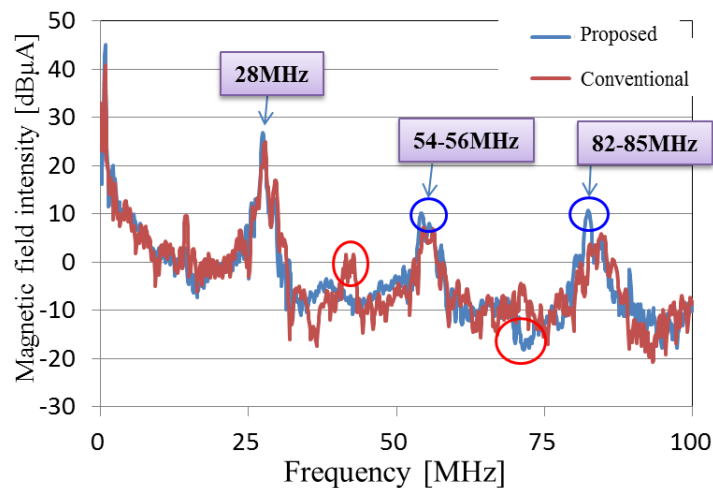


図 3.27 放射スイッチングノイズ特性の比較

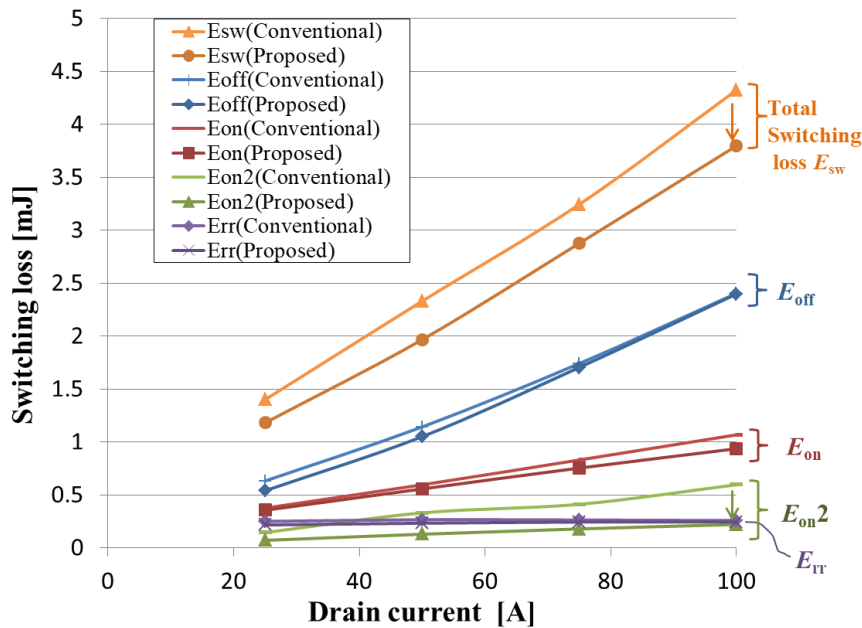


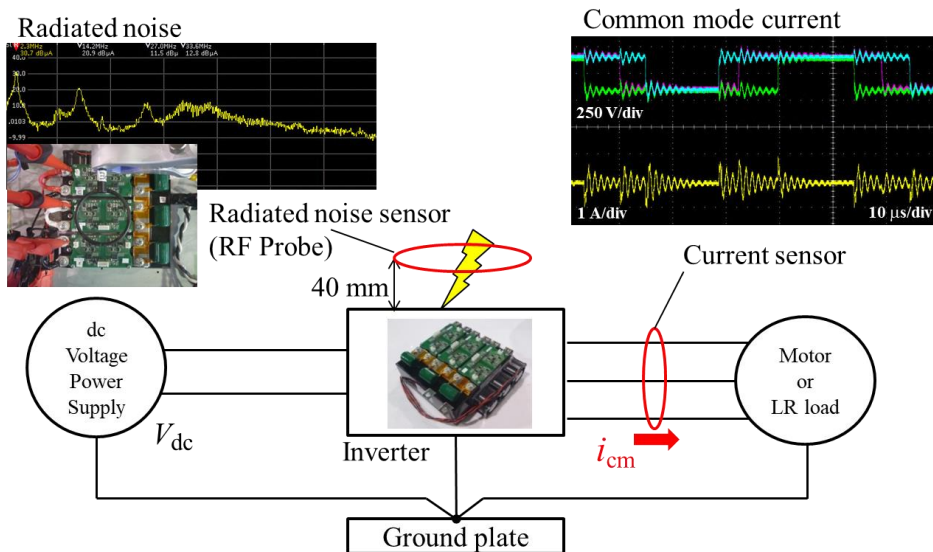
図 3.28 スイッチング損失の比較

3.6 インバータ特性の評価

本節では、提案ゲート駆動回路を適用した試作 SiC-MOSFET インバータの評価結果を示す。

図 3.29 と図 3.30 にインバータの損失とノイズを評価するための試験装置構成を示す。誘導性負荷を使用してインバータの損失を評価した。インバータの出力電流は最大定格電流 60 Arms まで変化させて評価した。各相の負荷インダクタンスは約 100 μH, 負荷抵抗は約 0.97 Ωとした。したがって、最大インバータ出力電力は約 10 kW となった。インバータの出力周波数は約 666 Hz とした。また、インバータからの放射ノイズを評価し、さらに負荷をモータとした時のコモンモード電流も測定した。モータ速度は 20,000 rpm, モータ極数は 4 極なので、インバータ出力周波数は約 666 Hz であった。20,000 rpm でのモータ駆動中、インバータ出力電圧は約 148 V_{rms}, インバータ出力電流は約 1.65 A_{rms}, インバータ出力電力は約 330 W であった。モータが無負荷であるため、出力電力および電流は誘導性試験での試験中のものより小さくなった。インバータ出力を大きくした時の特性は誘導性負荷にて評価し、モータ駆動した時のコモンモードノイズ特性評価のためにモータ負荷による評価を実施した。インバータの動作条件は、直流電源電圧 $V_{dc} = 400$ V, スイッチング周波数 $f_{sw} = 20$ kHz, およびデッドタイム $t_d = 3$ μs とした。

提案ゲート駆動回路と従来ゲート駆動回路を用いたインバータ損失の比較評価結果を図 3.31 に示す。測定されたインバータ損失には、制御基板損失を除くインバータ主回路の電力損失が全て含まれている。図 3.32 に試作 SiC-MOSFET インバータにおける提案ゲート駆動回路および従来ゲート駆動回路との放射ノイズ放射の比較結果を示す。図 3.33 にモータ駆動試験において測定されたコモンモード電流の比較結果を示す。



LR load: Inductive load consists of inductors and resistors,
 i_{cm} : Common mode current.

図 3.29 SiC インバータのノイズ測定試験構成図

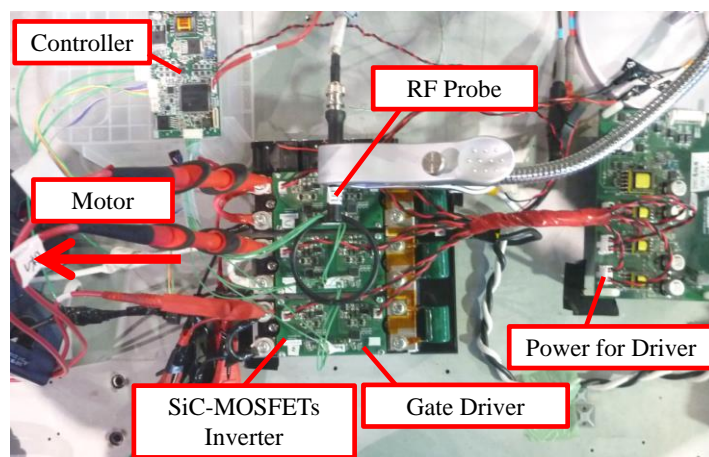


図 3.30 SiC インバータの評価試験構成写真

図 3.31 に示すように、提案ゲート駆動回路は最大出力電流においてインバータ損失を約 7%低減しており、提案ゲート駆動回路の低損失性能をインバータ動作でも確認することができた。さらに、図 3.32 に示す放射ノイズの比較試験結果から、提案ゲート駆動回路はインバータの放射ノイズに大きな悪影響を与えていないことが確認された。28 MHz 付近のスペクトル成分はスイッチング時のリングング周波数によるものと判断され、14.2 MHz の成分はダイオードのターンオフ時の電圧変化によって発生していることがわかる。提案ゲート駆動回路のターンオフ時の従来ゲート駆動回路より高い電圧変化率は、インバータ動作における放射ノイズに重大な影響を及ぼさなかったことがわかる。図 3.33 に示すコモンモード電流の比較結果からも、提案ゲート駆動回路で駆動したインバータは従来ゲート駆動回路で駆動したインバータと比較して、コモンモード電流に大きな影響を与えないことが確認された。この結果は、提案ゲート駆動回路を使用した場合に伝導性ノイズの放出も悪化しないことを示し

ている。

本節の評価試験結果により、提案ゲート駆動回路がインバータのノイズ放出を悪化させることなくインバータの損失を低減させることが可能であることを確認した。つまり、提案ゲート駆動回路によってインバータのノイズフィルタの大型化を回避しながら、冷却システムの小型化、あるいは出力電力の向上を実現できることを検証することができた。

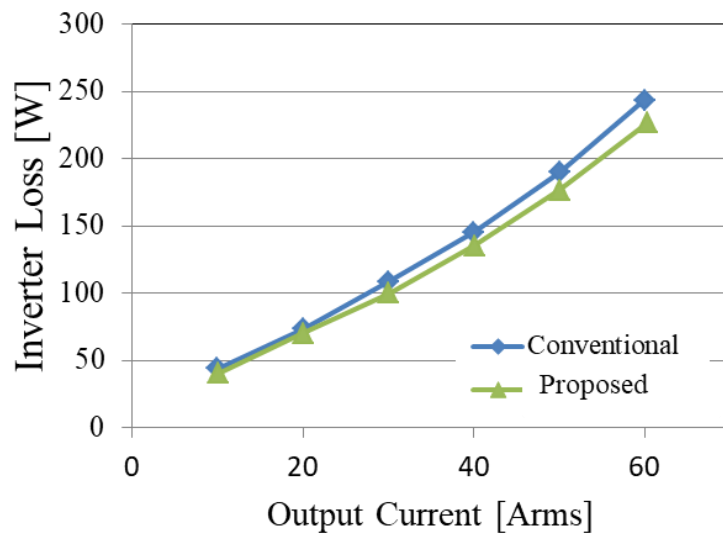


図 3.31 SiC インバータ損失の比較

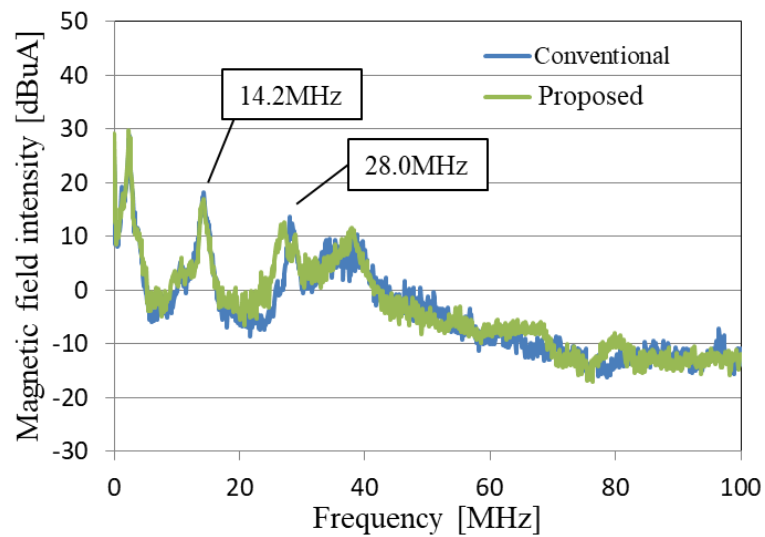


図 3.32 SiC インバータ放射ノイズの比較

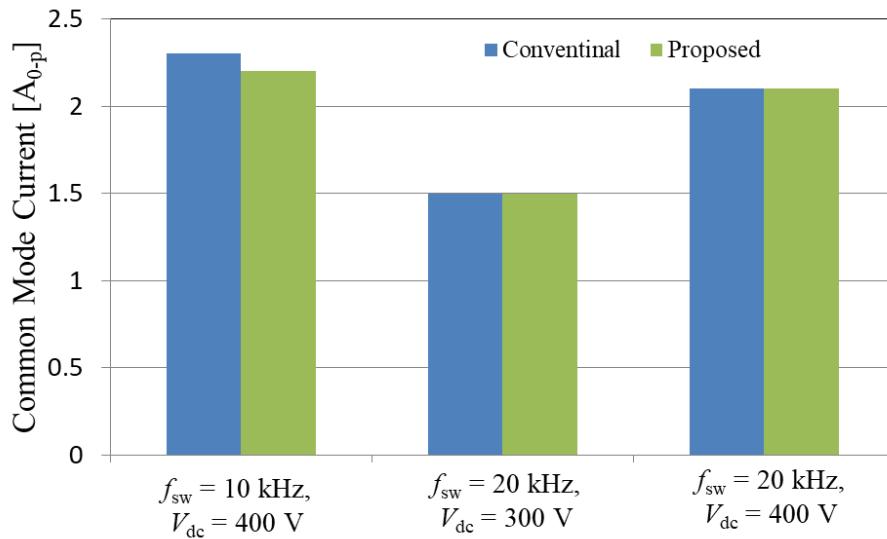


図 3.33 SiC インバータコモンモード電流の比較

3.7 高電力密度化への影響評価

本節では、本検討で提案するゲート駆動回路の損失低減効果により、どの程度電力変換器の高電力密度化が可能か評価する。前節までに提案・検証してきたとおり、提案したゲート駆動回路はスイッチングノイズの増大を回避しながらスイッチング損失の低減を可能とした。さらに、評価用試作 SiC インバータの定格出力において、インバータからの放出ノイズの増大を回避しながら、インバータ損失を 7% 削減することを達成した。この結果から、提案ゲート駆動回路により、インバータのノイズフィルタの大型化を回避しながら、冷却システムを 7% 小型軽量化、あるいは冷却システムをそのままに出力電力の向上が可能であるといえる。試作インバータの定格出力を 10 kW とすると、提案ゲート駆動回路適用のインバータ効率は約 97.79%，従来ゲート駆動回路適用のインバータ効率は約 97.62% であり、式 (6) (7) から算出される電力密度は提案ゲート駆動回路によりおよそ 7.8% 向上できることになる。

また、提案ゲート駆動回路によるとスイッチング損失の低減に加えて、スイッチング遅延時間の短縮も可能となる。これにより、インバータにおけるデッドタイムの短縮も可能となり、逆方向電流導通時の導通損失の低減も可能となる。このデッドタイム短縮能力の拡大は、後述する逆並列 SBD レス構造を適用する電力変換器においてその導通損失低減効果をより大きくできることになる。また、提案ゲート駆動回路の高速・低損失かつ低ノイズスイッチング能力はスイッチングの高周波化も後押しする。スイッチング高周波化の選択を取ったとしても、冷却器の大型化を抑制しながら、ノイズフィルタ構成要素の小型軽量化を図ることが可能となる。これらにより、さらなる電力変換器の高電力密度化を達成することが可能となる。

3.8 まとめ

本章では、SiC-MOSFET のスイッチング損失の低減が可能なゲート駆動回路を提案した。SiC-MOSFET のスイッチング動作を解析し、スイッチング特性改善のためゲートブースト回路とスピードアップコンデンサを持つゲート駆動回路を提案した。提案ゲート駆動回路を試作してスイッチング特性の詳細評価を実施した。スイッチング損失に加えて、スイッチング時の電圧変化率、電流変化率、サージ電圧、ピーク電流、リングング周波数、リングング減衰率、放射ノイズなどを計測して、スイッチングノイズを総合的に評価した。評価実験結果から、提案ゲート駆動回路は従来ゲート駆動回路と比較して、サージ電圧、電流電圧の振動、放射ノイズなどのノイズの増大を回避しながら、より高速かつ低損失駆動が可能であることを検証した。

さらに提案ゲート駆動回路を SiC-MOSFET インバータに適用してインバータの試作評価を実施した。評価試験により、提案したゲート駆動回路はインバータノイズの増大を回避しながら、インバータ損失を約 7%低減することが確認された。提案ゲート駆動回路による損失低減効果は、電力変換器のノイズフィルタの大型化を回避しながら冷却システムの小型軽量化、あるいは冷却システムをそのままに出力電力の向上に繋がり、電力変換器の高電力密度化の達成が可能となる。試作インバータの定格出力を 10 kW とすると、インバータ電力密度は提案ゲート駆動回路によりおよそ 7.8 %向上できると試算された。

提案ゲート駆動回路はチップ抵抗、チップコンデンサなどによる安価で簡易な構成で実現可能である。ゲート電圧やドレイン電圧検出回路、比較回路などが不要であるため、回路遅延やノイズによる誤動作を起こす要素が少なく、次世代パワーデバイスを活用したパワーエレクトロニクス機器に求められる高速駆動に適していると言える。

以上から、下記のように本章の成果概略をまとめる。

- SiC-MOSFET のスイッチング動作を解析しスイッチング損失の低減が可能なゲート駆動回路を提案した。
- 提案ゲート駆動回路は従来駆動方式と比較してノイズの増大を回避しながら、より高速かつ低損失駆動が可能であることを実験により検証した。
- 提案ゲート駆動回路を適用した SiC-MOSFET インバータの試作評価を実施して、提案ゲート駆動回路はインバータノイズの増大を回避しながら、インバータ損失を約 7%低減できることが確認された。これにより、従来駆動回路と比較して冷却システムを 7%小型軽量化、あるいは冷却システムをそのままに出力電力の向上が可能となる。
- 試作インバータの定格出力を 10 kW とすると、式 (6) (7) から算出される電力密度は提案ゲート駆動回路によりおよそ 7.8 %向上できると試算された。
- 提案ゲート駆動回路は安価で簡単に実現可能である構成とすることができた。
- ゲート電圧やドレイン電圧検出回路、比較回路などが不要であるため、回路遅延やノイズによる誤動作を起こす要素が少なく、次世代パワーデバイス的高速駆動に対して親和性が高い回路とすることができた。

第4章

電力変換器導通損失低減の検討

本章では、まず SiC-MOSFET 適用インバータから逆並列 SiC-SBD を削除することが、インバータ損失とノイズ・電磁干渉 (EMI) 問題に重大な悪影響を与えないことを検証する。続いて、逆並列 SBD レス構造の SiC インバータが逆並列 SBD を持つ従来の SiC インバータより損失の点で優位性を持つ条件を明らかにするための評価指標、設計指針を提案する。さらに、理論解析と設計指針の妥当性を試作 SiC インバータによる実験結果で検証し、電力変換器の高電力密度化に与える効果を評価する。

4.1 SiC-MOSFET 逆並列 SiC-SBD に関する技術動向と課題

本節では、SiC-MOSFET に逆並列接続される SiC-SBD の削除による電力変換器の高電力密度化を検討するために、まず逆並列 SiC-SBD に関連する技術動向の整理を行う。

SiC-MOSFET は前述してきたとおり、高速および低損失のスイッチング特性、低オン抵抗、および高耐電圧など、電力変換器の高電力密度化を狙う上で有効な特性を有している。しかしながら、ワイドバンドギャップ半導体である SiC-MOSFET はボディダイオードの順方向電圧降下がシリコンデバイスより大きくなるため、逆方向電流導通のために逆並列 SiC-SBD を内蔵するパッケージが多い。SiC インバータに逆並列 SiC-SBD を適用する主な理由はさらに2つ挙げることができる。1つ目は、MOSFET のボディダイオードは PiN ダイオードとなるのでリカバリ電流とリカバリ損失が発生するため、損失増加とノイズ・EMI の問題が懸念されるからである。しかし、SiC-MOSFET のボディダイオードのリカバリ損失は、Si-MOSFET のものよりもはるかに小さいことが報告されている⁽¹²²⁻¹²⁴⁾。2つ目の理由は、ボディダイオードを流れる電流が SiC-MOSFET の長期信頼性を劣化させる危険性があるからである⁽¹²⁵⁾。そのため、市販の SiC-MOSFET モジュールの中には逆並列 SBD を含むものが多くある。しかし、最近の研究では、最新の SiC デバイスが劣化することなく 1,000 時間の耐久試験に耐えることができるなどの報告⁽¹²⁶⁾がなされており、長期信頼性に関する問題は解決される傾向にあるといえる⁽¹²⁶⁻¹²⁹⁾。東芝や日立などの国内電機メーカーからも SiC-MOSFET のボディダイオード通電による劣化特性に関する

る検討結果が報告されており、初期の結晶欠陥を抑制することができればボディダイオード通電による長期信頼性劣化も抑制することができると報告されている⁽¹²⁷⁻¹²⁹⁾。

一方、SiC 適用電力変換器サイズとコスト削減のために逆並列 SiC-SBD を削除することも報告されている⁽¹²⁸⁾。逆並列 SiC-SBD 削除による SiC-MOSFET 逆導通損失の増加を避けるために、SiC-MOSFET ボディダイオードの導通期間をできるだけ短くすることが逆並列 SiC-SBD 削除の後押しとなるといえる。一般に MOSFET 適用電力変換器に広く使われている同期整流駆動が適用されている場合、ボディダイオードはデッドタイムの間だけ逆方向電流を通電することになりボディダイオードの逆導通損失を減らすことができるため、逆並列 SiC-SBD を取り除くことによるデメリットを減らすことが可能となり、その効果が報告されている⁽¹³⁰⁻¹³⁴⁾。さらに、逆並列 SiC-SBD レス構造にとっては SiC-MOSFET ボディダイオードが逆方向電流を通電せざるを得ないデッドタイムの短縮もより重要となる。これまでにアクティブゲート駆動回路など、ノイズ放出を増やすことなく高速スイッチングを可能とする技術が検討されてきており、デッドタイム短縮の有効な手段となっている⁽¹³⁵⁻¹⁴²⁾。前章でも述べたとおり、スイッチングスピードとスイッチングノイズの間にはトレードオフがある⁽¹⁴³⁾。逆並列 SBD レス SiC-MOSFET のためにデッドタイムを最小限に制御するアクティブゲート駆動回路の報告もされている⁽¹⁴⁴⁾。

逆並列 SiC-SBD レス構造を達成するためには逆導通損失とスイッチング特性に及ぼす逆並列 SiC-SBD 削除の影響を総合的に検証することが必要である。SiC-MOSFET のボディダイオードについては、その使用に関する懸念から多くの研究が報告されている^(145, 146)。SiC-MOSFET と Si-MOSFET のリカバリ特性を比較検討した結果、SiC-MOSFET のリカバリ電流と損失は、Si-MOSFET のリカバリ電流と損失よりも小さいことが報告されている⁽¹⁴⁷⁻¹⁴⁹⁾。SiC-SBD と SiC-MOSFET ボディダイオードの比較評価も報告されている⁽¹⁴⁶⁾。逆並列 SiC-SBD レス構造は、従来のシリコンパワーデバイス程度のスイッチングスピードのアプリケーションでは推奨できるが、より高速スイッチングが求められるアプリケーションでは、SBD レス構造の採用においては特別な注意が必要であることが報告されている⁽¹⁴⁶⁾。

しかし、これまでの研究では、逆並列 SiC-SBD を持たないインバータが逆並列 SiC-SBD を持つインバータよりも有利な条件を明確にする方法は検討されていない。逆並列 SiC-SBD の削除がスイッチングノイズ特性と EMI 問題に与える影響についての研究も報告されていない。本章では、逆並列 SiC-SBD の削除が、SiC-MOSFET 適用インバータの導通損失、スイッチング特性、およびノイズ・EMI 特性に与える影響について詳細に分析・評価して、逆並列 SiC-SBD 削除を可能とする条件を明らかにする。さらに、逆並列 SiC-SBD レス構造を実現するための設計基準を明確にしていく。逆並列 SiC-SBD 削除が可能であることを示した上で、逆並列 SiC-SBD を削除したスペースに SiC-MOSFET を追加接続することにより、導通損失低減を実現し電力変換器の高電力密度化を達成する。

4.2 損失評価

4.2.1 導通損失評価

本項では、逆並列 SiC-SBD の有無による導通損失について比較評価して、逆並列 SBD レス構造に大きなデメリットが無いことを示し、後に述べる逆並列 SBD レス構造の設計指針提案のために特性の差異を明確にする。逆並列 SiC-SBD は MOSFET の順方向導通時に導通することはないので、逆並列 SiC-SBD の有無が MOSFET の定常状態での順方向導通特性に影響を与えることはない。よって、逆方向電流導通時の逆方向導通特性のみを検討対象とすればよい。図 4.1 は、同期整流適用時の逆並列 SBD の有無による SiC-MOSFET の逆導通特性を比較したものである。同期整流が適用される場合、SiC-MOSFET のボディダイオードは、デッドタイムの間を除いて逆方向電流を導通する機会はほとんどない。逆導通特性は、大きく領域 I, II, および III の 3 つの領域に分けることができる。最小電流領域 I では、すべての逆方向電流が MOSFET チャネルのみを流れるため、逆並列 SBD の有無によって逆導通特性に違いが生じることはない。電流領域 II では、電圧降下が逆並列 SBD の閾値を超えてくる領域になり、逆並列 SBD が有る場合には逆並列 SBD および MOSFET チャネルが逆方向電流を共有する領域となる。つまり、逆並列 SBD が有る場合の方が、逆並列 SBD が無い場合よりも、逆導通損失が小さくなっていく領域になる。最大電流領域 III では、さらに電圧降下が大きくなり、逆並列 SBD が無いものの MOSFET ボディダイオードも逆方向電流を導通し始める。さらに、逆方向電流が増えていけば、逆並列 SBD が有るものでも MOSFET ボディダイオードの閾値を超えてボディダイオードが導通することもあり得るが、MOSFET ボディダイオードの閾値は大きく、現実的にはあり得ない。よって、逆導通損失は領域 II および III で、SBD の削除によって増加することになる。前章で述べた長期信頼性の問題もあるので、ボディダイオードの閾値を超えるような大電流を流し、領域 III に至るような使用方法は現実的には避けるべきと考えられる。逆導通特性に関する特性比較結果は各導通条件に対して下記のようにまとめられる。

- ・デッドタイム期間中：逆並列 SiC-SBD 削除により導通損失が増加する。
- ・小電流領域 I：全ての逆導通電流が MOSFET チャネルを導通するので、逆並列 SiC-SBD を削除することによるデメリットは生じない。
- ・中間電流領域 II：逆並列 SiC-SBD がある場合は、逆並列 SiC-SBD が導通して導通損失を低減するので、逆並列 SiC-SBD を削除すると逆導通損失が増加する。
- ・大電流領域 III：逆並列 SiC-SBD を削除した場合に、MOSFET のボディダイオードが導通する領域になる。領域 II と同様に SBD レス構造採用により導通損失が増加する領域となる。

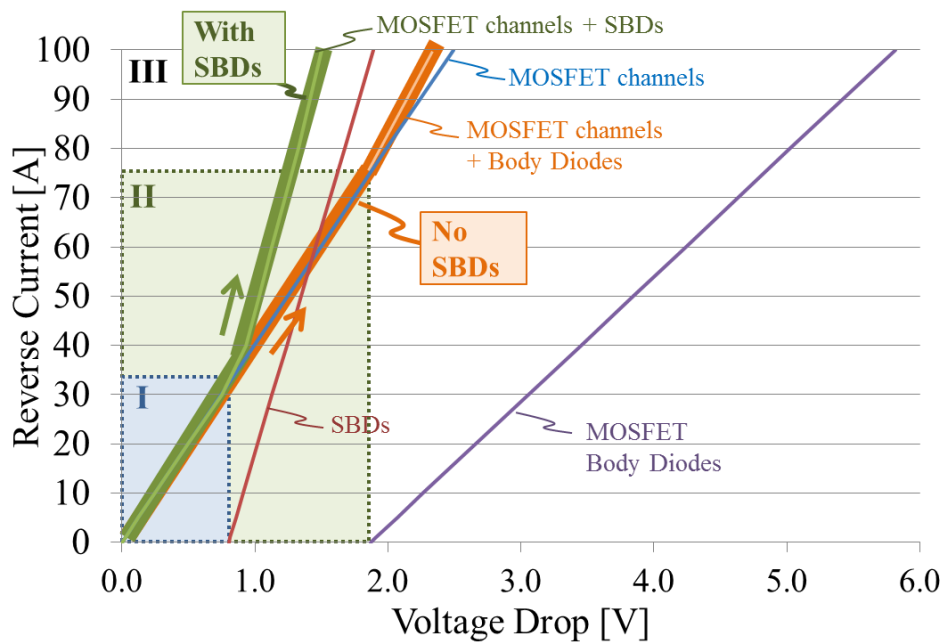


図 4.1 逆並列 SiC-SBD 有無による逆導通特性の比較（同期整流適用時）

4.2.2 スイッチング損失評価

本項では、逆並列 SiC-SBD の有無によるスイッチング損失について比較分析して、逆並列 SBD レス構造のメリットとデメリットを整理する。その上で、後述する逆並列 SBD レス構造の設計指針の提案に繋げる。

図 4.2 に、本章におけるスイッチング特性の分析・評価のためのダブルパルステスト回路の回路構成図を示す。この回路は、下アーム SiC-MOSFET と上アームダイオードのスイッチング特性を評価するためのものである。分析に用いた簡易等価回路を図 4.3 に示す。スイッチング近似波形とスイッチング遷移を図 4.4、図 4.5 に示す。ターンオン遷移は期間[i]から[iv]の 4 段階に、ターンオフ遷移も期間[iv]から[i]に戻る 4 段階に分けることができる。

期間[i]：デッドタイム期間中の上アーム逆導通期間

図 4.4 (a) は下アーム MOSFET がオフの状態、上アームダイオードが逆方向に負荷電流を導通している状態（期間[i]）から始まる。ゲートドライバ v_g の電圧出力は、 t_0 において MOSFET のターンオン指令であるハイレベルに上昇する。ゲート駆動回路によりゲート容量の充電が開始されて、MOSFET のゲート電圧 v_{gs} が上昇を始める。 v_{gs} がゲート閾値電圧 V_{th} より低いので下アーム MOSFET はオフ状態のままで、全ての負荷電流は上アームダイオードを導通している。

期間[ii]：上アームから下アームへの転流期間（下アーム MOSFET ターンオン）

t_1 で MOSFET のゲート電圧 v_{gs} がゲート閾値電圧 V_{th} を超えるので、下アーム MOSFET のチャネルが開いて負荷電流を導通し始め、期間[ii]の電流転流期間に入る。 v_{gs} の上昇に伴ってドレイン電流 i_d は増加し、相反するように上アーム逆方向電流 i_F は減少していく。この期間[ii]中は i_d と i_F の変化の分だけ下アーム MOSFET のドレイン電圧 v_{ds} と上アームダイオードのアノードカソード電圧 v_{KA} が変化する

が、この期間中の電圧変化はスイッチング特性を分析する上では無視することができる。したがって、期間[iii]の転流期間中には逆並列 SBD の有無によってスイッチング特性に差異は生じない。

期間[iii]：電圧遷移期間（下アーム MOSFET ターンオン）

t_2 で負荷電流の上アームから下アームへの転流が完了し、上アームダイオードがターンオフし始めるので、下アーム出力容量の放電と上アーム出力容量の充電が開始され、 v_{ds} と v_{KA} の大きな変化が始まる期間[iii]に入る。逆並列 SBD が削除されている場合は、期間[iii]における c_{AK1} と c_{AK2} の充放電電流はなくなるが、上アーム MOSFET ボディダイオードの回復電流は下アームの出力容量を流れることとなる。負荷の寄生容量成分の充電電流は無視する。期間[iii]中の下アーム MOSFET のターンオン損失は、式 (27) で計算することができる。 ΔE_{on} は逆並列 SBD の有無によるターンオン損失の差で、式 (28) のように定義する。 ΔE_{on} が正の場合、ターンオン損失は逆並列 SBD を除去することによって減少し、逆に ΔE_{on} が負の場合は逆並列 SBD の削除によりターンオン損失が増加することを意味する。 C_{AK} は、 v_{KA} または $v_{ds} = E$ における逆並列 SBD の出力容量と定義する。 Q_{rr} は MOSFET のボディダイオードのリカバリ電荷と定義する。 ΔE_{on} は下アーム c_{AK} 充電エネルギーの損失、上アーム c_{AK} 充電電流による損失、および上アームボディダイオードリカバリ電流による損失の 3 つの要素で構成されていることがわかる。 ΔE_{on} は c_{AK} が増加するにつれて増加し、反対に ΔE_{on} は Q_{rr} が増加するにつれて減少する。 C_{AK} は固定値だが、 Q_{rr} は接合部温度が上昇するにつれて、またはダイオードの順方向電流が増加するにつれて増加する。したがって、逆並列 SBD を削除すると、小さな電流および低い温度条件の下でターンオン損失が減少する傾向となることがわかる。

期間[iii]中のハイサイドダイオード E_{rr} のターンオフ損失は、式 (29) で計算できる。 ΔE_{rr} は逆並列 SBD が有る場合と無い場合の E_{rr} の差で、式 (30) で定義される。 ΔE_{rr} が正の場合、ダイオードのターンオフ損失は逆並列 SBD を除去することによって減少し、逆に ΔE_{rr} が負の場合は逆並列 SBD を除去することにより損失が増加することを意味する。 ΔE_{rr} は c_{AK} 電荷による損失とボディダイオードのリカバリ電荷による損失の 2 つの要素で構成される。 c_{AK} が増加するにつれて ΔE_{rr} が増加し、逆に Q_{rr} が増加すると ΔE_{rr} は減少することがわかる。したがって、逆並列 SBD を削除すると、小電流あるいは低温度条件下では損失 E_{rr} を低減することが可能となることがわかる。

期間[iv]：下アーム MOSFET オン、上アームダイオードオフの状態

電圧遷移期間は t_4 で終了する。厳密には、 v_{gs} の上昇によって下アーム MOSFET のオン抵抗 r_{on} が僅かに減少していくので、 v_{ds} と v_{KA} は僅かに変化するが、スイッチング特性の分析においては無視することができる。

期間[v]：電圧遷移期間（MOSFET ターンオフ）

t_6 で電圧 v_g が下アーム MOSFET のターンオフ指令を意味する Low レベルに降下し、ターンオフ動作が始まる。 v_{gs} が減少を始め t_7 でミラー電圧に到達してドレイン電圧の変化が始まる。つまり、下アーム出力容量の充電と上アーム出力容量の放電が開始される。逆並列 SBD が除去されている場合、期間[v]中の c_{AK1} または c_{AK2} の放電または充電電流はなくなる。下アーム MOSFET のドレイン電流 i_d はチャネル電流 i_{ch} と下アーム出力容量の充電電流で構成されることとなる。よって、期間[v]中のローサイド MOSFET のターンオフ損失は、式 (31) で計算することができる。 ΔE_{off} は逆並列 SBD の有無によるターンオフ損失の差であり、式 (32) で定義する。 ΔE_{off} は、ローサイド c_{AK} 充電電流による損失

で構成されている。 ΔE_{off} は常に正であり、これは MOSFET のターンオフ損失が逆並列 SBD を除去することによって常に減少することを意味している。しかし、電荷の流通経路抵抗 R_{chg} および出力容量 c_{AK} は非常に小さいので、逆並列 SBD の有無による差は非常に小さくなる。期間 [v] の間に c_{AK} に充電されたエネルギーは、式 (28) に表されるように次のターンオン動作の間に消費される。また、逆並列 SiC-SBD の削除により出力容量が削減されるので、期間[v]中の電圧変化率は大きく、遷移期間は短くなる傾向があると考えられる。つまり、大きな電圧変化率によるスイッチングノイズの増大と短い遷移期間によるスイッチング損失の低減の双方の効果があると考えられる。さらに、回路の寄生インダクタンス成分に蓄えられたエネルギーがサージ電圧を生じさせるが、逆並列 SBD レス構造は出力容量が小さくなる分サージ電圧最大値が高くなる可能性がある。しかし、次節で議論する通り、逆並列 SBD レス化により配線抵抗成分が大きくなる現象も起こるので、配線インダクタンスに蓄えられたエネルギーの消費を速めること、充電回路時定数が大きくなることから、サージ電圧を小さく抑える要素も同時に持つこととなる。詳細のノイズ特性の分析と評価は次節以降行うこととする。

期間[vi]：下アームから上アームへの電流転流期間（MOSFET ターンオフ）

上アームダイオード電圧 v_{KA} がダイオード順方向閾値電圧を超えることで、 t_9 に上アームダイオードがターンオンして負荷電流を導通し始める。ゲート電圧 v_{gs} が低下するに伴ってドレイン電流 i_{d} も減少していく。上アーム v_{KA} と下アーム v_{ds} は i_{f} と i_{d} が変化するにつれて、その電圧降下分が変化するが、期間[vi]中の電圧変化はスイッチング特性の分析においては無視できるほど小さい。よって、逆並列 SiC-SBD の有無によるスイッチング特性の差異は期間[vi]中には生じない。

上記のスイッチング特性の分析によれば、SiC インバータから逆並列 SiC-SBD を除去することは、電圧遷移期間[iii]および[v]中のスイッチング特性のみに差を生じることとなり、スイッチング損失を低減するというプラスの効果をもたらす傾向を持つことがわかる。

本節での分析結果を以下のようにまとめる。

- ・逆並列 SiC-SBD の有無によるスイッチング特性の差異は、スイッチング時の電圧変異期間[iii][v]のみに生じる。
 - ・逆並列 SiC-SBD レス構造の出力容量削減効果により、スイッチング遷移期間は短くなる。
 - ・逆並列 SiC-SBD の削除により、小電流、低温度環境でスイッチング損失が低減される傾向となる。
- 逆並列 SiC-SBD の削除によるスイッチング損失の増減は、SBD レス構造の小出力容量によるメリットとボディダイオードのリカバリ電流によるデメリットのバランスによって決定される。

$$E_{\text{on[iii]}} = \int_{t_2}^{t_4} \left\{ r_{\text{on}(v_{\text{gs}})} \times \left[I_L + i_{\text{rr}} + \frac{d}{dt} (c_{\text{oss1}(v_{\text{KA}})} + c_{\text{AK1}(v_{\text{KA}})} + C_L) \times v_{\text{KA}} + \frac{d}{dt} (c_{\text{oss2}(v_{\text{ds}})} + c_{\text{AK2}(v_{\text{ds}})}) \times v_{\text{ds}} \right]^2 \right\} dt \quad (27)$$

$$\Delta E_{\text{on}} = E_{\text{on(with SBDs)}} - E_{\text{on(without SBDs)}} \cong \underbrace{\frac{1}{2} \times C_{\text{AK}} \times E^2}_{\text{Loss of } C_{\text{AK}} \text{ charge energy}} + \underbrace{\frac{r_{\text{on}(v_{\text{gs}})} (C_{\text{AK}} \times E)^2}{\Delta t_{\text{[iii]}}}}_{\text{Loss with } C_{\text{AK}} \text{ charge current}} - \underbrace{\frac{r_{\text{on}(v_{\text{gs}})} Q_{\text{rr}}^2}{\Delta t_{\text{[iii]}}}}_{\text{Loss with recovery charge current}} \quad (28)$$

$$E_{\text{rr}} = \int_{t_2}^{t_4} \left[\left\{ i_{\text{rr}} + \frac{dv_{\text{KA}}}{dt} (c_{\text{oss1}(v_{\text{KA}})} + c_{\text{AK1}(v_{\text{KA}})}) \right\} \times v_{\text{KA}} \right] dt \quad (29)$$

$$\Delta E_{\text{rr}} = E_{\text{rr(with SBDs)}} - E_{\text{rr(without SBDs)}} \cong \underbrace{C_{\text{AK}} \times E^2}_{\text{Loss with } C_{\text{AK}} \text{ charge}} - \underbrace{Q_{\text{rr}} \times E}_{\text{Loss with recovery charge}} \quad (30)$$

$$E_{\text{off[v]}} = \int_{t_7}^{t_9} \left\{ r_{\text{on}(v_{\text{gs}})} \times i_{\text{ch}}^2 + R_{\text{chg}} \times \left[\frac{d}{dt} \{ (c_{\text{oss2}(v_{\text{ds}})} + c_{\text{AK2}(v_{\text{ds}})}) \times v_{\text{ds}} \} \right]^2 \right\} dt \quad (31)$$

$$\Delta E_{\text{off}} = E_{\text{off(with SBDs)}} - E_{\text{off(without SBDs)}} \cong \frac{R_{\text{chg}}}{\Delta t_{\text{[v]}}} (C_{\text{AK}} \times E)^2 \quad (32)$$

$E_{\text{on[iii]}}$: Turn-on loss of MOSFETs during period [iii],

$r_{\text{on}(v_{\text{gs}})}$: On-state resistance of MOSFETs,

i_{rr} : Recovery current of MOSFET body diodes,

ΔE_{on} : Turn-on loss advantage of MOSFETs without SBDs over those with SBDs,

$E_{\text{on}(with SBDs)}$: Turn-on loss of MOSFETs with SBDs,

$E_{\text{on}(without SBDs)}$: Turn-on loss of MOSFETs without SBDs,

C_{AK} : Output capacitances of SBDs when v_{dc} or $v_{\text{KA}} = E$,

$\Delta t_{\text{[iii]}}$: $t_4 - t_2$, Q_{rr} : Recovery charge of MOSFET body diodes,

E_{rr} : Diode turn-off loss,

ΔE_{rr} : Diode turn-off loss advantage of MOSFETs without SBDs over those with SBDs,

$E_{\text{rr}(with SBDs)}$: Turn-off loss of diodes with SBDs,

$E_{\text{rr}(without SBDs)}$: Turn-off loss of diodes without SBDs,

$E_{\text{off[v]}}$: Turn-off loss of MOSFETs during period [v],

R_{chg} : Resistance of charge current path during period [v],

ΔE_{off} : Turn-off loss advantage of MOSFETs without SBDs over those with SBDs,

$E_{\text{off}(with SBDs)}$: Turn-off loss of MOSFETs with SBDs,

$E_{\text{off}(without SBDs)}$: Turn-off loss of MOSFETs without SBDs,

$\Delta t_{\text{[v]}}$: $t_9 - t_7$.

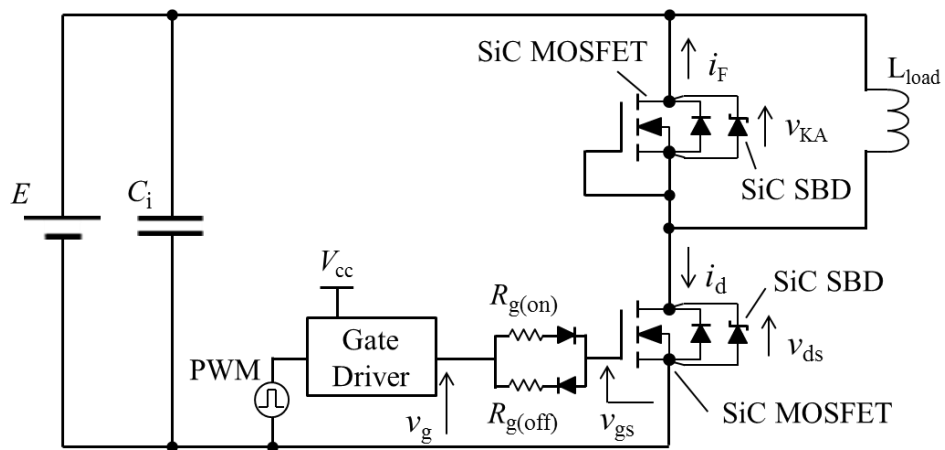


図 4.2 解析対象とするダブルパルス回路構成図

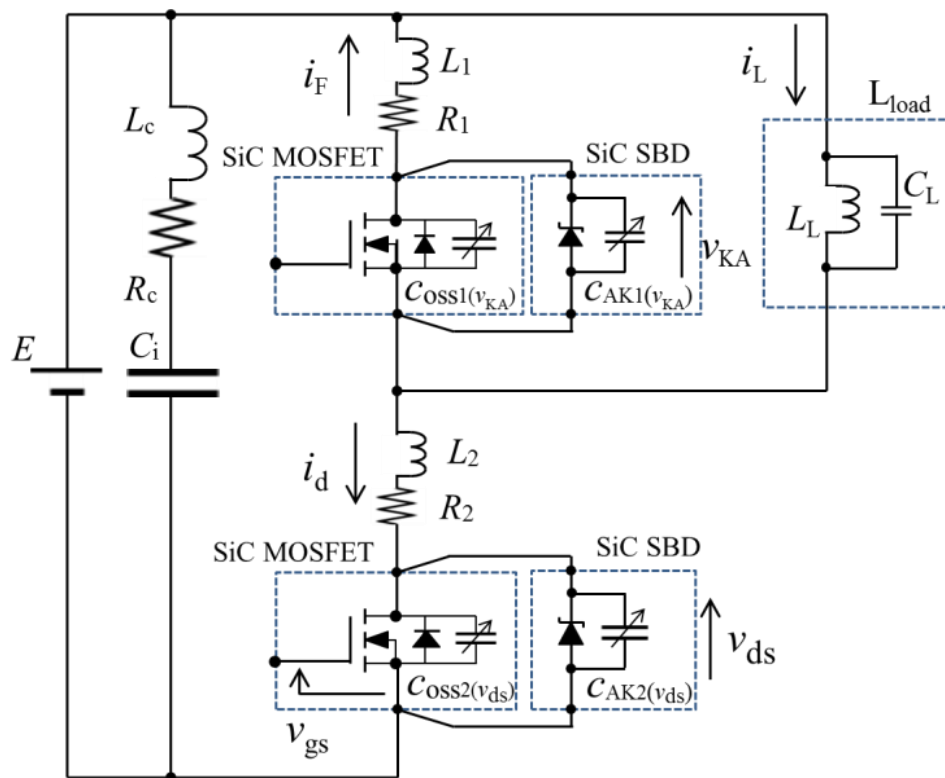
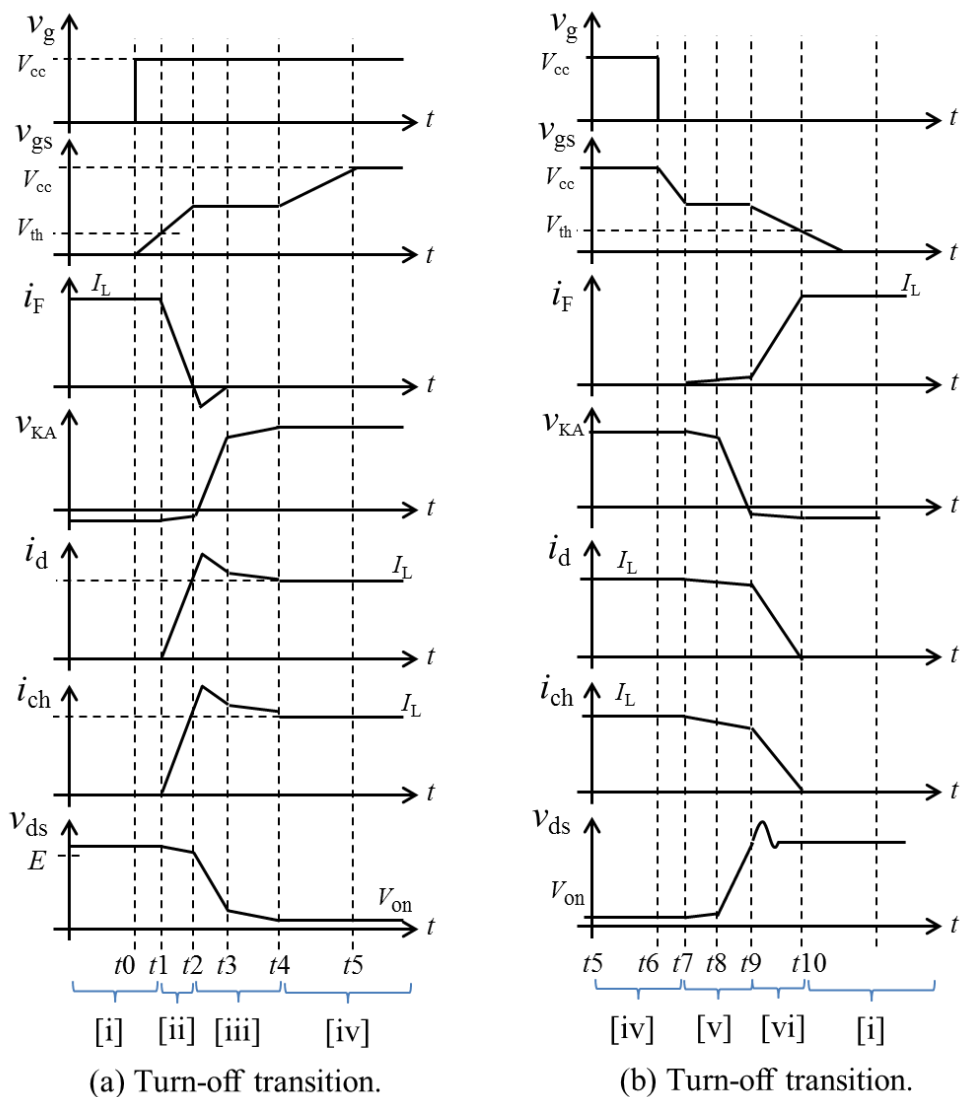


図 4.3 解析のための簡易等価回路図



V_{th} : Gate threshold voltage of SiC MOSFETs,
 i_{ch} : Channel current of SiC MOSFETs,
 I_L : Load current at switching, V_{on} : On-state drain-Source voltage.

図 4.4 スイッチング近似波形

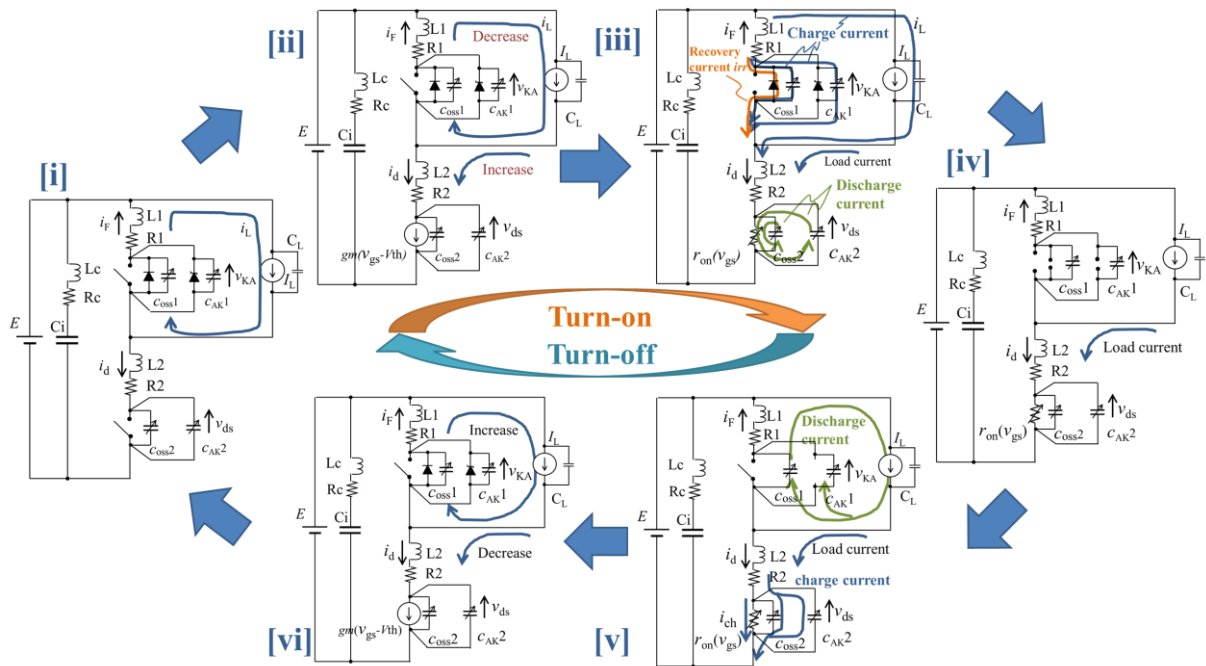


図 4.5 各スイッチング状態における電流電圧の変化

4.3 逆並列 SBD レス構造のための設計指針

本節では、逆並列 SBD レス構造の SiC インバータが逆並列 SBD を持つ SiC インバータに対して、インバータ損失の面でメリットを持つ条件を明確にして、逆並列 SBD レスインバータのための設計指針を提案する。本論文では、逆並列 SBD を有するインバータに対する逆並列 SBD レスインバータの損失優位性を表す評価指標として ΔP_{loss} を提案する。 ΔP_{loss} は式 (33) によって定義して、設計指標として使用する。 ΔP_{rcond} は、式 (34) のように定義し、逆並列 SBD を有するインバータと逆並列 SBD レスインバータとの間の逆導通損失差を示し、SBD レスインバータが逆導通損失において有利な時に正の値となる。逆導通損失 P_{rcond} は式 (35) のように定義される。 ΔP_{sw} は式 (36) で定義するとおりスイッチング損失の差を示し、逆並列 SBD レスインバータがスイッチング損失において有利な時に正の値を取る。 ΔP_{loss} は ΔP_{rcond} と ΔP_{sw} の 2 つの要素から構成されることになる。逆並列 SBD の有無によって、MOSFET の順方向導通特性に差異は生じないため、順方向導通損失を考慮する必要はない。 ΔP_{loss} が正の場合、逆並列 SBD レス構造の SiC インバータが、逆並列 SBD の有る SiC インバータよりも損失が小さいことを意味する。逆に ΔP_{loss} が負の場合、逆並列 SBD レス構造の SiC インバータが、逆並列 SBD の有る SiC インバータよりも損失が増加してしまうことを意味する。式 (37) は、式 (36) に式 (28)、式 (30)、式 (32) を代入して得られる。式 (37) を見ると、スイッチング損失における優劣が、SBD の削除による c_{AK} の低減によるメリットとボディダイオードの Q_{rr} によるデメリットのバランスで決まることを表している。

$$\Delta P_{\text{loss}} = \Delta P_{\text{rcond}} + \Delta P_{\text{sw}} \quad (33)$$

$$\Delta P_{\text{rcond}} = P_{\text{rcond}(\text{with SBDs})} - P_{\text{rcond}(\text{without SBDs})} \quad (34)$$

$$P_{\text{rcond}} = f_{\text{out}} \times \int_0^{2\pi} \underbrace{(r_{\text{on}} \times i_{\text{sd}}^2)}_{\text{Loss in MOSFET channels}} + \underbrace{v_{\text{Fsb}} \times i_{\text{Fsb}}}_{\text{Loss in SBDs}} + \underbrace{v_{\text{Fbd}} \times i_{\text{Fbd}}}_{\text{Loss in MOSFET body diodes}} d\theta \quad (35)$$

$$\Delta P_{\text{sw}} = P_{\text{sw}(\text{with SBDs})} - P_{\text{sw}(\text{without SBDs})} = \frac{f_{\text{sw}}}{2\pi} \int_0^{2\pi} (\Delta E_{\text{on}} + \Delta E_{\text{off}} + \Delta E_{\text{rr}}) d\theta \quad (36)$$

$$\Delta P_{\text{sw}} \cong \frac{f_{\text{sw}}}{2\pi} \int_0^{2\pi} \left(\underbrace{\left(\frac{3}{2} \times C_{\text{AK}} \times E^2 + \left(\frac{r_{\text{on}}(v_{\text{gs}})}{\Delta t_{[\text{iii}]}} + \frac{R_{\text{chg}}}{\Delta t_{[\text{v}]}} \right) \times (C_{\text{AK}} \times E)^2 \right)}_{\text{Loss with SBDs which means loss reduction advantage of removal of SBDs}} - \underbrace{\left(\frac{r_{\text{on}}(v_{\text{gs}})}{\Delta t_{[\text{iii}]}} Q_{\text{rr}}^2 + Q_{\text{rr}} \times E \right)}_{\text{Loss with MOSFET body diode recoveries which means loss increase disadvantage of removal of SBDs}} \right) d\theta \quad (37)$$

ΔP_{loss} : Inverter loss advantage of SiC-based inverters without SBDs over those with SBDs,

ΔP_{rcond} : Reverse conductive loss advantage of SiC-based inverters without SBDs over those with SBDs,

ΔP_{sw} : Switching loss advantage of SiC-based inverters without SBDs over those with SBDs,

$P_{\text{rcond}}(\text{with SBDs})$: Reverse conductive loss of SiC-based inverters with SBDs,

$P_{\text{rcond}}(\text{without SBDs})$: Reverse conductive loss of SiC-based inverters without SBDs,

P_{rcond} : Reverse conductive loss of SiC-based inverters,

f_{out} : Inverter output frequency ,

r_{on} : MOSFET on-state resistance,

i_{sd} : Reverse current through MOSFET channels,

v_{Fsb} : Forward voltage drop of SBDs,

i_{Fsb} : Reverse current through SBDs,

v_{Fbd} : Forward voltage drop of MOSFET body diodes,

i_{Fbd} : Reverse current through MOSFET body diodes,

$P_{\text{sw}}(\text{with SBDs})$: Switching loss of SiC-based inverters with SBDs,

$P_{\text{sw}}(\text{without SBDs})$: Switching loss of SiC-based inverters without SBDs,

f_{sw} : Switching frequency.

図 4.6 は提案指標 ΔP_{loss} に基づく定性的な比較例を示している。図 4.6 に示されるように、 ΔP_{loss} は負荷電流が増加するにつれて減少する傾向を有することになる。これは負荷電流が増加するにつれて逆並列 SBD レス構造の逆導通損失における欠点が増加し、低損失スイッチング特性の利点が減少するためである。仮により高いスイッチング周波数 f_{sw} を適用すると、逆並列 SBD レスインバータの低損失スイッチングの利点が増大するので、 ΔP_{loss} が正である領域が拡張されることになる。ただし、デッド

タイムが同じ値に固定されている場合、 f_{sw} が高くなる程、スイッチング周期に対するデッドタイムの割合が大きくなってしまい、逆並列 SBD レスインバータの逆導通損失のデメリットが増大して、 ΔP_{loss} が減少してしまうことになる。よって、逆並列 SBD レス構造においては逆並列 SBD を有するインバータと比較して、デッドタイムの短縮化がよりさらに重要な意味を持つてくることを意味する。この特徴は特に図 4.1 中の大電流領域 II と III で大きく表れることになる。また、より高い電源電圧を適用することは、寄生容量成分を低減し低損失スイッチング損失特性を持つ逆並列 SBD レス構造に有利に働くため、 ΔP_{loss} が正の領域を拡張することに繋がる。また、より高い力率動作となるような動作条件の場合、インバータの逆導通期間が短いことを意味するので、逆並列 SBD レスインバータは逆導通損失における欠点を減らすことができるので、 ΔP_{loss} が正の領域を拡張することに繋がる。一方で、特に交流から直流への整流変換器として機能するアプリケーション、または整流モードを支配的な動作モードとして持つアプリケーションでは、逆並列 SBD レス構造の逆導通特性を慎重に評価する必要が出てくる。交流から直流への整流動作において、逆並列 SBD を削除することの欠点が大きくなってしまふことになる。

本節で提案する評価指標による分析結果から得られた、逆並列 SBD レスインバータが逆並列 SBD を有するインバータに対して損失優位性を持つ定性的な条件を以下にまとめる。

- ・小電流出力：逆並列 SBD レス構造の逆導通損失、MOSFET ボディダイオードのリカバリ電流によるリカバリ損失、ターンオン損失のデメリットが減少する。
- ・低温度動作：逆並列 SBD 削除によって生じる MOSFET ボディダイオードのリカバリ電流によるリカバリ損失、ターンオン損失のデメリットが減少する。
- ・高電圧直流入力：逆並列 SBD レス構造の出力容量削減効果による低スイッチング損失のメリットが増大する。
- ・高周波スイッチング：逆並列 SBD レス構造による低スイッチング損失のメリットが増大する。しかし、スイッチングの高周波化にあわせてデッドタイムの短縮を図らないと、デッドタイム期間中の逆導通損失増大のデメリットが大きくなってしまふ。
- ・短デッドタイム駆動：MOSFET 適用インバータにおけるデッドタイムの短縮は、逆方向電流導通時の MOSFET チャンネル導通期間の拡大、ダイオード導通期間の短縮になるので、逆導通損失の低減に繋がる。逆並列 SBD 構造の場合、デッドタイム期間中は SiC-SBD より電圧降下の大きな MOSFET ボディダイオードが導通することになるので、逆並列 SBD が有るもの比較してデッドタイム短縮による逆導通損失低減効果は大きくなるといえる。
- ・高力率運転：逆導通時の電流時間積が小さくなるので、逆並列 SBD 構造による逆導通損失のデメリットが減少する。

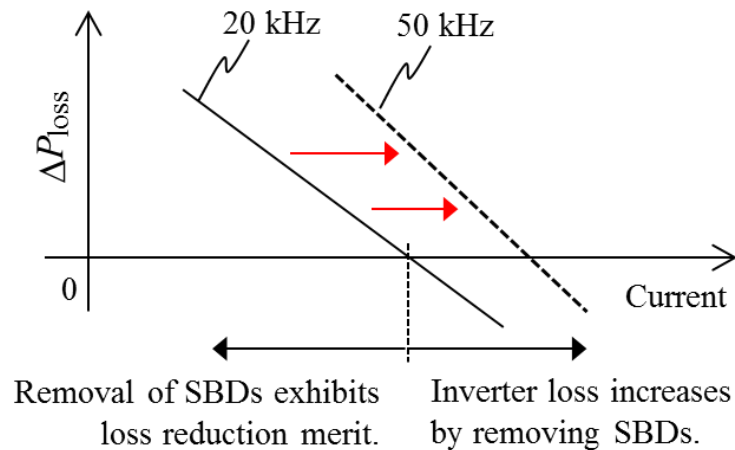


図 4.6 提案指標 ΔP_{loss} の定性的比較

4.4 ノイズに関する比較評価解析

本節では、逆並列 SBD の有無によるスイッチング時のリングングノイズの比較分析を行い、逆並列 SBD の削除がスイッチングノイズ特性を悪化させないことを検証する。図 4.7 (a) に下アーム MOSFET のターンオン、図 4.7 (b) にターンオフ時の等価共振回路を示す。逆並列 SBD を削除すると、共振回路の静電容量が小さくなるので、共振周波数 f_0 が高くなる。さらに、共振周波数が高くなると表皮効果および近接効果のために高周波抵抗が大きくなり、逆並列 SBD の削除により共振回路の抵抗成分は大きくなる。共振回路の抵抗成分が大きくなるということは、共振の減衰係数が大きくなることを意味する。

上記のスイッチング時のリングングに関する分析によれば、SiC インバータから逆並列 SBD を削除することは、より大きな減衰、およびより高い共振周波数で、スイッチングによるリングングノイズを減少させるというプラスの効果を生み出すことが期待できる。これとは対照的に、前節でも述べたように逆並列 SBD を削除することで出力容量が削減されるのでスイッチング時の電圧変化率 dV/dt とサージ電圧最大値は増加する可能性がある。逆並列 SBD 削除による高周波抵抗の増加によるサージ電圧最大値低減効果とのバランスによってサージ電圧最大値が決まることとなる。さらに、MOSFET のボディダイオードのリカバリ電流が増加するマイナスの効果も内在することになる。これらの効果は、減衰が大きい場合でもノイズ・EMI 問題を悪化させる危険性がある。したがって、本論文では後述するように、EMI に対する dV/dt やサージ電圧、リカバリ電流の影響を実験的に評価することとした。

本節でのスイッチングノイズに関する分析結果を以下のようにまとめる。

- ・逆並列 SBD の削除により、スイッチング時のリングング周波数は高くなる。
- ・逆並列 SBD の削除により、スイッチング時のリングングの減衰係数は大きくなる。
- ・逆並列 SBD の削除により、電圧変化率 dV/dt は増加する可能性がある。
- ・逆並列 SBD の削除により、サージ電圧最大値は増加する可能性がある。高周波抵抗成分の増加によるサージ電圧抑制効果とのバランスによる。

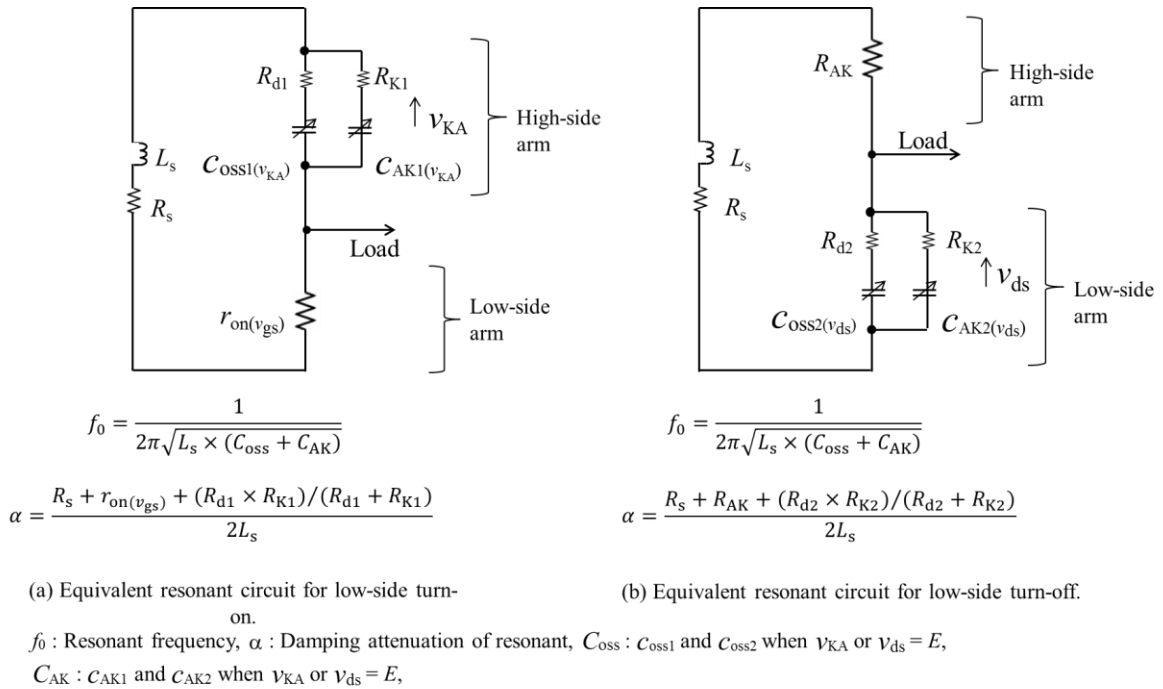


図 4.7 スイッチング時の等価共振回路

4.5 スイッチング特性の評価試験

本節では、逆並列 SiC-SBD を持つ SiC-MOSFET パワーモジュールと逆並列 SiC-SBD を持たない SiC-MOSFET パワーモジュールを試作して、それらのスイッチング特性を比較評価することで、前節までの分析結果の妥当性を検証する。

4.5.1 評価試験セットアップ

図 4.2 にスイッチング特性評価用のダブルパルス試験回路図を示した。図 4.8 に試験装置の写真を示す。本章でのスイッチング特性の定義を図 4.9 に示す。試験対象のパワーモジュール内部の写真を図 4.10 に示す。ここで使用されている SiC MOSFET パワーモジュールはフル SiC パワーモジュール BSM120D12P2C005 (ROHM, 1200 V / 120 A, 2 in 1 モジュール) である。パワーモジュールはもともと逆並列 SBD を内蔵する構造であるが、そこから SiC-SBD チップとボンディングワイヤを取り除くことによって逆並列 SBD レスパワーモジュールを準備した。パワーモジュールのその他の構造、パッケージ、部品、材料、製造プロセスは逆並列 SBD を有するパワーモジュールと全く同じままとした。どちらのパワーモジュールも同じゲート駆動回路と同じ条件で駆動した。電波放射ノイズは、RF プロブとオシロスコープ (MDO4054B-3, Tektronix) を用いて測定した。試験条件は以下の通りである。 I_L は 100 A まで変化させて評価した。パワーモジュールのケース温度 $T_c =$ 室温 (約 23°C) または 100°C, $C_i = 200 \mu\text{F}$, 誘導性負荷は約 100 μH , $V_{cc} = 18 \text{V}$, $R_{g(\text{on})} = 3.0 \Omega$, $R_{g(\text{off})} = 5.1 \Omega$ とした。

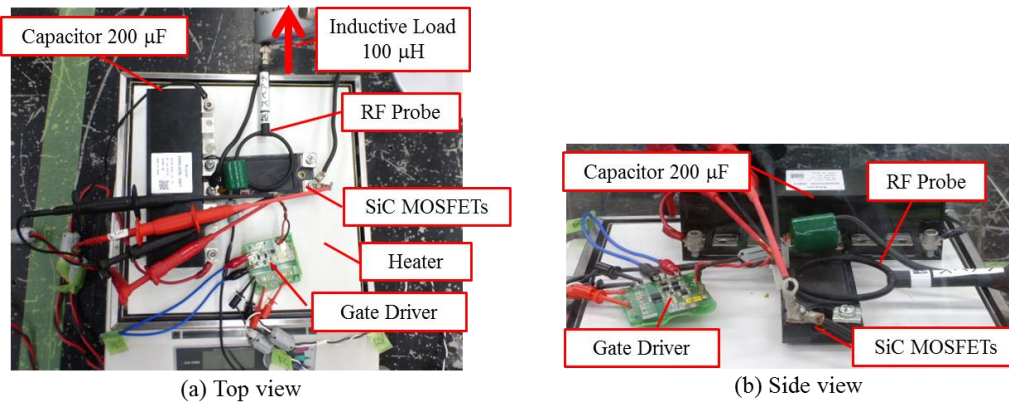
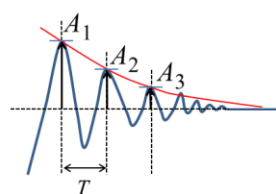
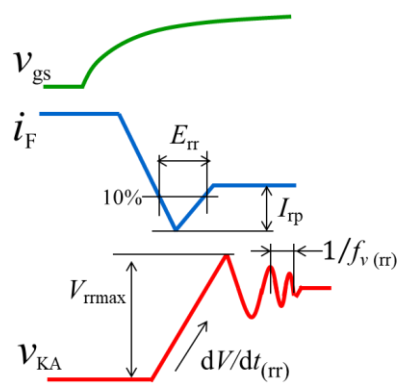
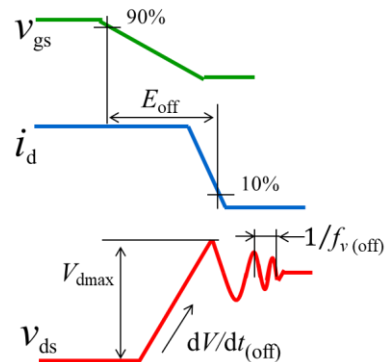
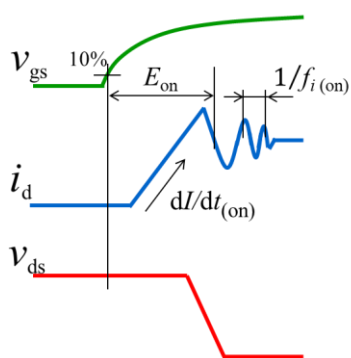


図 4.8 試験装置構成の写真



Logarithmic decrement δ

$$\delta = \frac{1}{2} \ln \left(\frac{A_1}{A_3} \right)$$

Damping factor ζ

$$\zeta = \frac{\delta}{2\pi}$$

(c) Diode turn-off.

(d) Damping characteristics.

図 4.9 スイッチング特性の定義

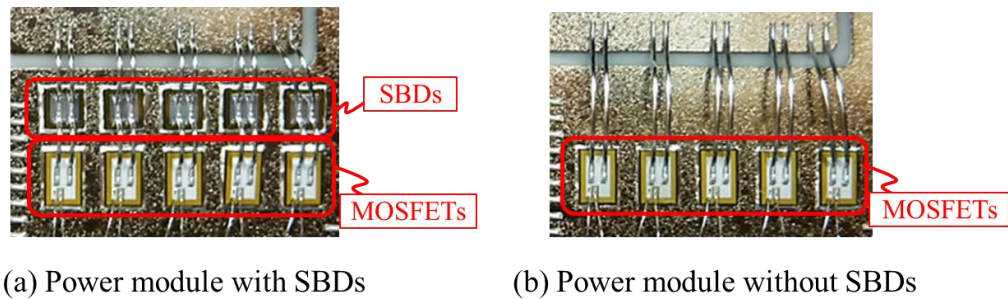


図 4.10 試験対象パワーモジュール内部構造

4.5.2 スイッチング特性評価結果

逆並列 SBD 有無による MOSFET のターンオン、ダイオードのターンオフ、MOSFET のターンオフのスイッチング波形の比較を、それぞれ図 4.11, 図 4.12, 図 4.13 に示す。また、それぞれのスイッチングにおける特性の比較を、それぞれ図 4.14, 図 4.15, 図 4.16 に示す。すべての波形から、スイッチング時のリングングノイズが逆並列 SBD を削除することによって低減されていることを確認することができる。この効果は、前節での分析のとおり、逆並列 SBD が有る場合よりも逆並列 SBD レス構造の SiC-MOSFET の減衰係数が大きいことに起因している。対数減衰係数の計測結果は、逆並列 SBD を削除することによって約 25~50% 増加することを示している。さらに、前節の分析のとおり、共振周波数は逆並列 SBD を削除することによって上昇することも確認することができた。逆並列 SBD を有する SiC-MOSFET の共振周波数は約 28 MHz であるのに対し、逆並列 SBD レス構造の SiC-MOSFET の共振周波数は約 31~37 MHz である。図 4.12 に示すように、SiC-MOSFET のボディダイオードがソフトリカバリ特性のため、ダイオードターンオフ時の電圧変化率 dV/dt は逆並列 SBD を削除することで減少する結果となった。前節の分析での懸念に反して、ダイオードターンオフ時は dV/dt もノイズ低減方向に働く結果となり、さらに SBD 削除を後押しする結果となった。図 4.13, 図 4.16 に示すように、前節の分析通り、逆並列 SBD を削除することによって出力容量が小さくなるため、MOSFET ターンオフ時の電圧変化率 dV/dt 、サージ電圧最大値は大きくなる結果となった。後述するノイズ評価試験結果では、ノイズ放出に対する高速 dV/dt 、サージ電圧の影響も評価する。

図 4.11 と図 4.12, 図 4.14, 図 4.15 に示すように、逆並列 SBD の削除により、ピーク電流、MOSFET のターンオン損失 E_{on} 、およびダイオードのターンオフ損失 E_{r} は、ボディダイオードのリカバリ電流により、特に高温条件下で増加する結果となった。図 4.13 (a) に $T_c = 23\text{ }^\circ\text{C}$ でのスイッチング損失比較結果を示す。図 4.13 (b) に $T_c = 100\text{ }^\circ\text{C}$ でのスイッチング損失比較結果を示す。図 4.13 (a) に示すように、逆並列 SBD 有りとなしとの SiC MOSFET の低温条件下での総スイッチング損失 E_{sw} は、大電流領域 (約 60A 以上) ではほぼ同じ値を示し、より小さな電流領域 (約 60A より小さい) では逆並列 SBD を削除することで総スイッチング損失 E_{sw} を低減できていることがわかる。図 4.13 (b) に示すように、高温条件下のスイッチングにおいては、逆並列 SBD レス構造の SiC MOSFET の総スイッチング損失 E_{sw} は、逆並列 SBD を有する SiC MOSFET よりもわずかに大きい結果となった。これらの結果

は、前節で分析した逆並列 SBD 削除のプラス面とマイナス面のバランスによるものであることがわかる。

以上のように、前節の分析とよく一致する結果が実験評価からも得ることができ、分析の妥当性を実験により検証することができた。

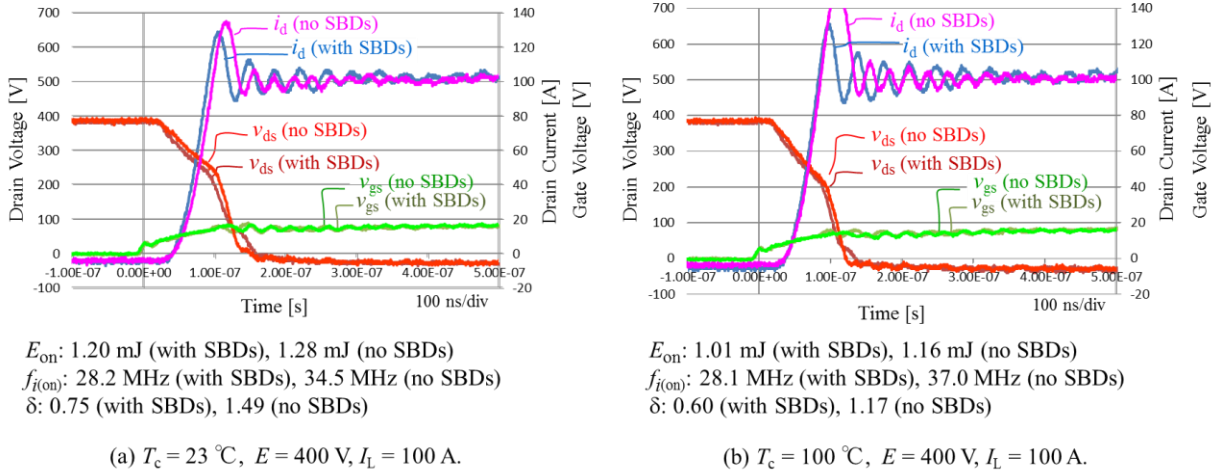


図 4.11 MOSFET ターンオン波形の比較

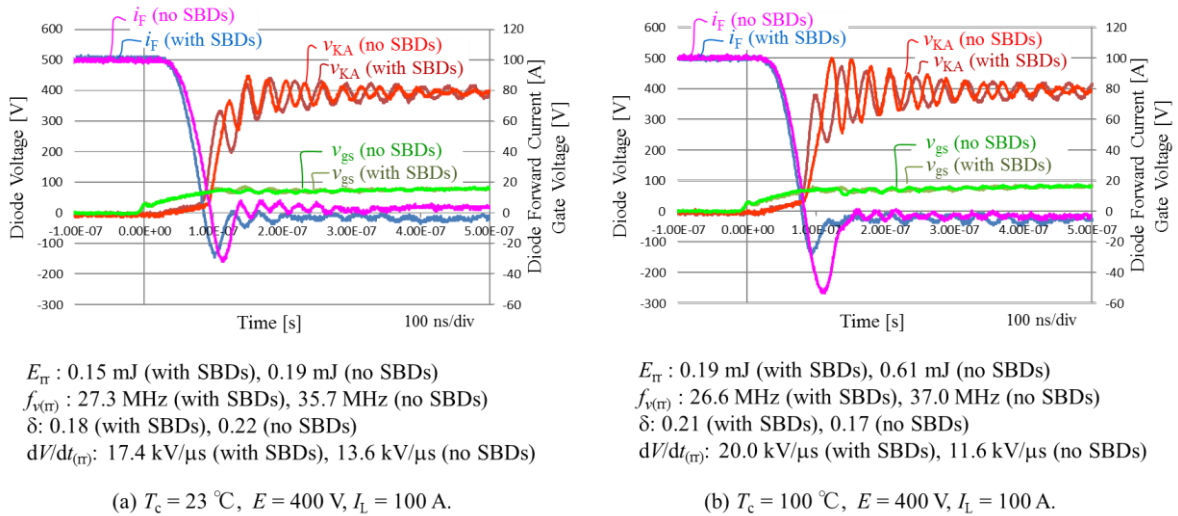
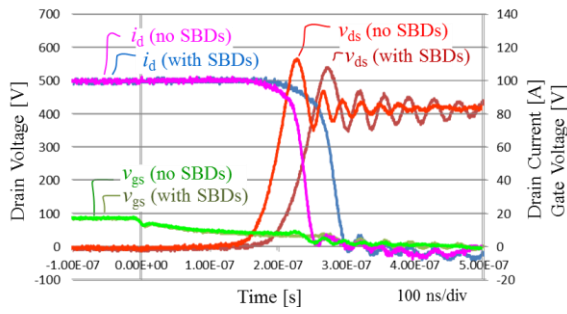
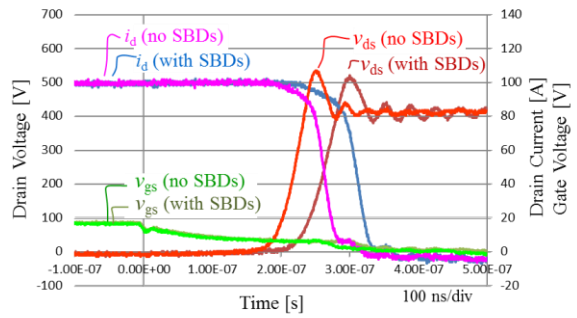


図 4.12 ダイオードターンオフ波形の比較



E_{off} : 2.23 mJ (with SBDs), 2.17 mJ (no SBDs)
 $f_{v(off)}$: 27.0 MHz (with SBDs), 35.7 MHz (no SBDs)
 δ : 0.47 (with SBDs), 0.72 (no SBDs)
 $dV/dt_{(off)}$: 6.3 kV/ μ s (with SBDs), 7.4 kV/ μ s (no SBDs)

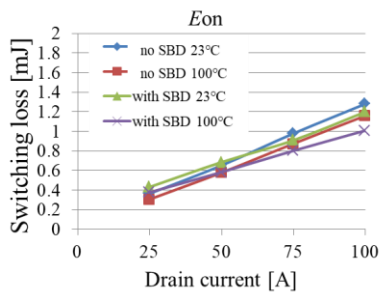
(a) $T_c = 23\text{ }^\circ\text{C}$, $E = 400\text{ V}$, $I_L = 100\text{ A}$.



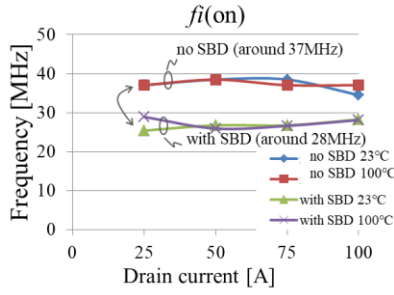
E_{off} : 2.31 mJ (with SBDs), 2.21 mJ (no SBDs)
 $f_{v(off)}$: 25.9 MHz (with SBDs), 31.3 MHz (no SBDs)
 δ : 0.73 (with SBDs), 0.96 (no SBDs)
 $dV/dt_{(off)}$: 6.6 kV/ μ s (with SBDs), 7.7 kV/ μ s (no SBDs)

(b) $T_c = 100\text{ }^\circ\text{C}$, $E = 400\text{ V}$, $I_L = 100\text{ A}$.

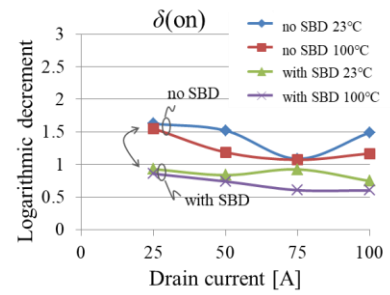
図 4.13 MOSFET ターンオフ波形の比較



(a) Turn-on loss E_{on} , $E = 400\text{ V}$.

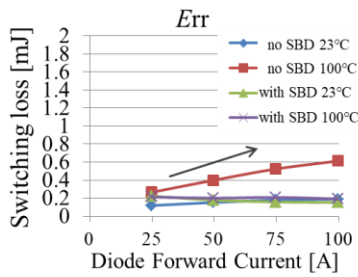


(b) Current resonant frequency at turn-on $f_i(\text{on})$.

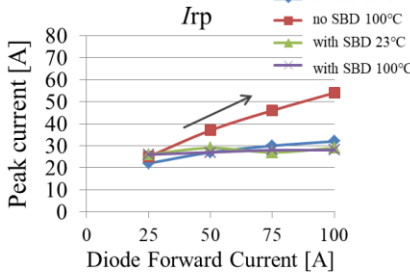


(c) Logarithmic decrement $\delta(\text{on})$.

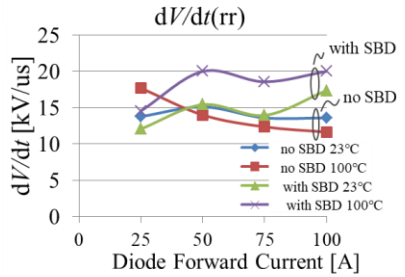
図 4.14 MOSFET ターンオン特性の比較



(a) Turn-off loss E_{rr} .

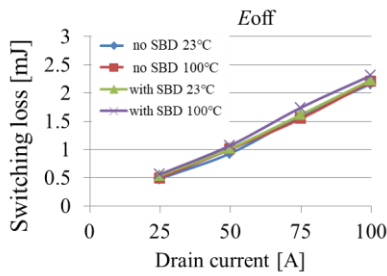


(b) Peak reverse current I_{rp} .

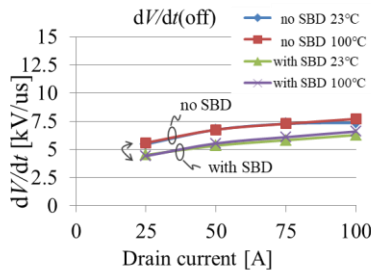


(c) Voltage transition rate dV/dt .

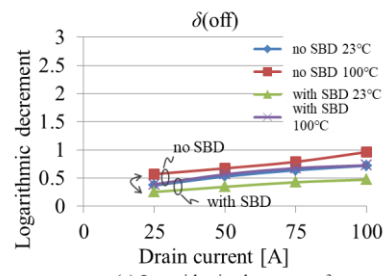
図 4.15 ダイオードターンオフ特性の比較



(a) Turn-off loss E_{off} .



(b) Voltage transition rate dV/dt .



(c) Logarithmic decrement δ .

図 4.16 MOSFET ターンオフ特性の比較

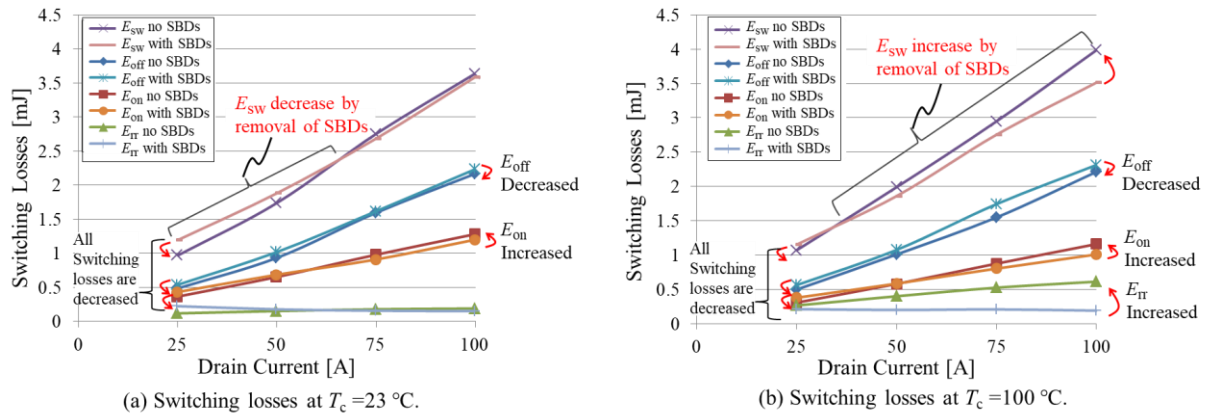


図 4.17 スイッチング損失の比較試験結果

4.5.3 スイッチングノイズ評価結果

本節では逆並列 SBD 有無によるスイッチング時の放射ノイズの比較評価結果を示す。図 4.18 にスイッチング試験時に計測したパワーモジュールからの放射ノイズの比較結果を示す。図 4.18 (a) に $T_c = 23\text{ }^\circ\text{C}$ 、図 4.18 (b) には $T_c = 100\text{ }^\circ\text{C}$ における放射ノイズの比較結果を示す。逆並列 SBD を有する SiC-MOSFET モジュールの放射ノイズは約 28 MHz 付近にピークを持ち、一方で逆並列 SBD レス SiC-MOSFET モジュールは約 37 MHz 付近にピークを持っている。これらは、前項で示したスイッチング時のそれぞれのリングング周波数と一致する結果であり、スイッチング時のリングングノイズが主要な放射ノイズ源であることがわかる。さらに、逆並列 SBD を削除することにより、ノイズのピークレベルを低温環境で約 7.6 dB、高温環境で約 4.4 dB 低減することができている。本試験で使用した SiC-MOSFET モジュールの出力容量は直流印加電圧 800 V の条件で、逆並列 SBD が有るもので約 825 pF であり、逆並列 SBD レス構造のもので約 400 pF であるので、逆並列 SBD を削除することで逆並列 SBD の有る SiC-MOSFET と比較して、スイッチング時の共振周波数は理論的には約 1.4 倍程度高くなることになる。本節で示す実験結果は理論的な数値とよく合致していることがわかる。これらの試験結果から、前節までの分析結果とよく合致しており、分析の妥当性を実機にて検証できたといえる。

また、図 4.18 に示すとおり、逆並列 SBD 有無によらず、約 15 MHz 近傍にもピークを持っており、逆並列 SBD を削除することでノイズレベルが増大する結果となっている。周波数からこのノイズピークはダイオードターンオフ時の電圧変化によるものであることがわかる。逆並列 SBD を削除することで SiC-MOSFET のボディダイオードのリカバリが発生することになり、かつ高温環境ではリカバリ電流が増加することになるが、図 4.18 (a) と (b) を比較すると高温でノイズレベルが高くなることはなかった。

本論文では、これらのスイッチングノイズの影響をさらに評価するために、次節に示すように SiC インバータによる実験評価を実施する。

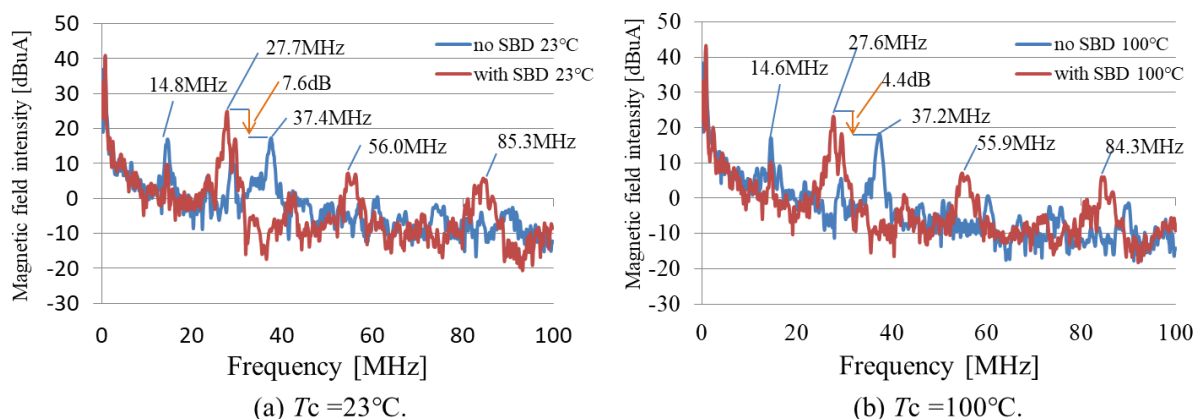


図 4.18 スイッチングノイズの比較試験結果

4.6 インバータ駆動評価試験

本節では、SiC インバータを駆動して、逆並列 SBD の有無によるインバータの損失特性とノイズ特性の違いを比較評価する。逆並列 SBD レス構造に関して、次の 2 点について実験により検証し、逆並列 SBD レス構造による電力変換器の高電力密度化に繋げる。

- ・インバータ損失特性に関する前節までの分析が妥当性を持つこと。

本章にて提案する逆並列 SBD レス構造の設計指針、評価指標 ΔP_{loss} の妥当性を示すこと。

上記のことから、提案する設計指針・指標を適用することで、インバータ損失特性に悪影響を与えず逆並列 SBD レス構造の実現が可能であること。

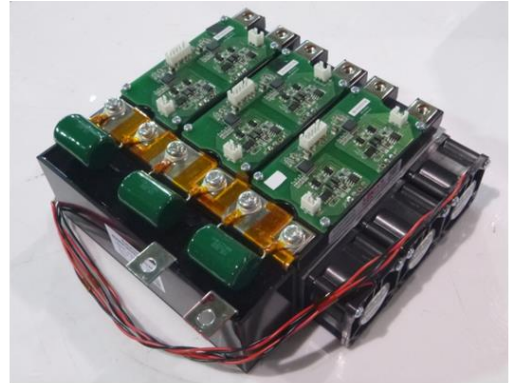
- ・SiC インバータから逆並列 SBD を削除することが、インバータノイズ特性に悪影響を与えないこと。

4.6.1 評価試験セットアップ

図 4.19 に評価対象の試作 SiC MOSFET インバータの写真を示す。図 4.20 に実験用試験回路構成を示す。図 4.21 に試験装置の写真を示す。インバータは、フル SiC パワーモジュール BSM120D12P2C005 (ROHM, 1200 V, 120 A)、ゲートドライバ基板、DC コンデンサ、冷却ファン、ヒートシンクで構成されている。インバータからの放射ノイズを RF プローブとオシロスコープ (MDO4054B-3, Tektronix) を用いて測定し、伝導ノイズ評価のためにコモンモード電流を測定した。試験条件は次の通り、 $V_{\text{dc}} = 400$ または 500 V、インバータ出力電流 $I_o = 60$ Arms まで、 $V_{\text{cc}} = 18$ V、 $R_{\text{g (on)}} = 3.0 \Omega$ 、 $R_{\text{g (off)}} = 5.1 \Omega$ とした。逆並列 SBD 有りと無しのパワーモジュールは、双方とも同じゲートドライバによって同じ条件で駆動した。誘導性 LR 負荷は、約 $100 \mu\text{H}$ のインダクタと 0.94Ω (5 つの並列 4.7Ω 抵抗) の抵抗で構成した。

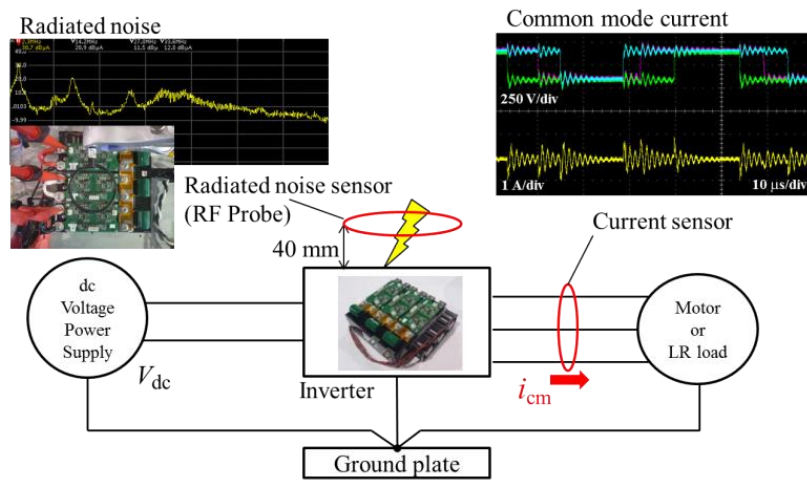


SiC Module BSM120D12P2C005(ROHM, 1200 V / 120 A)



Control board is NOT included in this photograph.

図 4.19 試験用 SiC インバータの写真



LR load: Inductive load consists of inductors and resistors,
 i_{cm} : Common mode current.

図 4.20 インバータ評価試験装置構成図

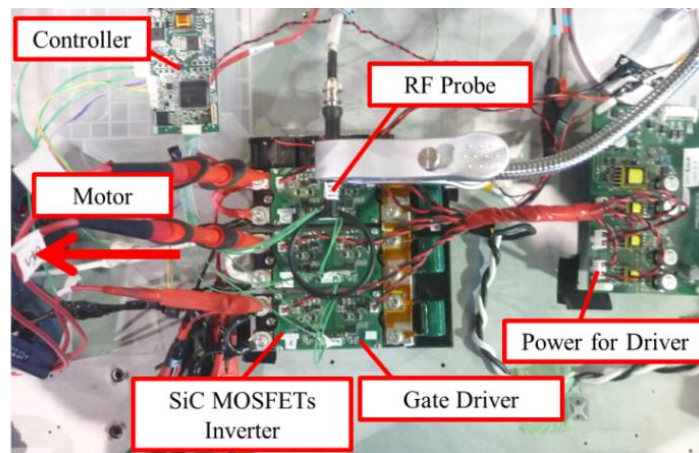


図 4.21 インバータ評価試験装置写真

4.6.2 インバータ損失評価結果

図 4.22 は、異なるいくつかの動作条件下での逆並列 SBD の有無によるインバータ損失の比較結果を示している。すべての実験結果において、逆並列 SBD レスインバータは、より小さな出力電流で逆並列 SBD を有するインバータよりも小さな損失となっており、出力電流が大きくなるにつれて逆並列 SBD レスインバータと逆並列 SBD を有するインバータの損失の大小関係が逆転して、より大きな出力電流においては逆並列 SBD レスインバータの損失は逆並列 SBD を有するインバータの損失より大きくなっていくことがわかる。このように、逆並列 SBD レスインバータと逆並列 SBD を有するインバータの損失曲線は交点を持つこととなり、小電流領域では逆並列 SBD レス構造が有利となり、逆に大電流領域では逆並列 SBD レス構造が不利となる。また、逆並列 SBD 有り無しインバータの損失曲線の交点は、各運転条件に対してそれぞれ異なる点で発生していることがわかる。これは、各運転条件によって逆並列 SBD レス構造による損失メリットと損失デメリットのバランスが変化していることを示す。図 4.22 (a) に示すように、スイッチング周波数 f_{sw} を変化させた場合、損失曲線の交点はスイッチング周波数が高くなるにつれて高い電流で発生している。図 4.22 (b) に示すように、直流電源電圧 V_{dc} が増加するにつれてより高い電流で損失曲線の交点が発生している。つまり、逆並列 SBD を有さない SiC-MOSFET インバータが逆並列 SBD を有するインバータに対して損失の面で優位性を持つ出力電流範囲は、スイッチング周波数をより高く設定するかまたはより高い直流電源電圧を適用することによって拡大されることがわかる。これらの結果は、前節での分析のとおりとなっており、分析の妥当性が実験により検証されたといえる。このように、逆並列 SBD レス SiC-MOSFET インバータの設計においては、これらの損失バランスを定量的に評価して、逆並列 SBD 構造の損失メリットが損失デメリットよりも大きくなる領域を明確にして設計に反映する必要がある。本節では、本論文で提案する設計指標 ΔP_{loss} を用いて逆並列 SBD レスインバータの比較評価をして、逆並列 SBD レスインバータが損失優位性を持つ条件と設計指針を明確していく。

図 4.23 は、前節で定義した逆並列 SBD レス構造の SiC-MOSFET インバータの逆並列 SBD を有する SiC-MOSFET インバータに対する電力損失優位性 ΔP_{loss} を比較している。すべての条件で逆並列 SBD レスインバータの電力損失優位性 ΔP_{loss} の曲線は、出力電流が増加するにつれて減少しており、4.4 節での分析結果と合致する実験結果となっている。図 4.23 (a) は、異なるスイッチング周波数での逆並列 SBD レスインバータの電力損失優位性 ΔP_{loss} を比較したものである。スイッチング周波数が増加するにつれて曲線は右上方向に移動して電力損失優位性を保つ領域を拡大されていることがわかる。この評価においては、デッドタイムが $1.5 \mu s$ に固定されており、逆並列 SBD レス構造における SiC-MOSFET ボディダイオードの導通期間割合はスイッチング周波数 f_{sw} が増加するにつれて増加することになる。したがって、4.4 節での分析・考察のとおり、逆並列 SBD レスインバータの逆導通損失に関するデメリットは増大し、逆並列 SBD レスインバータは電流が増加するにつれてその低損失スイッチング特性のメリットを浪費してしまうことがわかる。これまでの分析・議論のとおり、逆並列 SBD レスインバータではデッドタイムの短縮がより重要になってくる。図 4.23 (c) は、異なるデッドタイムにおける逆並列 SBD レスインバータの電力損失優位性 ΔP_{loss} を比較している。固定スイッチング周波数に対してデッドタイムを短く設定すると、曲線は右上方向に移動して電力損失優位性を持つ領域が拡大される

ことがわかる。これは逆並列 SBD を有するインバータよりも逆並列 SBD レスインバータの方が、デッドタイムを短縮したときの逆導通損失低減効果が大きいことを意味している。図 4.23 (b) は、異なる直流電圧における逆並列 SBD レスインバータの電力損失優位性 ΔP_{loss} を比較したものである。直流電圧を高く設定すると、曲線は右上方向に移動して逆並列 SBD レスインバータが電力損失優位性を持つ領域が拡大される。図 4.23 (d) は、異なる力率における逆並列 SBD レスインバータの電力損失優位性 ΔP_{loss} を比較したものである。力率が高い場合、曲線は右上方向に移動するので逆並列 SBD レスインバータが電力損失優位性を持つ領域が拡大されることがわかる。したがって、力率が高いほど、逆並列 SBD レスインバータの電力損失優位性 ΔP_{loss} が大きくなることわかる。今回の試験では、力率は誘導性負荷の抵抗値を変えることによって設定した。より高い力率の実験には、抵抗 1.57Ω (3つの並列 4.7Ω 抵抗) と $100 \mu\text{H}$ インダクタを使用し、より低い力率の実験においては抵抗 0.94Ω (5つの並列 4.7Ω 抵抗) と $100 \mu\text{H}$ インダクタを使用した。本節で示す実験結果は前節までに示した分析・考察とよく一致しており、実験によりその妥当性を検証することができた。また、本章にて提案している評価指標 ΔP_{loss} は逆並列 SBD レス構造のインバータが損失の上で SBD 削除のメリットを有する動作範囲・条件を確認するのに適当であることを検証することができた。

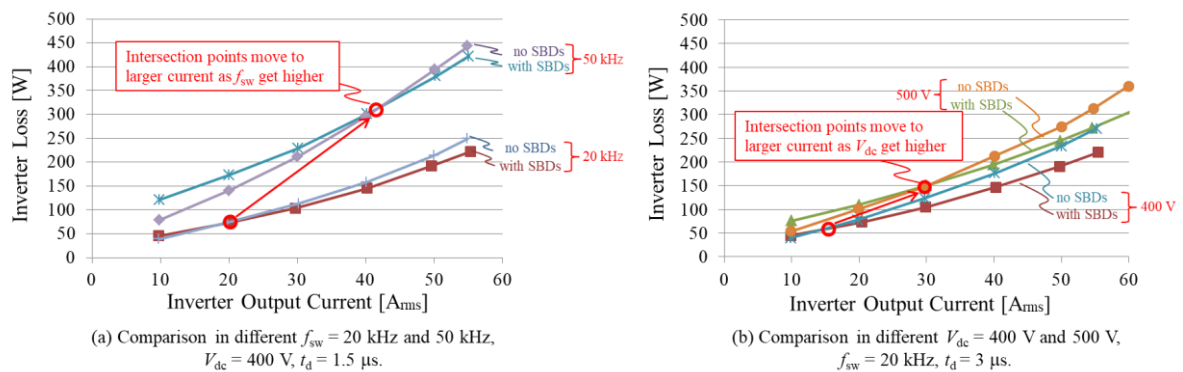


図 4.22 逆並列 SBD の有無によるインバータ損失の比較試験結果

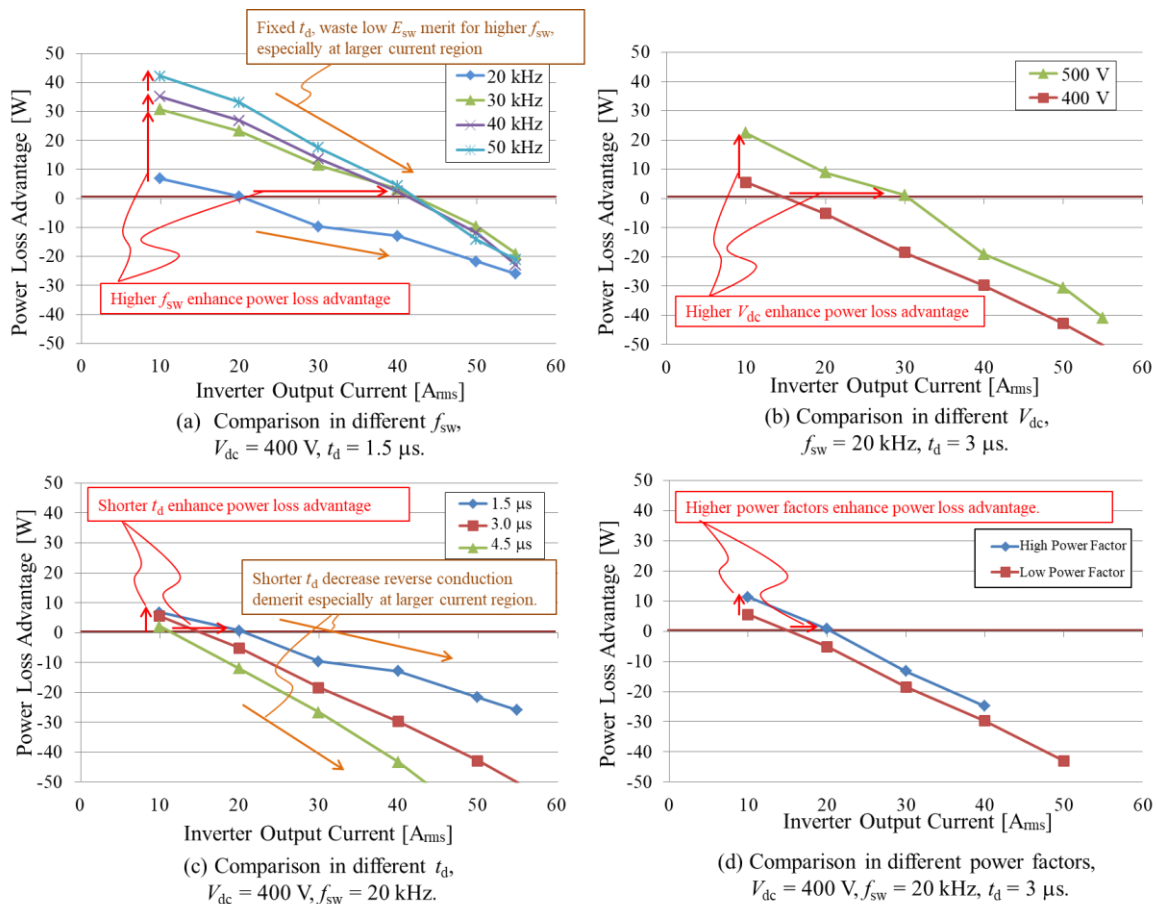


図 4.23 SBD レス構造の電力損失優位性 ΔP_{loss} の評価結果

4.6.3 インバータノイズ評価結果

図 4.24 は逆並列 SBD の有無による SiC-MOSFET インバータからの放射ノイズの違いを比較評価した結果を示している。モータ負荷と誘導性負荷を駆動した際のインバータの実験結果をそれぞれ図 4.24 (a) と (b) に示す。図 4.25 にモータ駆動時のコモンモード電流の比較結果を示す。

前節でのスイッチング試験の結果と合致するように、逆並列 SBD を有する SiC インバータは約 28 MHz にノイズピークを示し、逆並列 SBD レス構造の SiC インバータは約 31 から 37 MHz の範囲にピークを示している。逆並列 SBD を持たない SiC-MOSFET ではターンオフ時の dV/dt やサージ電圧が大きくなり、その影響が懸念されていたが、逆並列 SBD レス構造の大きな減衰効果のために逆並列 SBD を削除することでピークスペクトルが減少していることが確認された。30 MHz より上の周波数帯域では、逆並列 SBD レスインバータは、逆並列 SBD を有するインバータと比較してより高いスペクトルを持っているが、この結果は逆並列 SBD レスインバータの全てのスイッチングによるリングングノイズスペクトルが逆並列 SBD 有りのインバータと比較してより高い周波数域にシフトしたためであると考えられる。さらに、インバータ用のノイズフィルタを設計することを考慮すると、逆並列 SBD レスインバータ用のフィルタは逆並列 SBD を有するインバータ用のフィルタよりも小さくなるのが期待できる。このフィルタ小型化への期待は、逆並列 SBD レスインバータのノイズピークがより低く、ノ

イズスペクトル全体がより高い周波数にあることによるものである。図 4.25 に示すように、コモンモード電流は逆並列 SBD の有無に関わらず双方の SiC インバータではほぼ同じ値となった。このように、実験結果から、SiC-MOSFET インバータから逆並列 SBD を削除することは、インバータのノイズ放出に重大な悪影響を及ぼさず、さらには、逆並列 SBD の削除により SiC インバータのノイズ放出の低減を期待できる実験結果が得られた。

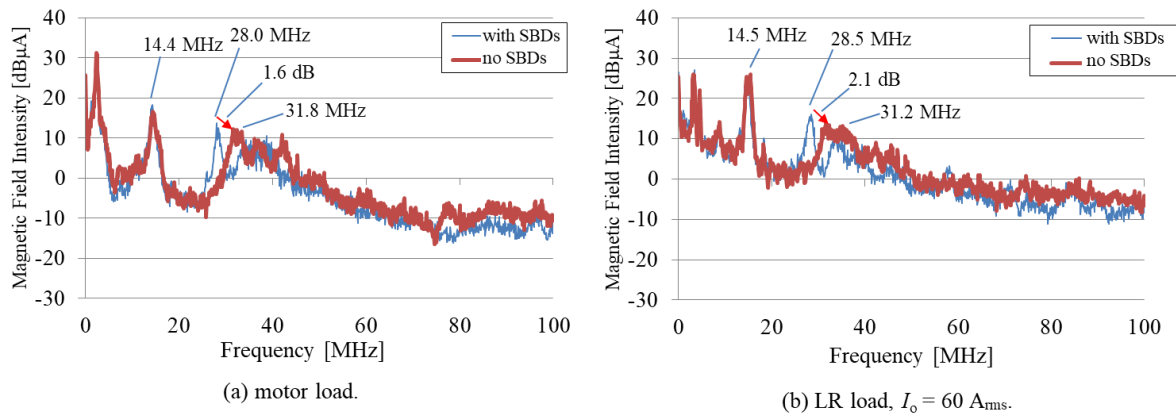


図 4.24 放射ノイズの比較試験結果

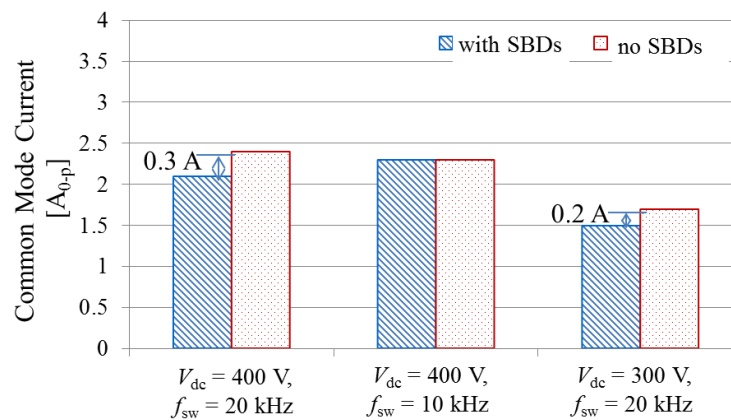


図 4.25 コモンモード電流の比較試験結果

4.7 高電力密度化への影響評価

本節では、SiC-MOSFET パワーモジュールに内蔵されている逆並列 SiC-SBD を削除することで獲得できるスペースに SiC-MOSEFT を追加配置することで得られる導通損失低減効果により、どの程度電力変換器の高電力密度化が可能かを評価する。

前節までに、逆並列 SiC-SBD を削除することに、損失面、ノイズ面の双方において、大きな悪化要因がないことは検証が済んでいる。さらには、逆並列 SBD レス構造とすることで、スイッチングによ

るリンギングノイズが低減できることを検証している。加えて、逆並列 SBD レス化により、スイッチングスピードの高速化が可能となるので、将来的にはスイッチング周波数の高周波化をすることで、フィルタなど受動素子の小型軽量化を期待することも可能である。また、提案した設計指針に沿うことで、インバータ損失の増加を回避し、使用条件によってはインバータ損失の低減を狙うことも可能としている。

表 4.1 は、逆並列 SiC-SBD を削除することの利点と欠点をまとめたものである。詳細については、前節までに整理・検証済みであるが、高電力密度化への影響を定量的に評価するために整理する。SiC-MOSFET のボディダイオードの順方向電圧降下 V_F は、逆並列 SiC-SBD よりも大きくなってしまふ。ただし、同期整流方式は MOSFET 適用インバータに広く適用されており、ボディダイオードの導電損失の欠点は、デッドタイム期間だけ生じることとなり、MOSFET 適用インバータでは大きな悪影響を生じない。SiC-SBD はユニポーラデバイスのためターンオフ時には、僅かな接合容量の充電電流だけで、リカバリ電流を生じないが、SiC-MOSFET のボディダイオードは逆並列 SiC-SBD を削除するとターンオフ時にリカバリ動作が発生し、温度が上昇するとリカバリ電流と損失が増加してしまう。前述のとおり、高温環境下での SiC-MOSFET ボディダイオードのリカバリについては慎重に評価されるべきである。本章では、図 4.17 にて逆並列 SiC-SBD の有無による SiC-MOSFET のスイッチング損失の詳細比較をしている。逆並列 SiC-SBD の有無による SiC-MOSFET のスイッチング損失の差はごく僅かであり、前節までに提案、検証した設計指針によりインバータ損失が悪化しない条件に調整可能である。本節での高電力密度化への影響を評価する際には、逆並列 SiC-SBD 有無によるスイッチング損失の差はほぼ無いものとして検討する。

本研究で検討対象としている SiC パワーデバイスにおいては、逆並列 SiC-SBD を除去すると、SiC チップサイズが約 40 %減少する。この研究では、 13.64 mm^2 の SiC-MOSFET チップと 9.73 mm^2 の SiC-SBD チップを使用した。逆並列 SiC-SBD の削除により生じるスペースに SiC-MOSFET を追加配置することで、SiC トータルチップサイズを逆並列 SBD 削除前から増大させることなく導通損失の低減が可能となる。

表 4.2 に、逆並列 SBD を削除して、かつ SiC-MOSFET 追加後のモジュールと逆並列 SBD を有するモジュールの規格化した損失と電力密度の比較結果を示す。本比較のための試算は次の条件で行った: 直流入力電圧 $V_{dc} = 400 \text{ V}$, インバータ出力電流 $I_o = 80 \text{ Arms}$, およびスイッチング周波数 $f_{sw} = 20 \text{ kHz}$ 。SiC-MOSFET は従来シリコンデバイスよりも低損失スイッチング特性を持っているので、インバータの総損失における導通損失の割合がシリコンデバイスよりも増加する傾向がある。それは、逆並列 SBD を取り除き MOSFET を追加することによるインバータの導通損失低減、電力密度向上の度合いもシリコンデバイス適用インバータよりも大きくなるといえる。表 4.2 に示すように、実際には逆並列 SBD を削除するだけでは電力密度の向上は期待できない。逆並列 SBD を削除しただけでは、トータルチップサイズは減少するが合計損失は減少しないので、結局同サイズの冷却システムが必要となり冷却システムの小型軽量化にすぐには繋がらないからである。つまり、逆並列 SBD を削除することによって得られるスペースに SiC-MOSFET チップを追加配置することが重要な役割を果たす。本検討で使用したチップの場合、SiC-MOSFET チップを追加配置により導通損失が約 40 %減少することになる。これにより、本検討での計算条件ではスイッチング損失と合わせたインバータの総損失は約 30%減少する

と試算される。したがって、本検討にて提案した逆並列 SBD レス構造インバータは電力変換器の冷却システムを約 30 % 小型軽量化することが可能となるか、あるいは電力変換器の出力電力を約 42 % 向上させて、電力変換器の高電力密度化を実現することができる。

表 4.1 逆並列 SBD 削除のメリット・デメリットの評価

Item	With SBDs (Conventional)	Without SBDs (Proposed)
Forward Voltage Drop of Diode V_F	1 V (approx.)	3 V (approx.)
Recovery Current	Small	Body diode recovery current increases as temperature increases
Output Capacitor C_{oss}	Large	Small
Stray Resistance R_s	Small	Large
Resonant Frequency at Switching	Low	High
Damping Factor	Small	Large
Cost	---	Small
Size	---	Small
Loss	Small conductive losses while SBDs are on	Small switching losses
Noise	---	Small
Reliability	Good	Needs to be checked.

表 4.2 逆並列 SBD 削除による損失低減・電力密度向上効果

Item	SiC MOSFETs With SBDs	SiC MOSFETs Without SBDs	SiC MOSFETs Without SBDs
Paralleled Chip	5	5	8
Total Chip Size	1	≈ 0.6	≈ 1
Conductive Loss P_{cond}	1	≈ 1	≈ 0.6
Switching Loss P_{sw}	1	≈ 1	≈ 1
Inverter Total Loss P_{inv}	1	≈ 1	≈ 0.7
$R_{th(j-a)}$ per arm	1	≈ 1.6	≈ 1
Expected Power Density (Per power module and cooling system)	1	≈ 1	≈ 1.42

4.8 まとめ

本章では、逆並列 SBD を SiC-MOSFET インバータから削除してもインバータの損失特性、ノイズ特性には大きな悪影響を与えないことを理論分析と実験評価から検証した。さらに逆並列 SBD を削除することでインバータ損失と EMI 特性を改善できることも示した。

逆並列 SBD レス構造のインバータが逆並列 SBD を有するインバータに対して電力損失における優位性を保つための条件を明らかにするための評価指標と設計指針を明らかにした。また、提案した評価指標と設計指針の妥当性を実機により検証した。

本章における検討結果から、逆並列 SBD レス構造の SiC-MOSFET インバータのための設計指針を次のように抽出した。

- ・逆並列 SBD レスインバータは、特に小電流または低温環境の動作条件でより大きな電力損失優位性を持つ傾向となる。
- ・より高いスイッチング周波数またはより高い電源電圧の場合に、出力容量が小さくスイッチング損失が小さくなるという逆並列 SBD レス構造の利点が大きくなる傾向となる。
- ・デッドタイムを短縮すると、逆並列 SBD レス構造の逆導通損失の欠点が軽減されるだけでなく、高周波スイッチング動作でのデッドタイム比の増加も回避され、逆並列 SBD レス構造の利点が拡大される傾向となる。
- ・モータ駆動用途のような直流から交流へのインバータ動作の場合、より高い力率動作の方が逆並列 SBD レス構造の利点を大きくする傾向となる。反対に逆並列 SBD レス構造は交流から直流への整流モードには適さないので慎重な評価が必要となる。

また、上記の設計指針に加えて、逆並列 SBD の削除による放射ノイズの低減効果を確認したが、パワーモジュールパッケージを逆並列 SBD レス構造用に最適化した場合には、寄生容量による共通モードノイズパスが削減されるので、さらなるノイズ特性の改善を期待することができる。

さらに、逆並列 SiC-SBD を削除することで獲得できるスペースに SiC-MOSFET を追加配置することで得られる導通損失低減効果により、電力変換器の高電力密度化が可能であることを示した。これは言い換えると、同一半導体チップ面積における導通抵抗・損失を低減したことを意味している。本検討にて検討した条件においては、逆並列 SBD レス構造インバータは電力変換器の出力電力を約 42 % 向上できると試算された。

第5章

電力変換器の冷却性能改善の検討

本章では、電力変換器の高電力密度化のため、SiC パワーモジュールの冷却性能を向上する新構造を提案する。本検討においては、冷媒配管、冷媒ポンプなど外部システムを不要とする強制空冷タイプを検討対象として、解析、試作評価による特性評価を実施し、高電力密度化への寄与度を定量的に評価検証する。

5.1 パワーモジュール構造の提案

本節では、小型軽量で高熱伝導の冷却器を持つ SiC パワーモジュールの構造を提案して、その冷却性能と電力変換器の高電力密度化への寄与率を評価検証した結果を示す。本検討で提案するパワーモジュールの断面構造模式図を図 5.1 に示す。提案構造を適用した SiC-MOSFET パワーモジュール試作品の写真を図 5.2 に示す。試作パワーモジュールはインバータにおける 1 レグ上下 2 アームを構成する 2 in1 構造を持ち、各アームには 8 個の SiC-MOSFET チップ (1200 V / 80mΩ) が並列接続されている。フォイル状の薄銅板を折り曲げて構成したヒートシンクが、絶縁回路基板裏面の銅ベースプレートに直接はんだ付けされる構造としている。典型的な従来のパワーモジュール冷却システムの構造は、銅ベースプレート裏面とヒートシンク上面との間に、はんだ層の代わりにシリコングリースなどの接触熱抵抗低減材料 (TIM : Thermal Interface Material) が使われている。パワーデバイスチップ下と絶縁回路基板下の両方のはんだ層を同時にリフローして製造した。したがって、提案した構造は製造工程の簡易化が可能となり、従来構造のパワーモジュールと比較してより少ない回数のリフローはんだ付けプロセスで製造することが可能である。図 5.3 に絶縁回路基板下直接はんだ付け層の超音波探傷検査によるボイド (空隙) 評価結果を示す。ボイド部分は赤で表示されており、ボイド率は約 2.7 % と十分に低く抑えられている。

提案・試作したヒートシンクの仕様を表 5.1 に示す。アルミニウム押し出し材製のヒートシンクは電力変換器に広く適用されているが、提案パワーモジュールは薄い銅箔を折りたたんで成型した軽量ヒ

ートシンクを持っている。試作パワーモジュールは、高アスペクト比を実現する折り畳みフォイルフィンによりアルミニウム押し出し材製の一般的なヒートシンクに比べて著しく改善された熱伝導率および冷却性能密度を示す。ヒートシンクから周囲の空気までの熱抵抗 $R_{th(f-a)}$ の実測値は、約 0.44 K/W であった。単位体積、単位重量基準の冷却システム性能指数 ($CSPI$) は、それぞれ 37 W/K*L と 19 W/K*kg となった。(冷却ファンも考慮に入れた値。) この試作パワーモジュールの冷却性能の評価のために、最新の研究で評価されている電力変換器用ヒートシンクの単位体積あたりの冷却システム性能指数を示すと、 17.5 W/K*L のアルミ製ヒートシンク、 21.6 W/K*L の銅製ヒートシンク、および 30.9 W/K*L の両面冷却式銅ヒートシンクなどの最適化されたヒートシンクが文献(109)で検討されている。文献(109)で最大の $CSPI$ を実現する両面冷却銅ヒートシンクと比較しても、本検討で提案試作したパワーモジュール用ヒートシンクは約 1.2 倍の冷却システム性能指数を実現することができている。 $CSPI$ は (3) と (4) のように定義される。

図 5.2 に示すように、パワーモジュールは転流経路の配線インダクタンスを低減するために、直流入力端子間にセラミックコンデンサを備えている。図 5.4 に試作パワーモジュールのターンオフスイッチング波形を示す。ドレイン電圧とゲート電圧、さらに負荷電流を計測した。ドレイン電圧のオーバーシュートは約 50 V 程度に抑えられほとんどリングングは見られなかった。試作パワーモジュールの安定したスイッチング特性を実験により確認することができた。

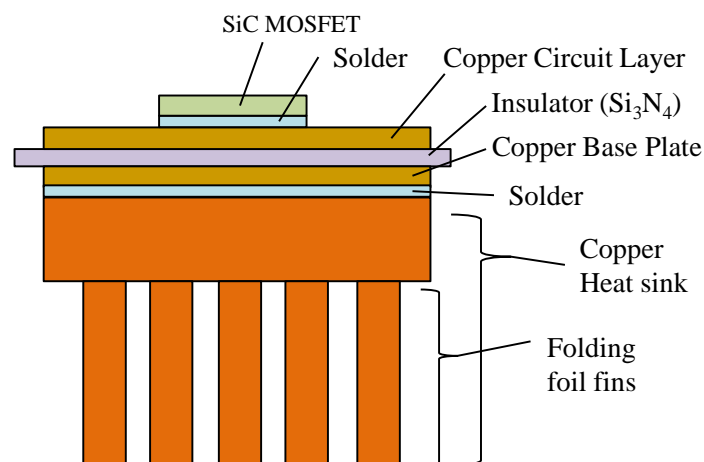


図 5.1 提案パワーモジュールの断面構造模式図

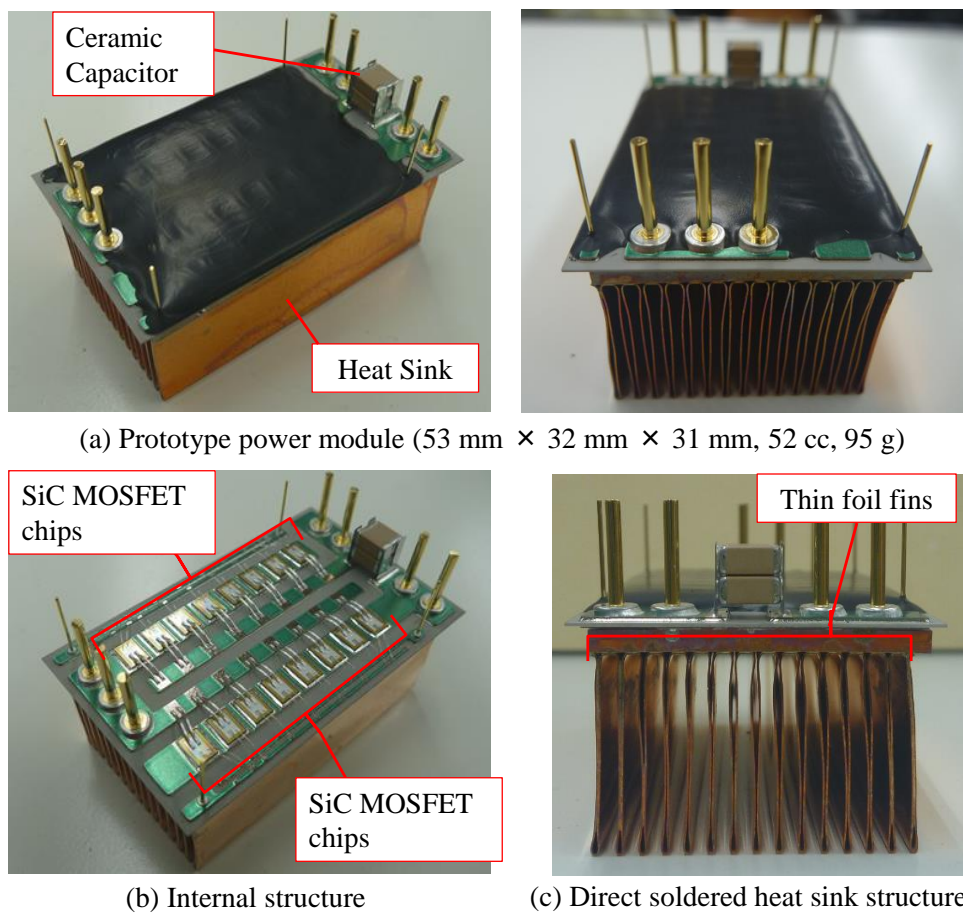


図 5.2 試作パワーモジュール写真

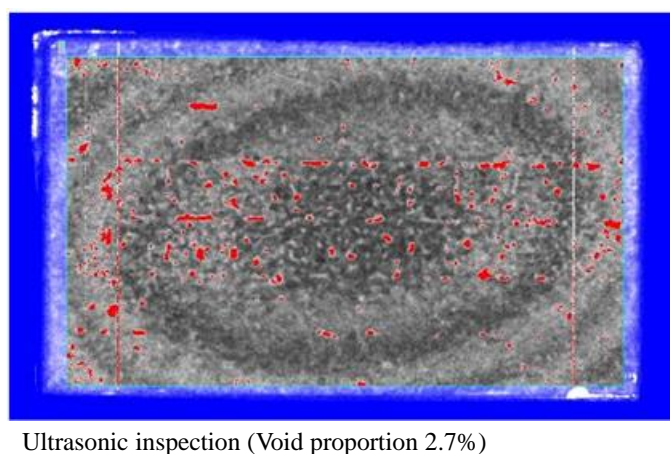
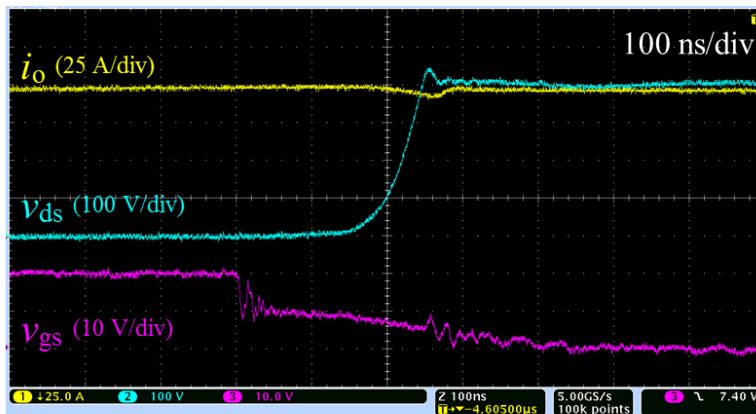


図 5.3 試作パワーモジュール絶縁基板下はんだのボイド観察（超音波探傷）

表 5.1 試作パワーモジュールのヒートシンク仕様

Item	Prototype Power Modules
Heat Sink Size (approx.)	30 mm × 50 mm × 20 mm = 0.03 liter
Heat Sink Weight (approx.)	75 g
$R_{th(f-a)}$ per Module	0.44 K/W (measured from inverter evaluation tests)
Fan Size per Module (approx.)	0.03 liter (prototype inverter has 2 fans and 3 modules, 45 cc/fan)
Fan Weight per Module (approx.)	40 g (prototype inverter has 2 fans and 3 modules, 60 g/fan)
Fan	9GA0412P3K01 (SANYO)
CSPI (V) (Cooling System Performance Index per liter)	37 W/K*liter (include cooling fan)
CSPI (G) (Cooling System Performance Index per kg)	19 W/K*kg (include cooling fan)



i_o : Output current, v_{ds} : Drain-Source voltage,
 v_{gs} : Gate-Source voltage.

図 5.4 試作パワーモジュールのターンオフ電圧波形

5.2 パワーモジュール冷却特性の解析評価

本節では、試作パワーモジュールの熱特性評価の結果を示す。提案パワーモジュールと従来構造のパワーモジュールの熱特性を比較するために、3D-FEM（3次元有限要素法）シミュレーションによる評価を実施した。図 5.5 に 3D-FEM シミュレーションで用いた試作インバータの解析モデルを示す。インバータには 3 つのパワーモジュール、ゲートドライバを含むパワー回路基板、制御基板、直流コンデンサ、および冷却ファンが含まれている。比較対象となる従来構造のパワーモジュールはアルミ押し出し材製ヒートシンクとシリコングリス（G-767, 信越シリコン）を使用して構成されている。インバータ損失は 500 W とし、周囲温度は 17 °C とした。これは後述する実験で得られた値を適用したものである。

シミュレーション結果を図 5.6 に示す。図 5.6 (a), (b) に従来モジュール構造を適用したインバータの熱分布を、5.6 (c), (d) に提案モジュールを適用したインバータの熱分布を示す。最大チップ温

度の解析結果は、従来構造のパワーモジュールでは 124 °C、提案構造のパワーモジュールでは 103 °C であった。本検討で提案するパワーモジュール構造は、従来のパワーモジュール構造と比較して最大チップ温度を約 16%低減することができる解析結果となった。

シミュレーション結果から抽出した各部の熱抵抗の比較結果を表 5.2 に示す。SiC-MOSFET チップから周囲空気への熱抵抗 $R_{th(j-a)}$ は、従来構造の場合で 1 アームあたり約 1.28 K/W である。一方、提案構造の $R_{th(j-a)}$ は 1 アームあたり約 1.03 K/W であった。従って、本検討で提案するパワーモジュール冷却構造は熱抵抗を約 19 %減少させることがシミュレーションにより確認された。直接はんだ付け構造部は代表的な従来 TIM であるシリコングリース (G-767, 信越シリコン) による冷却構造と比較して、ベースプレートからヒートシンクまでの熱抵抗 $R_{th(c-f)}$ を約 90 %低減することができた。

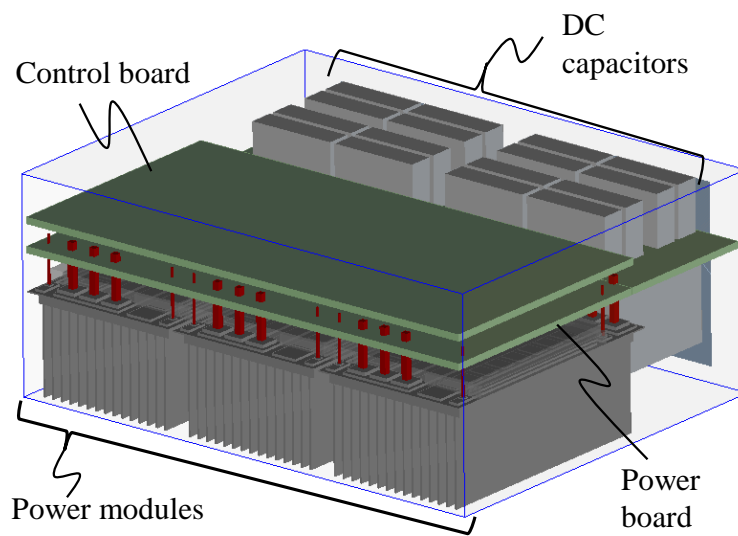
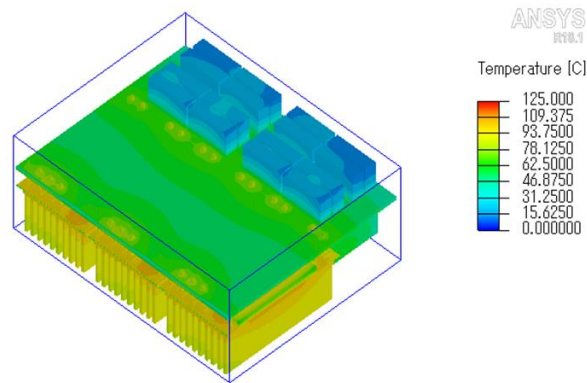
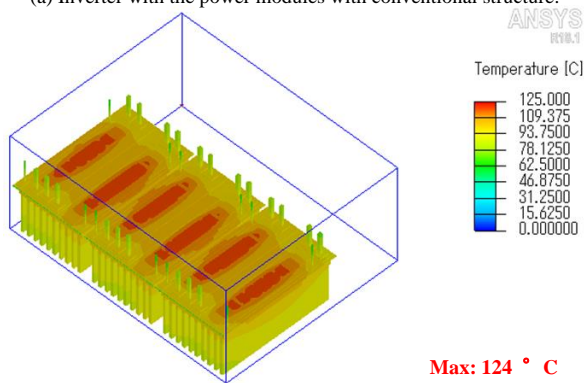


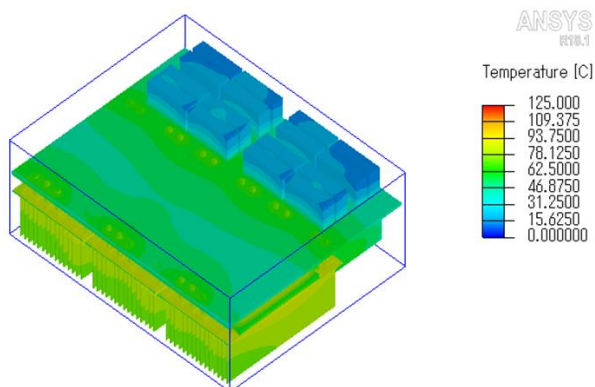
図 5.5 提案パワーモジュールの冷却性能評価の解析モデル



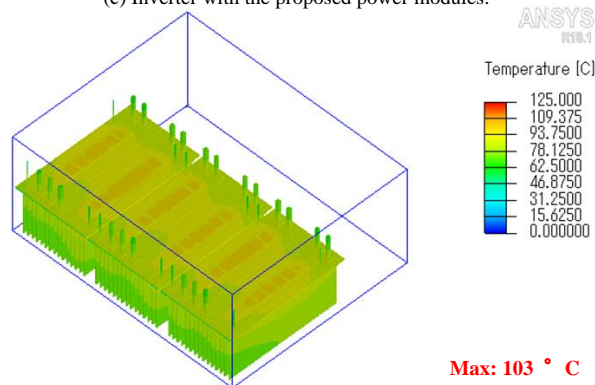
(a) Inverter with the power modules with conventional structure.



(b) The power modules with conventional structure.



(c) Inverter with the proposed power modules.



(d) The proposed power modules.

図 5.6 提案パワーモジュールの冷却性能評価の熱解析結果

表 5.2 3D-FEM シミュレーションによる熱抵抗の比較結果

Item	Conventional	Proposed
Heat Sink	Aluminum extruded fin	Copper folding foil fin
TIM (Thermal Interface Material)	G-765 (Shinetsu Silicon)	Direct solder structure
$R_{th(j-c)}$ per arm	0.04 K/W	0.04 K/W
$R_{th(c-f)}$ per arm	0.10 K/W	0.01 K/W
$R_{th(f-a)}$ per arm	1.15 K/W	0.98 K/W
$R_{th(j-a)}$ per arm	1.28 K/W	1.03 K/W (19% smaller than conventional)
Maximum Output Power Capability P_{max} (The following assumptions are made. Inverter efficiency 98% Ambient temperature 25 ° C Max chip temperature 125 ° C)	22.9 kW	28.5 kW (24% increase from conventional)

5.3 高電力密度化に与える影響評価

本節では、本検討において提案したパワーモジュールの冷却構造が電力変換器の高電力密度化にどの程度寄与するかを定量的に評価する。前節までに述べたとおり、提案パワーモジュール構造によると従来モジュール構造よりも冷却性能を向上できることが解析により確認されている。解析によって得られた冷却性能を元に算出した最大インバータ出力電力能力を表 5.2 に示す。計算条件は、インバータ効率を 98 %、周囲環境温度を 25 °C、最大許容チップ温度を 125 °C であると仮定している。インバータの最大出力電力能力 P_{max} は、式 (38) により求めることができる。従来パワーモジュール構造を有するインバータの P_{max} と比較して、提案モジュール構造によると P_{max} を約 24 % 向上することが可能である結果が得られた。したがって、本検討において提案のパワーモジュール冷却構造によると電力変換器の電力密度を約 24 % 向上させることができると結論付けることができる。

$$P_{max} = \frac{\eta}{100-\eta} \times \frac{\Delta T_{jmax}}{R_{th(j-a)}_{arm}} \times 6 \quad (38)$$

P_{max} is the maximum output power capability.

η is the efficiency of the inverter.

$R_{th(j-a)}_{arm}$ is the total thermal resistance from the chip to the ambient, per arm.

ΔT_{jmax} is the acceptable chip temperature increase from the ambient.

5.4 まとめ

本章では、まず電力変換器の高電力密度化のためパワーモジュール冷却性能の向上のための新しいモジュール冷却構造を提案し、3D-FEM シミュレーションによりその冷却性能を評価した。さらに、提案のパワーモジュール冷却構造が電力変換器の高電力化にどの程度効果があるかを検証した。

提案パワーモジュール冷却構造は、電力変換器の電力密度を約 24 % 向上させることが可能である見込みを得ることができた。また、試作パワーモジュールの *CSPI* の実測値は、 $38 \text{ W/K} \cdot \text{L}$ と $19 \text{ W/K} \cdot \text{kg}$ となり、最新の技術動向と比較しても優れた結果が得られた。本章で提案したパワーモジュール冷却構造を適用した SiC インバータの詳細評価は次章で示す。

第6章

インバータの高電力密度化の検討

本章では、本研究において提案するゲート駆動回路、逆並列 SBD レス構造とパワーモジュール冷却構造を適用したインバータを試作評価する。その結果から、提案手法の効果を検証する。試作インバータの体積、重量、連続動作可能な最大出力を計測して電力密度を評価する。

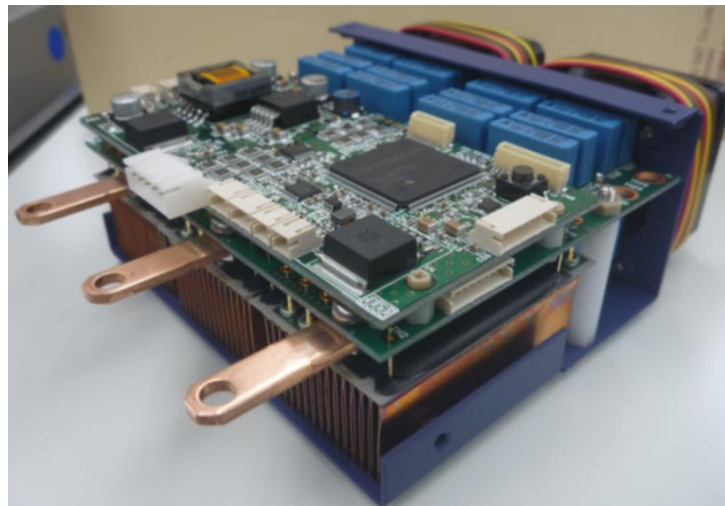
6.1 高電力密度 SiC インバータの試作

本節では、第 2 章から第 5 章まで各章にて提案し、その電力変換器の高電力密度化に与える効果について検証してきた結果を踏まえて、各提案高電力密度化手法を適用した試作 SiC インバータの評価試験を行い、動作特性、電力密度を評価する。

本検討において、試作した SiC-MOSFET インバータの写真を図 6.1 に示す。インバータは、本検討で提案したゲート駆動回路、逆並列 SBD レス構造を有する提案冷却構造のパワーモジュールを適用している。さらに、制御基板、直流コンデンサ、そして 2 つの冷却ファンで構成されている。試作インバータには電流センサは内蔵されていない。試作インバータの体積は約 0.5 リットル(104 mm×110 mm×45 mm) で、重量は約 660 g となった。試作インバータの回路構成図を図 6.2 に示す。試作インバータは 2 レベル 3 相電圧形インバータである。試作インバータの体積と重量における各コンポーネント構成割合を図 6.3 に示す。ヒートシンクとファンで構成される冷却システムは、体積分布の約 35 %と重量分布の約 53 %を占めている。以上、本検討で試作した高電力密度 SiC インバータについて概要を示した。



(a) External view of inverter.



(b) Internal structure of the inverter.

図 6.1 高電力密度 SiC インバータ試作機の写真

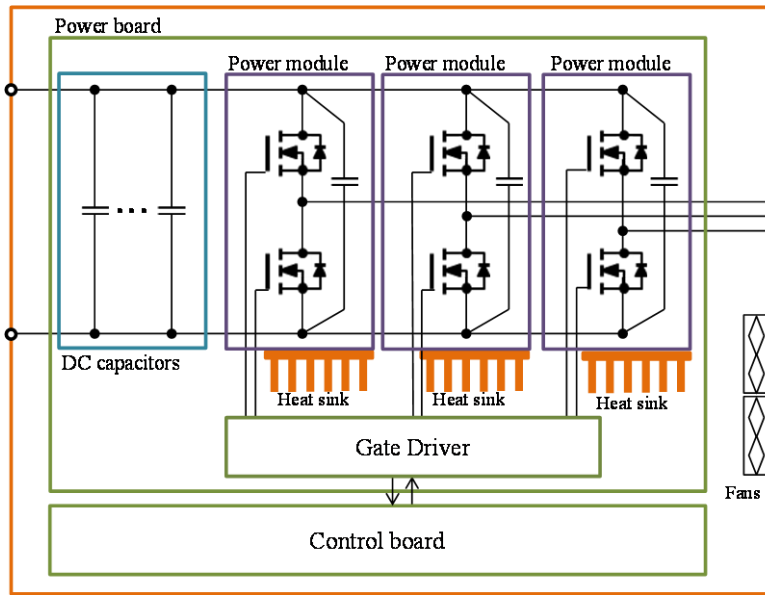
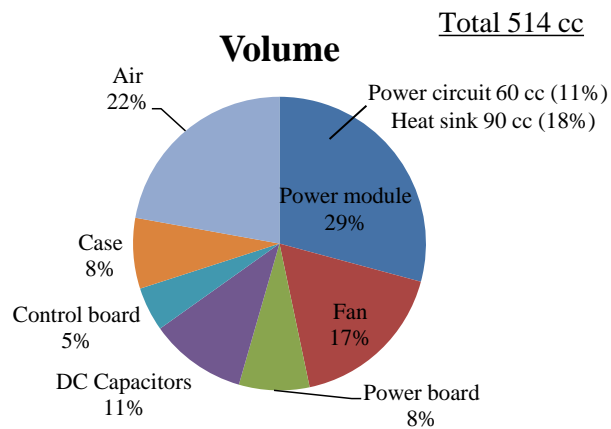
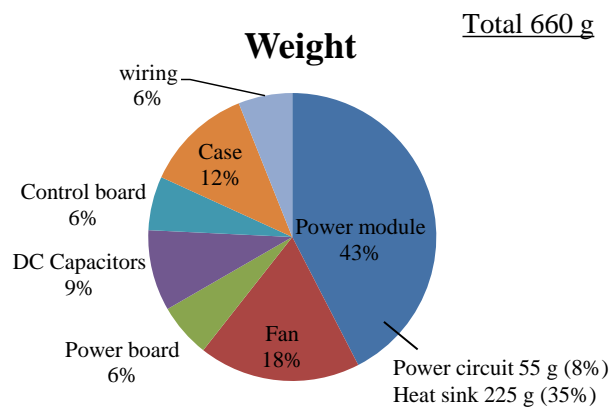


図 6.2 高電力密度 SiC インバータ試作機の回路構成図



(a) Volume distribution.



(b) Weight distribution.

図 6.3 高電力密度 SiC インバータ試作機の体積・重量の構成割合

6.2 高電力密度インバータの特性評価試験

本節では、前節で説明した試作高電力密度 SiC インバータの性能を評価するためにいくつかの実験結果を示す。図 6.4 は実験のための試験装置を示す。試験条件は、直流入力電圧 $V_{dc} = 400 \text{ V}$ 、交流出力周波数 $f_{ac} = 300 \text{ Hz}$ 、スイッチング周波数 $f_{sw} = 20 \text{ kHz}$ 、負荷インダクタンスは約 $100 \mu\text{H}$ 、および負荷抵抗は約 1.57Ω である。

試作インバータの最大連続出力電力の評価試験結果を図 6.5 に示す。図 6.5 (a) はパワーメータ HIOKI 3390 で測定した値で、ヒートシンク温度が十分に飽和した後に取得されている。最大連続出力電力は 35 kW 以上で、インバータ効率は 98% 以上となった。前節で述べたとおり、試作インバータの体積は約 0.5 L 、重量は約 660g であり、本節の最大連続出力評価結果から、本検討における試作高電力密度 SiC インバータは 70 kW/L と 50 kW/kg の電力密度を達成できることを実験により検証した。図 6.5

(b) に示すように、開発したインバータは安定して動作し、スイッチングノイズ等の影響による誤動作などは発生しなかった。試作インバータの効率実測結果を図 6.6 に示す。試作インバータは広範囲の出力に対して 98% 以上の高効率で動作することを確認した。デッドタイム長の影響の評価結果を図 6.7 に示す。図 6.7 (a) はインバータ効率、図 6.7 (b) はインバータ損失を示している。前章までに述べてきたとおり、実験結果からデッドタイムを短縮することでインバータ効率を改善し、インバータ損失低減が可能であることを確認した。デッドタイムを短縮することで、同期整流におけるボディダイオードの導通損失も減少する。さらに、4 章で述べたとおり、SiC-MOSFET のボディダイオードの順方向電圧降下は SiC-SBD の順方向電圧降下よりも大きいため、この効果は逆並列 SiC-SBD 有りのインバータよりも逆並列 SiC-SBD レス構造のインバータの方が強くなるといえる。この時、デッドタイムの短縮のために、3 章で提案したゲート駆動回路の高速ターンオフ能力は有利に働くといえる。

図 6.8 は、 20 kHz から 50 kHz の範囲の様々なスイッチング周波数に対するインバータ効率を示す。試作インバータは、 50 kHz でも 97% 以上の高効率で動作することが可能である。本検討での最高スイッチング周波数である 50 kHz においては、最大出力電力は 20 kW であった。

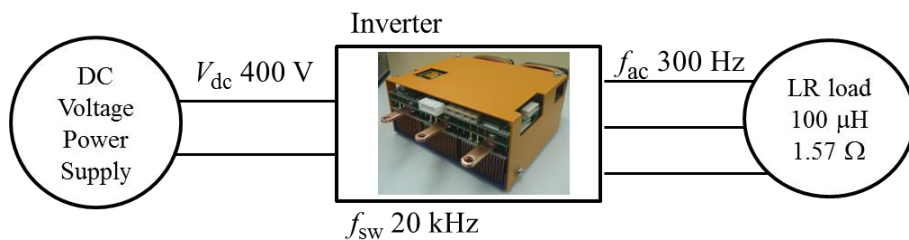
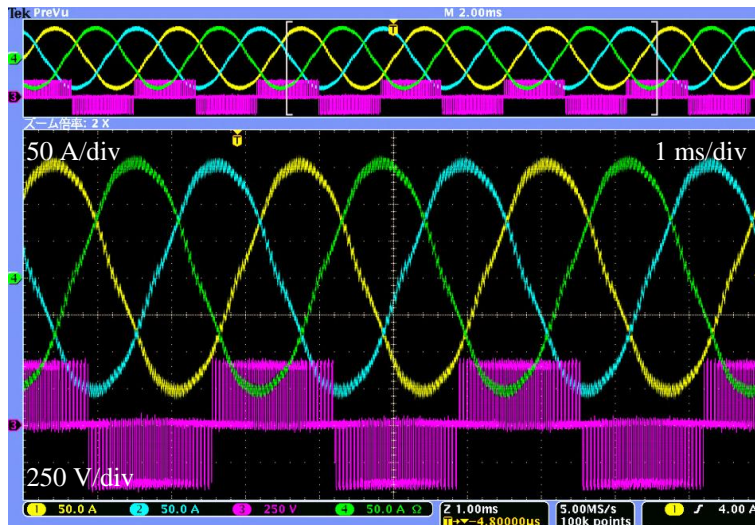


図 6.4 高電力密度 SiC インバータ試作機の試験装置構成図

U_{rms1} : 292.74 V	CH B: 0.000k r/min	CH1 Range U Manu: 600V I Manu: 200A
U_{rms2} : 292.75 V	CH A: - 0.023 N·m	CH2 Range U Manu: 600V I Manu: 200A
U_{rms3} : 292.77 V	P_4 : 35.68k W	CH3 Range U Manu: 600V I Manu: 200A
U_{rms4} : 397.63 V	P_{123} : 35.18k W	CH4 Range U Manu: 600V I Manu: 200A
I_{rms1} : 83.99 A	P_m : - 0.00k W	
I_{rms2} : 83.21 A	η_1 : 98.61 %	
I_{rms123} : 83.41 A	η_2 : 0.00 %	
I_{rms4} : 90.35 A	η_3 : 0.00 %	

(a) Maximum output power and efficiency.



(b) Output current and voltage waveforms.

図 6.5 高電力密度 SiC インバータ試作機の動作評価結果

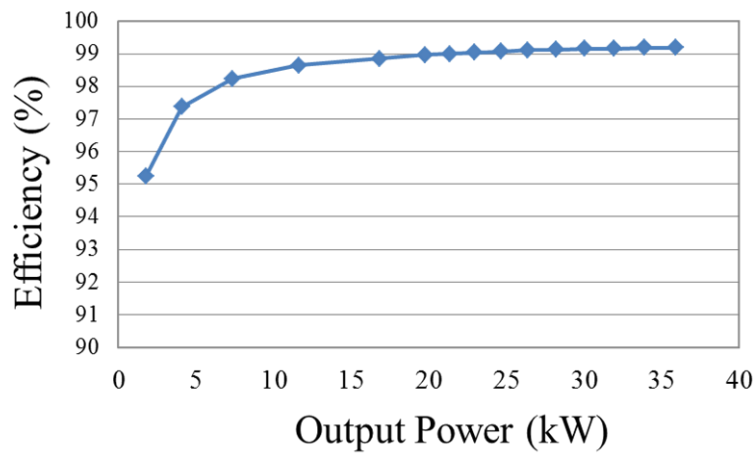
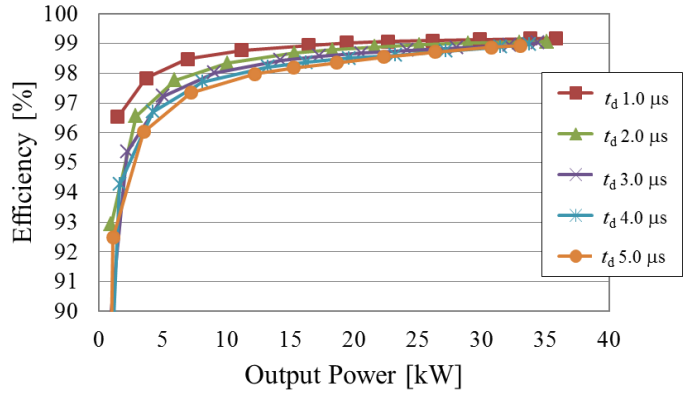
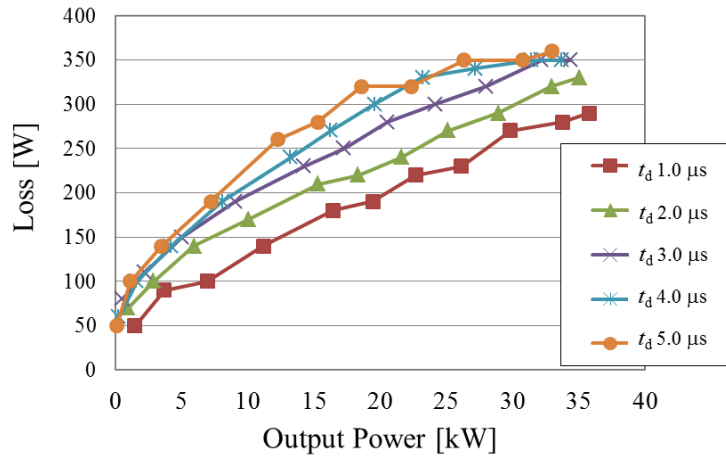


図 6.6 高電力密度 SiC インバータ試作機の効率評価結果



(a) Inverter efficiency.



(b) Inverter loss.

図 6.7 デッドタイム長の影響評価結果

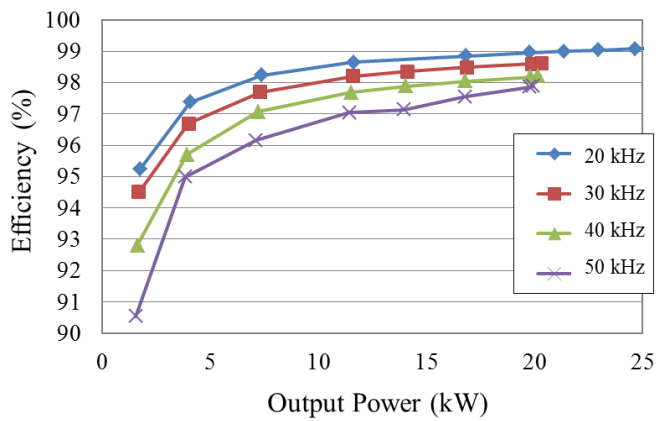


図 6.8 スイッチング周波数の影響評価結果

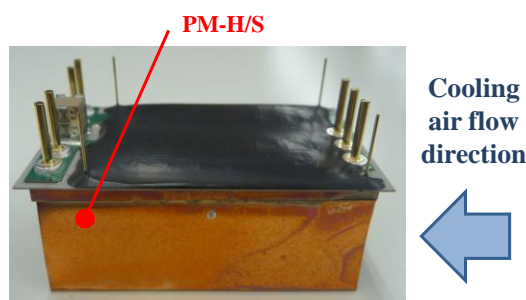
6.3 温度評価試験

本節では、試作インバータの冷却性能の詳細評価結果と、実機インバータでは計測が困難な SiC-MOSFET のチップ温度のシミュレーション結果を示し、前章での解析結果の妥当性を検証し、さらに SiC-MOSFET のチップ温度の最大値を評価する。実験条件は、直流入力電圧 $V_{dc} = 400 \text{ V}$ 、交流出力周波数 $f_{ac} = 300 \text{ Hz}$ 、スイッチング周波数 $f_{sw} = 20 \text{ kHz}$ 、負荷インダクタンスは約 $100 \mu\text{H}$ 、および負荷抵抗は約 1.57Ω である。

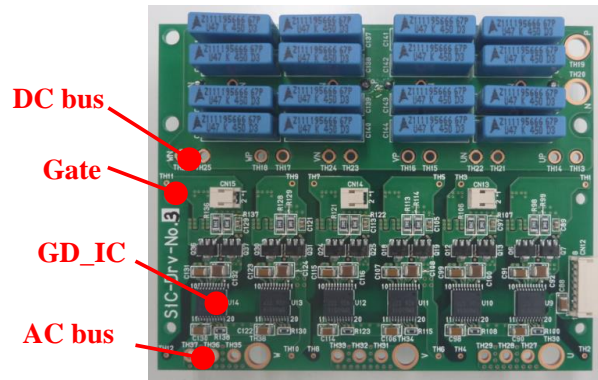
温度評価における測定点を図 6.9 に示す。図 6.9 (a) はパワーモジュールヒートシンク温度を測定するための測定点を示す。測定点はヒートシンクの風下側に設定されている。図 6.9 (b) はパワー回路基板上の測定点を示している。測定点はパワーモジュール端子に隣接して設定されている。DC バス、AC バス、およびゲート端子近傍に設定されている。冷却性能の評価試験結果を図 6.10 に示す。異なるインバータ出力条件に対するヒートシンク温度を図 6.10 (a) に示す。最大ヒートシンク温度は、35 kW の出力に対して 90°C に達した。図 6.10 (b) は、パワー回路基板上の測定点における温度を示す。最高温度は AC バス上の約 70°C で、2 番目に高いポイントは DC バス上の約 55°C であった。

実験結果から、パワー回路基板上に温度的に危険な点がないこと、および冷却システムが十分な冷却性能を発揮していることを確認した。

図 6.11 は、SiC-MOSFET チップ温度のシミュレーション結果を示す。本研究で用いたシミュレーションモデルはすでに図 5.5 に示している。シミュレーション条件は図 6.5 (a) に示す実験結果から抽出したインバータ損失 = 500 W である。周囲温度 $T_a = 17^\circ\text{C}$ として、図 6.10 (b) に示した実験条件と同じに設定されている。図 6.11 (a) および図 6.10 に示すように、ヒートシンク温度 88°C のシミュレーション結果は 90°C の実験結果とよく一致している。図 6.11 (b) に示すように、電源基板上の測定点については、ゲート端子温度は他の点よりも誤差が大きく、これは薄いプリント回路パターンと細かいゲート信号用接続ピンのモデル化誤差によるものと考えられる。シミュレーションによる MOSFET チップの温度分布を図 6.11 (c) に示す。3 つあるパワーモジュールの内、中央に配置されたパワーモジュール上の MOSFET チップと各モジュールの風下側となるチップはより高い温度を示している。シミュレーション結果によると、MOSFET の最大チップ温度は 103°C であった。パワーモジュール周辺の評価点の温度がシミュレーションと実験結果の間でよく一致するので、MOSFET チップ温度のシミュレーション結果は十分な精度を持つと判断できる。

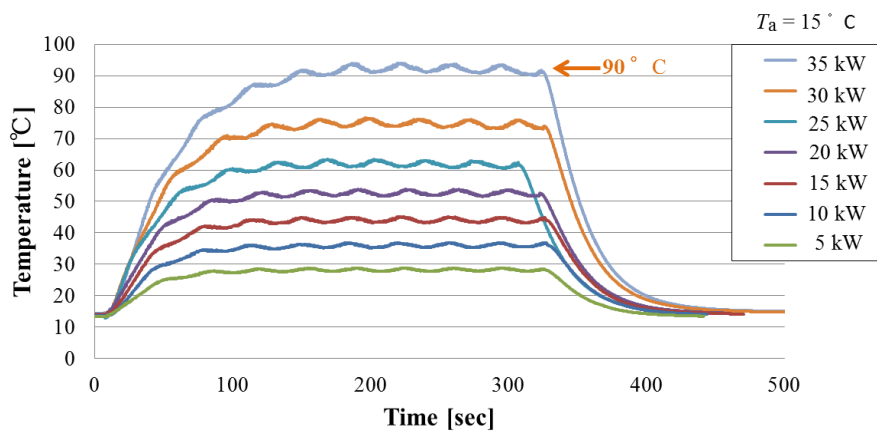


(a) Measurement point of power module heat sink temperature.

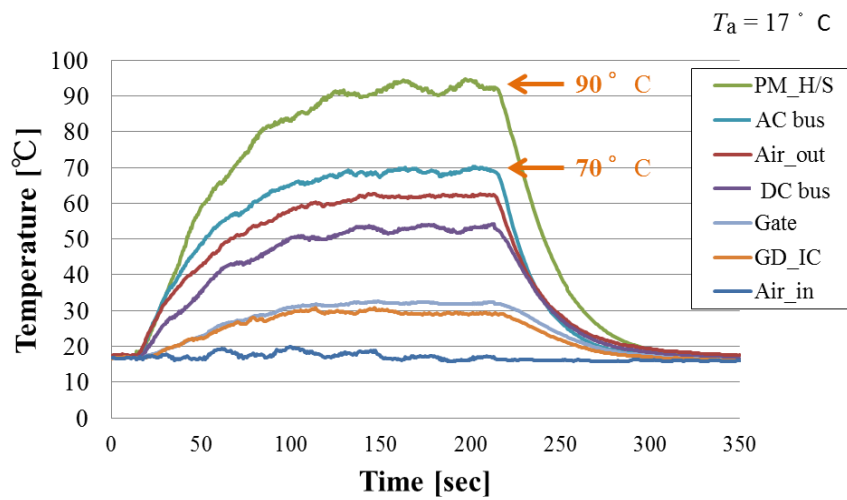


(b) Measurement points on power circuit board.

図 6.9 熱電対による温度計測点

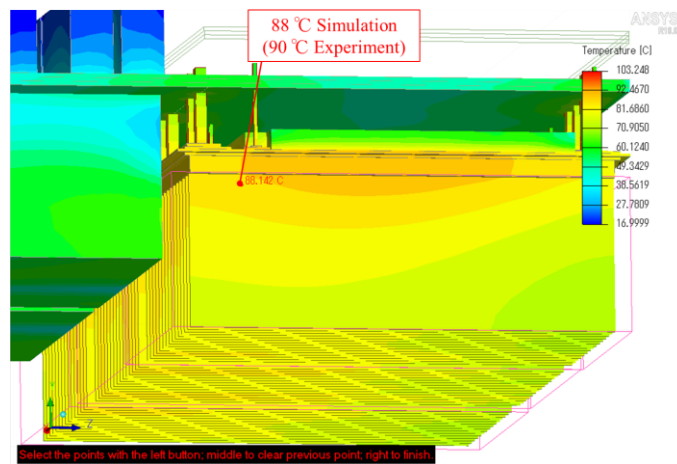


(a) Heat sink temperature.

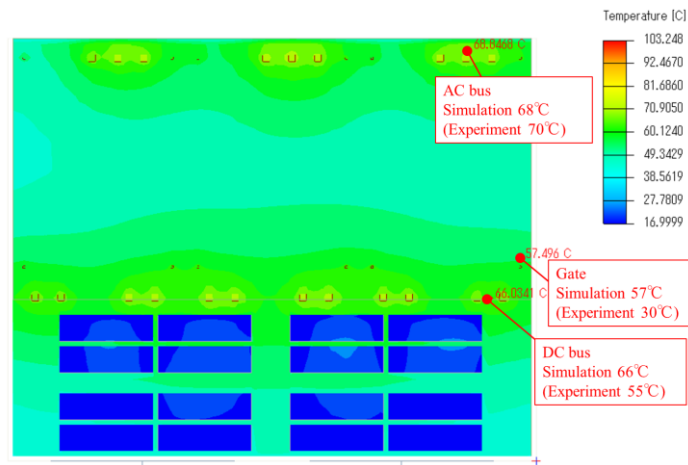


(b) Measurement point temperatures on power circuit board;
output power is 35kW.

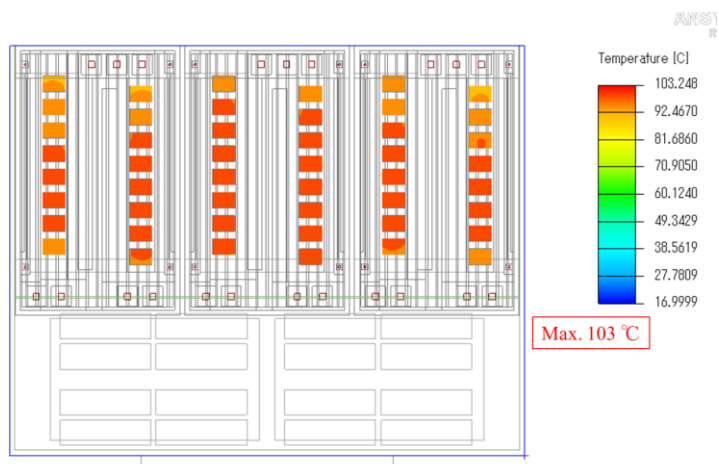
図 6.10 温度評価試験結果



(a) Heat sink temperature.



(b) Measurement point temperatures on power board.



(c) MOSFET chip temperature distribution.

图 6.11 温度解析結果

6.4 まとめ

本章では、前章までに議論してきた本研究において提案するゲート駆動回路（第3章）、逆並列 SBD レス構造（第4章）とパワーモジュール冷却構造（第5章）を適用した高電力密度 SiC インバータを試作し評価してきた。第2章から第5章まで各章にて提案した各要素技術の検証結果を踏まえて、試作 SiC インバータの評価試験を行い、動作特性、電力密度を評価した。さらに、試作インバータの冷却性能の詳細評価結果と、実機インバータでは計測が困難な SiC-MOSFET のチップ温度のシミュレーション結果を示し、前章での解析結果の妥当性と SiC-MOSFET のチップ温度から提案モジュール冷却構造の冷却性能の妥当性を検証した。

- ・試作インバータの体積は約 0.5 L、重量は 660 g となり、実験結果から連続 35 kW の出力、効率は 98 % 以上での運転が可能であることが検証された。よって、電力密度は 70 kW/L、50 kW/kg という高電力密度を達成することができた。

- ・本検討での各提案手法の電力密度化への貢献は前章までの検証のとおりだが、以下に簡単に整理する。これらの結果は、スイッチング周波数などの運転条件によるので、記載された数値は本検討で採用した条件によるものである。提案ゲート駆動回路によりインバータ損失を約 7 % 低減可能であり、冷却システムを 7 % 小型軽量化することが可能となる。これにより、本検討の条件によると電力変換器の電力密度を約 7.8 % 向上できると試算された（第3章）。また、逆並列 SiC-SBD レス構造採用により導通損失が約 40 % 削減可能となり、電力変換器の電力密度を約 42 % 向上可能であると試算された（第4章）。さらに、提案パワーモジュール構造により電力密度を約 24 % 向上させることが可能であると試算された（第5章）。

- ・提案駆動回路、提案パワーモジュール構造、その試作機により提案回路の安定動作を確認することができた。

- ・実験による温度評価結果と前章の温度シミュレーション結果により、シミュレーションの妥当性が検証された。これにより、実験にて計測が困難な SiC-MOSFET チップ温度のシミュレーション結果に妥当性があると考え、チップ温度が許容温度以下に抑えられ、回路損失、冷却性能が適切であることが確認できた。

第7章

結論

本研究では、装置・機器の電動化を促進しエネルギー・環境問題の解決に貢献するために、電力変換器の高電力密度化を目的として検討を行った。本論文では、電力変換器の高電力密度化のための課題を明確にし、電力変換器の損失低減、冷却性能向上のための検討を行ってきた。損失低減のために、次世代パワーデバイスである SiC-MOSFET を適用し、ゲート駆動技術を提案することでさらなるスイッチング損失低減を実現した。さらに、導通損失低減のために、従来 SiC-MOSFET に逆並列接続されていた SiC-SBD を削除するための設計指針を明らかにした。また、パワーモジュールの高熱伝導化の検討を行い、新たなモジュール冷却構造の提案により冷却性能を向上した。上述の検討結果を適用した高電力密度 SiC インバータを試作して実験により検討の妥当性を検証した。

本論文の成果は下記のようにまとめられる。

・電力変換器の高電力密度化における課題の明確化

電力変換器の高電力密度化のための課題を整理して明確にした。本検討では、電力変換器の損失低減と冷却性能向上を課題として取り組むこととした。その他、高周波スイッチングによる受動素子の小型化やフィルタと冷却システムの最適化設計などは、今後の課題として設定した。続いて、電力変換器のスイッチング損失を低減するためには、スイッチングのトレードオフの緩和が必要であることを明確にした。また、電力変換器の導通損失を低減するために、SiC-MOSFET に逆並列接続される SiC-SBD を削除する構造を提案し、その実現に必要な検証項目を整理して明確にした。また、電力変換器の冷却性能改善を可能とするパワーモジュールの新構造を検討することとした。

・電力変換器スイッチング損失低減のためのゲート駆動回路の開発

電力変換器の高電力密度化を可能とする SiC-MOSFET ゲート駆動回路を提案した。また、提案したゲート駆動回路は、安価、簡易な方法で実現可能であり、かつ高速スイッチング特性を有する SiC-MOSFET に対しての親和性を向上するため、耐ノイズ性の向上、高速動作を可能とする回路であ

る。高電力密度化の障壁となるスイッチング特性のトレードオフについて整理して、さらに SiC-MOSFET のスイッチング特性の分析を行い、ゲート駆動回路に求められる特性を明確にした。その上でスイッチングのトレードオフの緩和を実現する SiC-MOSFET ゲート駆動回路を提案し、その設計指針を明確にした。提案したゲート駆動回路の試作評価の結果、スイッチングノイズの増大を回避しながらスイッチング損失を 7% 低減することを実現した。これにより、電力変換器のノイズフィルタの大型化を回避しながら冷却システムの小型軽量化、あるいは出力電力のさらなる向上が可能となり、電力変換器の高電力密度化を実現できることを検証した。また、本検討の条件によると電力変換器の電力密度を約 7.8% 向上できると試算された。

・電力変換器導通損失低減の手法提案と設計指針の明確化

SiC-MOSFET に逆並列接続される SiC-SBD を削除するために、逆並列 SiC-SBD を削除することによる各種特性への影響、導通損失低減の効果を詳細に評価・分析した。その結果、逆並列 SiC-SBD の削除が SiC-MOSFET のノイズ・損失特性、SiC-MOSFET 適用インバータのノイズ・損失特性に悪影響を与えないことを検証した。さらに、逆並列 SiC-SBD レス構造の SiC-MOSFET インバータの設計指針も明確にした。加えて、逆並列 SiC-SBD を削除することで得られるスペースに SiC-MOSFET を追加配置することで、総チップ面積を増大させずに導通抵抗と導通損失の低減を実現した。本検討の条件においては、上述の手法により電力変換器の導通損失を 40% 低減することが可能となることを明らかにした。これにより、電力変換器のノイズフィルタの大型化を回避しながら冷却システムの小型軽量化、あるいは出力電力のさらなる向上が可能となり、電力変換器の高電力密度化を実現できることを検証した。本検討の条件によると電力変換器の電力密度を約 42% 向上可能であると試算された。

・電力変換器の冷却性能の向上

SiC パワーモジュールの冷却性能を向上する新構造を提案した。冷媒配管、冷媒ポンプなど外部システムを不要とする強制空冷タイプを対象として、解析、試作評価による特性評価を実施し、高電力密度化への寄与度を定量的に評価した。本検討では、薄い銅箔を折り曲げることでヒートシンクフィンを形成して高アスペクト比のヒートシンクを実現した。また、そのヒートシンクを半導体絶縁回路基板下に直接はんだ接合することで、従来構造にある TIM を削除することを実現した。この提案構造により、従来の冷却構造と比較して冷却性能を 19% 改善することができた。本検討の条件によると電力変換器の電力密度を 24% 向上できると試算された。

・高電力密度 SiC インバータの開発

本研究において、提案する電力変換器の高電力密度化手法であるゲート駆動回路、逆並列 SBD レス構造と提案冷却構造を有する SiC-MOSFET パワーモジュールを適用した SiC インバータを開発した。試作機による評価結果から、電力密度 70 kW/L、50 kW/kg を達成した。試作インバータはノイズによる誤動作もなく、許容温度範囲内で安定して動作することを確認して、本検討における提案手法の実現性を検証することができた。

以上の結果から、次世代パワーデバイスである SiC-MOSFET を適用し、ノイズの増大を回避しながらスイッチング損失、導通損失の低減を実現し、パワーモジュール冷却性能の改善を図ることで電力変換器の高電力密度化を達成し、本論文における提案手法やその設計指針の効果・妥当性を検証することができた。

今後の課題

本論文により、次世代パワーデバイスである SiC-MOSFET を適用し、ノイズの増大を回避しながら損失低減・冷却性能の改善を図ることで電力変換器の高電力密度化を達成することができた。これらの結果を踏まえ、今後のさらなる高電力密度化を見据えた課題として、以下の点が挙げられる。

- **スイッチングの高周波化によるフィルタの小型軽量化・最適化** 本論文においては、スイッチングノイズの増大を回避しながら、スイッチング損失・遅延時間の低減が可能なゲート駆動回路については詳細に検討した。しかし、その成果によって得られる新たな選択肢であるスイッチングの高周波化については検討していない。スイッチングの高周波化によるフィルタなどの受動素子の小型化によって、さらなる電力変換器の小型化が狙えることとなる。しかし、スイッチングの高周波化に伴い冷却システムは大型化してしまうので、フィルタの小型軽量化と冷却システムの小型軽量化の間にはトレードオフの関係があることがわかる。これらの関係を考慮し、フィルタを含む電力変換器の電力密度を最大にするための最適化が今後の課題となる。
- **モータを含むシステム電力密度の最大化** 上述したフィルタと冷却システムのトレードオフの関係のように、電力変換器とモータ損失との間にもトレードオフの関係が存在する。例えば、インバータのスイッチング周波数を上げていくと、インバータの冷却システムは大型化する必要があるが、モータ駆動電流のひずみ率・高周波成分が低減されてモータ損失を低減することも可能である。つまり、モータ損失・モータ冷却器とインバータ損失・インバータ冷却器の間にもトレードオフの関係が有り、トータルシステムで見たときの最大電力密度を実現する動作ポイントが存在することになる。このように、モータなどの電力変換器負荷を含むシステム電力密度の最大化も今後の課題となる。
- **マルチレベル変換器による高電力密度化** 本検討においては、2レベルインバータを題材として高電力密度化の検討を実施した。上述したスイッチングの高周波化によるフィルタ、あるいはモータ冷却器の小型化と同様に、マルチレベル変換器による波形ひずみ改善によるフィルタ、モータ冷却器の小型化も可能である。回路トポロジーやレベル数、スイッチング周波数をパラメータにシステム

電力密度を最大化する最低化技術の確立が課題となる。

- **アクティブパワーデカップリング (APD) による高電力密度化** 本論文中において技術動向を整理した際に高電力密度化のために有力な手法として盛んに検討されていることに触れた。例えば、インバータにおいては直流バスコンデンサの小型軽量化のために、アクティブなエネルギーバッファを適用することに期待ができる。本検討においては、直流バスコンデンサの小型化については検討していないが、今後はアクティブパワーデカップリングによる直流バスコンデンサの小型化も課題となる。
- **アクティブフィルタによる高電力密度化** 本論文における検討では、ノイズ増大を避けながら損失の低減を狙うことに取り組み、ノイズフィルタの大型化リスクを生じないようにしながら冷却器の小型化を実現するアプローチを取った。ノイズフィルタのサイズ・重量については、アプリケーションを限定した上で EMI クライテリアを定義しないと検討ができないこともあり、本論文では検討対象から外していたが、今後はアプリケーションを定義してノイズフィルタも検討していく必要がある。その際には、従来のパッシブフィルタの最適化に加えて、アクティブフィルタによるノイズフィルタリング特性の改善・最適化が課題となってくると考えている。
- **高温でのパワーデバイス駆動** 本論文においては、パワーデバイスの駆動温度は従来の技術レベルのまま検討を行った。しかし、電力変換器の高電力密度化を考えるとパワーデバイスの駆動温度をより高温まで許容することはそのまま出力電力の拡大に繋がり、高電力密度化が実現可能となる。パワーデバイスの高温駆動のためには、パワーデバイスとその周辺材料や接合技術における技術課題を解決する必要があるが、ゲート駆動回路なども高温対応が求められていくことになるのでパワーデバイス周辺技術の開発にあわせて検討していくことが求められる。
- **高電圧化による高電力密度化** 本論文では耐圧 1200V のパワーデバイスを適用して、電源電圧 600V までの電力変換器を対象として検討を行った。電力変換器の高電力密度化のためには、高電圧化によって電流を低減し導通損失を低減していくことが大きな傾向となることが考えられている。先述したとおり、マルチレベル電力変換器による波形ひずみ改善効果に加えて、マルチレベル電力変換器による高電圧化の検討も必要になると考えられる。

謝辞

本論文をまとめるにあたりまして、たくさんの方々にご指導・ご助言、そして励ましをいただきました。この場を借りて心より御礼申し上げます。

本論文を完成するにあたって詳細かつ丁寧にご指導いただきました、指導教員である佐藤之彦教授に厚く心より御礼申し上げます。佐藤之彦教授には、常に本質を突いた鋭い視点からご指導していただき、本研究の役割や重要性を強く認識して充実した研究活動を行うことができました。さらに、社会人学生として学生個人の裁量を尊重いただき、研究をさせていただけたことにも感謝しております。

また、ご多忙の中、審査員として研究内容につきまして貴重なご助言をいただきました、論文審査教員劉康志教授、関屋大雄教授、宮城大輔教授、早乙女英夫准教授に厚く御礼申し上げます。

勤務先である株式会社 I H I の上司・同僚には、本研究ならびに関連する技術開発において多大なるご支援をいただきました。特にインバータの設計・試作、実験において、多大なる支援をしてくれた桂健志郎君、山田達郎君に感謝申し上げます。

最後に、長期にわたる社会人博士課程学生としての研究と論文作成を応援し見守ってくれた家族、両親と兄弟、特に妻と息子に感謝し、本論文の締めくくりとさせていただきます。

参考文献

- (1) 環境省地球環境局国際地球温暖化対策室：「COP21 の成果と今後」,
http://www.env.go.jp/earth/ondanka/cop21_paris/paris_conv-c.pdf
- (2) 環境省：「パリ協定の概要（仮訳）」, http://www.env.go.jp/earth/ondanka/cop21_paris/paris_conv-a.pdf
- (3) 経済産業省資源エネルギー庁：「今さら聞けない「パリ協定」～何が決まったのか？私たちは何をすべきか？～」, 2017年8月,
<https://www.enecho.meti.go.jp/about/special/tokushu/ondankashoene/pariskyotei.html>
- (4) 外務省：「わかる！国際情勢 vol. 150 パリ協定 ― 歴史的合意に至るまでの道のり」, 2017年1月, <https://www.mofa.go.jp/mofaj/press/pr/wakaru/topics/vol150/index.html>
- (5) 田村堅太郎：「データでみる現代社会 COP21 の成果と課題」, 帝国書院 現代へのとびら 2016年度1学期号 pp. 11-14, 2016年,
<https://www.mofa.go.jp/mofaj/press/pr/wakaru/topics/vol150/index.html>
- (6) 国際連合広報センター：「COP24：国連気候会議 ― 何が重要で、何をしておく必要がありますか？」, 2018年12月,
https://www.unic.or.jp/news_press/features_backgrounders/31408/
- (7) 環境省：「IPCC 第5次評価報告書の概要―第1作業部会（自然科学的根拠）―」, 2014年12月,
https://www.env.go.jp/earth/ipcc/5th/pdf/ar5_wg1_overview_presentation.pdf
- (8) 環境省：「気候変動2007：統合報告書 政策決定者要約」, 2017年,
http://www.env.go.jp/earth/ipcc/4th/syr_spm.pdf
- (9) 環境省：「地球温暖化対策計画の概要」, 2016年5月,
https://www.env.go.jp/earth/ondanka/keikaku/tikyuondankataisakukeikaku_gaiyou.pdf
- (10) 経済産業省：「長期エネルギー需給見通し」, 2015年7月,
https://www.enecho.meti.go.jp/committee/council/basic_policy_subcommittee/mitoshi/pdf/report_01.pdf
- (11) 経済産業省資源エネルギー庁：「長期エネルギー需給見通し 関連資料」, 2015年7月,
https://www.enecho.meti.go.jp/committee/council/basic_policy_subcommittee/mitoshi/pdf/report_02.pdf

- (12) 経済産業省資源エネルギー庁：「2030年エネルギーミックス実現へ向けた対応について」，2018年3月，
https://www.enecho.meti.go.jp/committee/council/basic_policy_subcommittee/025/pdf/025_008.pdf
- (13) 経済産業省：第5次エネルギー基本計画，2018年7月，
https://www.enecho.meti.go.jp/category/others/basic_plan/pdf/180703.pdf
- (14) 経済産業省資源エネルギー庁：「平成29年度エネルギーに関する年次報告」（エネルギー白書2018）」，2018年6月，<https://www.enecho.meti.go.jp/about/whitepaper/2018pdf/>
- (15) 国土交通省：「平成29年度国土交通白書」（国土交通白書2018）」，2018年6月，
<http://www.mlit.go.jp/hakusyo/mlit/h29/index.html>
- (16) 宮入庄太：「パワエレクトロニクスとその動向」，電学誌，vol. 91，no. 10，pp. 1751-17558，1971年10月
- (17) W. E. Newell, “Power Electronics – Emerging from Limbo,” *IEEE Trans. Ind. Appl.*, vol. 10, no. 1, pp. 7-11, Jan./Feb. 1974.
- (18) 難波江章：「小特集：最近の可変速電動機の技術動向 I. 総論」，電学誌，vol. 103，no. 9，pp. 869-870，1983年9月
- (19) 深尾正：「小特集：交流可変速ドライブシステムの高性能化・大容量化技術 I. 変換装置と制御技術」，電学誌，vol. 108，no. 2，pp. 127-132，1983年2月
- (20) T. Takano, T. Iwakane, and H. Akagi, “A narrative of development for vector control,” *IEEJ Trans.*, vol. 114-D, no. 1, pp. 1-7, 1994. (in Japanese)
 中野孝良・岩金孝信・赤木泰文：「ベクトル制御の開発裏話」，電学論D，vol. 114，no. 1，pp. 1-7，1994年1月
- (21) 交流電動機駆動方式およびその応用技術調査専門委員会編：「交流電動機の可変速駆動方式の最新技術およびその応用」，電気学会技術報告，vol. 1073，2006年
- (22) 金東海：「誘導機のセンサレスベクトル制御」，電学誌，vol. 112，no. 3，pp. 167-175，1992年3月
- (23) 野村尚史・大沢博：「永久磁石同期電動機のセンサレス制御技術」，富士時報，vol. 75，no. 8，2002年
- (24) 高田育紀・ゴララブマジウムダール：「パワーモジュールの発展と動向（I）－パワーデバイス発展の歴史－」，電学誌，vol. 129，no. 12，pp. 817-820，2009年12月
- (25) 高田育紀・ゴララブマジウムダール：「パワーモジュールの発展と動向（II）－IGBTモジュールへの発展－」，電学誌，vol. 130，no. 1，pp. 32-36，2010年1月
- (26) 山本真義：「総論：GaNパワー半導体応用ロードマップ」，電学誌，vol. 139，no. 2，pp. 76-79，2019年2月
- (27) 柳原学・上田哲三：「高周波化に向けたGaN系パワーデバイスの開発」，電学誌，vol. 139，no. 2，pp. 80-83，2019年2月
- (28) DOE (U.S. DEPARTMENT OF ENERGY) Vehicle Technologies Multi-year Program Plan 2011-2015, Dec. 2010.
- (29) USDrive Electrical and Electronics Technical Team Roadmap, June 2013.

- (30) James F. Miller and David Howell, "The EV Everywhere Grand Challenge," *EVS27 International Battery, Hybrid and Fuel Cell Electric Vehicle Symposium*, Nov. 2013.
- (31) Tim Burrell, "Benchmarking EV and HEV Technologies," *2014 U.S. DOE Vehicle Technologies Office Annual Merit Review and Peer Evaluation Meeting*, June 2014.
- (32) R. Lai, F. Wang, P. Ning, D. Zhang, D. Jiang, R. Burgos, D. Boroyevich, K. J. Karimi, and V.D. Immanuel, "A high-power-density converter," *IEEE Ind. Electron. Mag.*, vol. 4, no. 4, pp. 4-12, Dec. 2010.
- (33) X. Roboam, B. Sareni, and A.D. Andrade, "More Electricity in the Air: Toward Optimized Electrical Networks Embedded in More-Electrical Aircraft," *IEEE Ind. Electron. Mag.*, vol. 6, no. 4, pp. 6-17, Dec. 2012.
- (34) P. Wheeler, and S. Bozhko, "The More Electric Aircraft: Technology and Challenges," *IEEE Electrification Mag.*, vol. 2, no. 4, pp. 6-12, Dec. 2014.
- (35) Y. Terao, W. Kong, H. Ohsaki, H. Oyori, and N. Morioka, "Electromagnetic Design of Superconducting Synchronous Motors for Electric Aircraft Propulsion," *IEEE Trans. Appl. Supercond.*, vol. 28, no. 4, p. 5208005, Jun. 2018.
- (36) IATA Technology Roadmap 4th Edition, June 2013.
- (37) AIRBUS Global Market Forecast 2018-2037,
<https://www.airbus.com/content/dam/corporate-topics/publications/media-day/GMF-2018-2037.pdf>
- (38) 一般財団法人日本航空機開発協会 (JADC) : 「民間航空機に関する市場予測 2018-2037」, 2018年3月
- (39) 大依仁・桑田巖・森岡典子 : 「航空機・エンジン電動化システムの開発」, IHI 技報, vol. 57, no. 4, pp. 37-46, 2017年
- (40) R. De Maglie, G. Osvald, J. Engstler, A. Engler, and J.-P. Carayon, "Optimized 70kW power inverter dedicated to future aircraft applications," in *Proc. 2009 13th European Conference on Power Electronics and Applications*, pp. 1-10, Oct. 2009.
- (41) 日経エレクトロニクス : 「電動化で始まる空の革命」, 日経エレクトロニクス 2018年5月号, pp. 16-45, 2018年4月.
- (42) 日経エレクトロニクス : 「超高出力モータで垂直離陸「空の電動化」をウーバーが主導」, 日経エレクトロニクス 2018年7月号, pp. 51-57, 2018年6月.
- (43) 日経エレクトロニクス : 「離陸寸前の空飛ぶクルマ 米国ベンチャーが整備着々」, 日経エレクトロニクス 2018年9月号, pp. 12-14, 2018年8月.
- (44) 日経エレクトロニクス : 「電動版ビジネスジェットが浮上 22年に運賃1/3以下で市場創造」, 日経エレクトロニクス 2018年12月号, pp. 83-87, 2018年11月.
- (45) 日経エレクトロニクス : 「墜落事故を乗り越えて 電動化にまい進する Siemens」, 日経エレクトロニクス 2019年1月号, pp. 20-21, 2018年12月.
- (46) 日経エレクトロニクス : 「陸・海・空で誕生, 夢のモビリティ」, 日経エレクトロニクス 2019年2月号, pp. 22-37, 2019年1月.
- (47) JAXA : 「「航空機電動化 (ECLAIR) コンソーシアム」の発足について」, JAXA プレスリリース 2018年7月2日, 2018年7月
- (48) "A revolution of the recent power device development", IEEJ Technical Report, no. 1082 (in Japanese)

- 「大変革を遂げているパワーデバイス開発」, 電気学会技術報告, No. 1082
- (49) W. Saito, M. Kuraguchi, Y. Tanaka, K. Tsuda, I. Omura, and T. Ogura: “Design Optimization of high breakdown voltage AlGa_N-Ga_N power HEMT on an insulating substrate for RonA-VB tradeoff characteristics”, *IEEE Transactions on Electron Devices*, Vol. 52, No. 1, pp. 106-111
- (50) Y. Uemoto, D. Shibata, M. Ishida, H. Matsuo, H. Nagai, S. Batta, N. Ming, L. Ueda, T. Tanaka, and T. Ueda: “8300V Blocking Voltage AlGa_N/Ga_N Power HFET with Thick Poly-Al_N Passivation”, in *Proc. of the International Electron Devices Meeting (IEDM)*, (2007-12)
- (51) N. Ikeda, S. Kaya, J. Li, Y. Sato, S. Kato, and S. Yoshida: “High Power AlGa_N/Ga_N HFET with a High Breakdown Voltage of Over 1.8kV on 4 Inch si Substrates and the Suppression of current Collapse”, in *Proc. of the 20th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, pp.287-290 (2008-5)
- (52) M. Tsukuda, I. Omura, T. Domon, W. Saito, and T. Ogura: “Demonstration of High Output Power Density (30W/cc) Converter using 600 V SiC-SBD and Low Impedance Gate Driver”, in *Proc. of the International Power Electronics Conference (IPEC)*, pp.1184-1189 (2005-4)
- (53) W. Saito, I. Omura, T. Ogura and H. Ohashi: “Theoretical Limit Estimation of Lateral Wide Band-gap Semiconductor Power-switching Device”, *Solid-State Electronics*, 48, pp. 1555-1562 (2004)
- (54) A. Lidow, and G. Sheridan: “Defining the Future for Microprocessor Power Delivery”, in *Proc. of the 18th Applied Power Electronics Conference (APEC)*, pp.3-9 (2003-2)
- (55) E. Raj, Z. Lisik, M. Langer, and J. Rudzki: “Super Cooling Structures for Power Electronics“, in *Proc. of the 11th European Conference on Power Electronics and Applications (EPE)* (2005-9)
- (56) 三菱電機ニュースリリース: 「世界初, 鉄道車両の営業運転で省エネを実証「SiC 適用鉄道車両用主回路システム」搭載車両での実証結果のお知らせ」, 三菱電機ニュースリリース 2012年9月27日 社会 No.1211, <http://www.mitsubishielectric.co.jp/news/2012/pdf/0927-b.pdf>, 2012年9月
- (57) 三菱電機ニュースリリース: 「3.3kV/1500A 定格で大容量鉄道車両に適用可能 フル SiC パワーモジュール適用鉄道車両用インバーター装置を製品化」, 三菱電機ニュースリリース 2013年12月25日 社会 No.1312, <http://www.mitsubishielectric.co.jp/news/2013/pdf/1225.pdf>, 2013年12月
- (58) 三菱電機ニュースリリース: 「小田急電鉄車両での「フル SiC 適用 VVVF インバーター装置」実証結果のお知らせ」, 三菱電機ニュースリリース 2015年6月22日 社会 No.1508, <http://www.mitsubishielectric.co.jp/news/2015/pdf/0622-a.pdf>, 2015年6月
- (59) 加藤洋子・柴田健・横山啓之: 「E235系の主回路システムの紹介」, *JR EAST Technical Review*, No. 51, pp. 41-44, Spring 2015.
- (60) 東芝ニュースリリース: 「従来比約 60%の体積削減を実現した SiC 適用鉄道車両向けインバーターの開発」, 東芝ニュースリリース 2011年12月8日, http://www.toshiba.co.jp/about/press/2011_12/pr_j0802.htm, 2011年12月
- (61) 葛巻淳彦・小谷和也・野木雅之・餅川宏・青山育也: 「SiC 適用による変換機の高パワー密度化」, 平成 28 年電気学会産業応用部門大会, 3-S8-4, pp. III-45-III-48, 2016年8月
- (62) 東海旅客鉄道株式会社ニュースリリース: 「東海道・山陽新幹線 次期新幹線車両 N700S 確認試験車の製作について」, 東海旅客鉄道株式会社ニュースリリース 2016年6月24日, 2016年6月
- (63) 東芝プレス: 「東海道新幹線車両向けの SiC を適用した主変換装置を開発 ～世界初の高速鉄道での走行試験～」, 東芝プレス 2015年6月25日, <https://www.toshiba.co.jp/sis/topics/2015/20150625.htm>, 2015年6月

- (64) トヨタ自動車ニュースリリース：「新素材 SiC による高効率パワー半導体を開発」，トヨタ自動車ニュースリリース 2014 年 5 月 20 日，2014 年 4 月
- (65) 安川電機ニュースリリース：「世界初！ GaN（窒化ガリウム）パワー半導体モジュール搭載の太陽光発電用パワーコンディショナ「Enewell-SOL V1 シリーズ 4.5kW」を販売開始」，安川電機ニュースリリース 2014 年 12 月 11 日，<https://www.yaskawa.co.jp/newsrelease/product/9016>，2014 年 12 月
- (66) S. Yin, K. J. Tseng, R. Simanjorang, Y. Liu, and J. Pou, "A 50-kW High-Frequency and High-Efficiency SiC Voltage Source Inverter for More Electric Aircraft," *IEEE Trans. Ind. Electron.*, vol. 64, no. 11, pp. 9124-9134, Nov. 2017.
- (67) A. Nawawi, C. F. Tong, S. Yin, A. Sakanova, Y. Liu, M. Kai, K. Y. See, K. J. Tseng, R. Simanjorang, C. J. Gajanayake, and A. K. Gupta, "Design and Demonstration of High Power Density Inverter for Aircraft Applications," *IEEE Trans. Ind. Appl.*, vol. 53, no. 2, pp. 1168-1176, Mar-Apr. 2017.
- (68) H. Ohashi, I. Omura, S. Matsumoto, Y. Sato, H. Tadano, and I. Ishii, "Power Electronics Innovation with Next Generation Advanced Power Devices," *IEICE Trans. Commun.*, vol. E87-B, no. 12, pp. 3422-3429, Dec. 2004.
- (69) H. Ohashi, "Recent power devices trend," *IEEJ Transactions IA*, vol. 122, no. 3, pp. 168-171 (2002-3) (in Japanese)
大橋 弘通：「最新のパワーデバイスの動向」，電学誌，vol.122，no.3，pp.168-171（2002-3）
- (70) H. Ohashi, and Ichiro Omura, "Role of Simulation Technology for the Progress in Power Devices and Their Applications," *IEEE Trans. Electron. Devices*, vol. 60, no. 2, 2013.
- (71) J. W. Kolar, U. Drogenik, J. Biela, M. L. Heldwein, H. Ertl, T. Friedli, and S. D. Round, "PWM Converter Power Density Barriers," *IEEJ Trans. Ind. Appl.*, vol. 128, no. 4, pp. 468-480, 2008.
- (72) S. Round, P. Karutz, M. L. Heldwein, and J. W. Kolar, "Towards a 30 kW/liter, Three-Phase Unity Power Factor Rectifier," *IEEJ Trans. Ind. Appl.*, vol. 128, no. 4, pp. 481-490, 2008.
- (73) Y. Liu, K. Y. See, S. Yin, R. Simanjorang, C. F. Tong, A. Nawawi, and J. S. Lai, "LCL Filter Design of a 50-kW 60-kHz SiC Inverter with Size and Thermal Considerations for Aerospace Applications," *IEEE Trans. Ind. Electron.*, vol. 64, no. 10, pp. 8321-8333, Oct. 2017.
- (74) Y. Liu, K. Y. See, K. J. Tseng, R. Simanjorang, and J. S. Lai, "Magnetic Integration of Three-Phase LCL Filter with Delta-Yoke Composite Core," *IEEE Trans. Power Electron.*, vol. 32, no. 5, pp. 3835-3843, May. 2017.
- (75) J. Biela, and J. W. Kolar, "Cooling Concepts for High Power Density Magnetic Devices," *IEEJ Trans. Ind. Appl.*, vol. 128, no. 4, pp. 500-507, 2008.
- (76) R. Wang, F. Wang, D. Boroyevich, R. Burgos, R. Lai, P. Ning, and K. Rajashekar, "A High Power Density Single-Phase PWM Rectifier with Active Ripple Energy Storage," *IEEE Trans. Power Electron.*, vol. 26, no. 5, pp. 1430-1443, May 2011.
- (77) F. Xu, T. J. Han, D. Jiang, L. M. Tolbert, F. Wang, J. Nagashima, S. J. Kim, S. Srikanth, and F. Barlow, "Development of a SiC JFET-Based Six-Pack Power Module for a Fully Integrated Inverter," *IEEE Trans. Power Electron.*, vol. 28, no. 3, pp. 1464-1478, Mar. 2013.
- (78) Y. Murakami, Y. Tajima, and S. Tanimoto, "Air-Cooled Full-SiC High Power Density Inverter Unit," in *Proc. World Electric Vehicle Symposium and Exhibition EVS27*, pp. 1-4, Barcelona, Spain, Nov. 2013.
- (79) 松井康平・佐々木健介・谷本智・村上善則・谷澤秀和・佐藤伸二：「70kW/L All-SiC インバータの開発」，平成 25 年電気学会全国大会，4-145，pp. 252（第 4 分冊），2013 年 3 月

- (80) 佐藤伸二：「次世代パワー半導体デバイスとその応用技術の動向」，建設電気技術協会 TESLA TECHNOLOGY REPORT, vol. 189, 2016年3月
- (81) M. Chinthavali, C. Ayers, S. Campbell, R. Wiles, and B. Ozpineci, "A 10-kW SiC Inverter with A Novel Printed Metal Power Module with Integrated Cooling Using Additive Manufacturing," in *Proc. IEEE Workshop on Wide Bandgap Power Devices and Applications WiPDA 2014*, pp. 48-54, Oct. 2014.
- (82) K. A. Kim, Y. C. Liu, M. C. Chen, and H. J. Chiu, "Opening the Box: Survey of High Power Density Inverter Techniques from the Little Box Challenge," *CPSS Trans. Power Electron. Appl.*, vol. 2, no. 2, pp. 131-139, Aug. 2017.
- (83) D. Bortis, D. Neumayr, and J. W. Kolar, "□□-Pareto Optimization and Comparative Evaluation of Inverter Concepts Considered for the GOOGLE Little Box Challenge," in *Proc. IEEE 17th Workshop on Control and Modeling for Power Electronics COMPEL*, pp. 1-5, Jun. 2016.
- (84) J. W. Kolar, D. Bortis, and D. Neumayr, "The Ideal Switch is Not Enough," in *Proc. 28th International Symposium on Power Semiconductor Devices and ICs ISPSD*, pp. 15-22, Jun. 2016.
- (85) A. S. Morsy, and P. N. Enjeti, "Comparison of Active Power Decoupling Methods for High-Power-Density Single-Phase Inverters Using Wide-Bandgap FETs for Google Little Box Challenge," *IEEE J. Emerg. Sel. Top. Power Electron.*, vol. 4, no. 3, pp. 790-798, Sept. 2016.
- (86) E. Gurpinar, and A. Casstellazzi, "Tradeoff Study of Heat Sink and Output Filter Volume in a GaN HEMT Based Single-Phase Inverter," *IEEE Trans. Power Electron.*, vol. 33, no. 6, pp. 5226-5239, Jun. 2018.
- (87) Y. Lei, C. Birth, S. Qin, W. C. Liu, I. Moon, A. Stillwell, D. Chou, T. Foulkes, Z. Ye, Z. Liao, and R. C. N. Pilawa-Podgurski, "A 2-kW Single-Phase Seven-Level Flying Capacitor Multilevel Inverter with an Active Energy Buffer," *IEEE Trans. Power Electron.*, vol. 32, no. 11, pp. 8570-8581, Nov. 2017.
- (88) C. Zhao, B. Trento, L. Jiang, E. A. Jones, B. Liu, Z. Zhang, D. Costinett, F. Wang, L. M. Tolbert, J. F. Jansen, R. Kress, and R. Langley, "Design and Implementation of a GaN-Based, 100-kHz, 102-W/in³ Single-Phase Inverter," *IEEE J. Emerg. Sel. Top. Power Electron.*, vol. 4, no. 3, pp. 824-840, Sept. 2016.
- (89) R. Ghosh, M. X. Wang, S. Mudiya, U. Mhaskar, R. Mitova, D. Reilly, and D. Klikic, "Industrial Approach to Design a 2-kVa Inverter for Google Little Box Challenge," *IEEE Trans. Ind. Electron.*, vol. 65, no. 7, pp. 5539-5549, Jul. 2018.
- (90) Koji Yamaguchi, Kenshiro Katsura, and Takehiro Jikumaru, "Motor Loss and Temperature Reduction with High Switching Frequency SiC-Based Inverters," in *Proc. 2017 IEEE 5th Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*, pp. 127-131, 30 Oct.-1 Nov. 2017.
- (91) Koji Yamaguchi, Kenshiro Katsura, and Takehiro Jikumaru, "Motor Loss and Temperature Reduction with High Switching Frequency SiC-Based Inverters," in *Proc. 2017 IEEE 12th International Conference on Power Electronics and Drive Systems (PEDS)*, pp. 754-757, Dec. 2017.
- (92) 持館沙英・Tumurbaatar Anudari・佐藤之彦：「フライングキャパシタマルチレベル変換器を用いたモードドライブシステムの総合損失の低減に関する実験的検証」，平成29年電気学会産業応用部門大会，1-105，pp. 1-473-1-478，2017年8月
- (93) Tumurbaatar Anudari, Sae Mochidate, Koji Yamaguchi, Tomohiro Matsuda, and Yukihiro Sato, "Harmonic loss reduction in high speed motor drive systems by flying capacitor multilevel inverter," in *Proc. 2018 International Power Electronics Conference (IPEC)*, pp. 1972-1976, May. 2017.

- (94) 阿部晋也・Tumurbaatar Anudari・佐藤之彦・山口浩二・桂健志郎：「マルチレベル変換器を適用した高速PMSM駆動における高周波損失低減の実機検証」, 平成31年電気学会全国大会, 5-027, pp. 48-49, 2019年3月
- (95) ROHM社 SiCパワーモジュールデータシート, BSM120D12P2C005, Rev. E, 2018年2月
- (96) ROHM社, SiCパワーデバイス・モジュール アプリケーションノート Rev. 002, 2014年8月
- (97) D. Pefitsis, and J. Rabkowski, “Gate and Base Drivers for Silicon Carbide Power Transistors: An Overview”, *IEEE Trans. On Power Electronics*, Vol. 31, No. 10, pp. 7194-7212, October 2016.
- (98) N. Oswald, P. Anthony, N. Mcneill, and B. H. Stark, “An Experimental Investigation of the Tradeoff between Switching Losses and EMI Generation With Hard-Switched All-Si, Si-SiC, and All-SiC Device Combinations”, *IEEE Trans. On Power Electronics*, Vol. 29, No. 5, pp. 2393-2407, May 2014.
- (99) S. Yin, K. J. Tseng, P. Tu, R. Simanjorang, and A. K. Gupta, “Design Considerations and Comparison of High-speed Gate Drivers for Si IGBT and SiC MOSFET Modules”, in *Proc. IEEE 2016 Energy Conversion Congress & Expo (ECCE2016)*, Milwaukee, September 2016.
- (100) S. Jahdi, O. Alatisse, P. Alexakis, L. Ran, and P. Mawby, “The Impact of Temperature and Switching Rate on the Dynamic Characteristics of Silicon Carbide Schottky Barrier Diodes and MOSFETs”, *IEEE Trans. On Industrial Electronics*, Vol. 62, No. 1, pp. 163-171, January 2015.
- (101) H. Chen, and D. Divan, “High Speed Switching Issues of High Power Rated Silicon-Carbide Devices and the Mitigation Methods”, in *Proc. IEEE 2015 Energy Conversion Congress & Expo (ECCE2015)*, Montreal, September 2015.
- (102) K. Vechalapu, S. Bhattacharya, E. V. Brunt, S. H. Ryu, D. Grider, and J. W. Palmour, “Comparative Evaluation of 15 kV SiC MOSFET and 15 kV SiC IGBT for Medium Voltage Converter under Same dv/dt Conditions”, in *Proc. IEEE 2015 Energy Conversion Congress & Expo (ECCE2015)*, Montreal, September 2015.
- (103) K. Yamaguchi, and K. Katsura, “Research on Optimization Design of High Efficient Low Noise SiC-MOSFETs Inverters”, in *Proc. 9th International Conference on Power Electronics (ICPE2015 ECCE-Asia)*, pp. 1442-1448, Seoul, June 2015.
- (104) N. Idir, R. Bausiere, and J.J. Fauchaud, “Active Gate Voltage Control of Turn-on di/dt and Turn-off dv/dt in Insulated Gate Transistors”, *IEEE Trans. On Power Electronics*, Vol. 21, No. 4, pp. 849-855, April 2006.
- (105) P. J. Grbovic, “An IGBT Gate Driver for Feed-Forward Control of Turn-on Losses and Reverse Recovery Current”, *IEEE Trans. On Power Electronics*, Vol. 23, No. 2, pp. 643-652, 2008.
- (106) X. Yang, Y. Yuan, Z. Long, J. Goncalves, and P. R. Palmer, “Robust Stability Analysis of Active Voltage Control for High Power IGBT Switching by Kharitonov’s Theorem”, *IEEE Trans. On Power Electronics*, Vol. 31, No. 3, pp. 2584-2594, March 2016.
- (107) X. Yang, Y. Yuan, X. Zhang, and P. R. Palmer, “Shaping High-Power IGBT Switching Transitions by Active Voltage Control for Reduced EMI Generation”, *IEEE Trans. On Industry Applications*, Vol. 51, No. 2, pp. 1669-1677, March/April 2015.
- (108) K. Ishikawa, K. Ogawa, S. Yukutake, N. Kameshiro, and Y. Kono, “Traction Inverter that Applies Compact 3.3kV/1200A SiC Hybrid Module”, *The 2014 International Power Electronics Conference*, 2140-2144, 2014.
- (109) D. Aggeler, F. Canales, J. Biela, and J. W. Kolar, “ Dv/Dt -Control Methods for the SiC JFET/Si MOSFET Cascode”, *IEEE Trans. On Power Electronics*, Vol. 28, No. 8, pp. 4074-4082, August 2013.
- (110) S. Yin, K. J. Tseng, C. F. Tong, R. Simanjorang, C. J. Gajanayake, and A. K. Gupta, “A Novel Gate Assisted Circuit to Reduce Switching Loss and Eliminate Shoot-through in SiC Half Bridge Configuration”, in *Proc. APEC2016*, Long Beach, US, March 2016.
- (111) Q. Zhou, and F. Gao, “A Gate Driver of SiC MOSFET for Suppressing the Negative Voltage Spikes in a Bridge Circuit”, in *Proc. APEC2016*, Long Beach, US, March 2016.
- (112) Z. Zhang, F. Wang, L. M. Tolbert, and B. J. Blalock, “Active Gate Driver for Crosstalk Suppression of SiC Devices in a Phase-Leg Configuration”, *IEEE Trans. On Power Electronics*, Vol. 29, No. 4, pp. 1986-1996, April 2014.
- (113) P. Nayak, and K. Hatua, “Active Gate Driving Technique for a 1200 V SiC MOSFET to Minimize Detrimental Effects of Parasitic Inductance in the Converter Layout”, in *Proc. IEEE 2016 Energy Conversion Congress & Expo (ECCE2016)*, Milwaukee, September 2016.

- (114) H. Huang, X. Yang, Y. Wen, and Z. Long, "A Switching Suppression Scheme of SiC MOSFET by Active Gate Drive", in *Proc. IPEMC2016- ECCE Asia*, Hefei, China, May 2016.
- (115) 長野剛・松原郁夫・田久保拓・鳥羽章夫：「アクティブゲート駆動による SiC-MOSFET のサージ電圧低減効果の検証」, 平成 30 年電気学会全国大会, 4-017, pp. 27, 2018 年 3 月
- (116) H. Riazmontazer, A. Rahnamaee, A. Mojab, S. Mehrnami, S. K. Mazumder, and M. Zefran, "Closed-Loop Control of Switching Transition of SiC MOSFETs", in *Proc. APEC2015*, Charlotte, US, March 2015.
- (117) K. Miyazaki, S. Abe, M. Tsukuda, I. Omura, K. Wada M. Takamiya, and T. Sakurai, "General-Purpose Clocked Gate Driver (CGD) IC with Programmable 63-Level Drivability to Reduce Ic Overshoot and Switching Loss of Various Power Transistors", in *Proc. APEC2016*, Long Beach, US, March 2016.
- (118) H. C. P. Dymond, D. Liu, J. Wang, J. J. O. Dalton, N. Macneill, D. Pamunuwa, S. J. Hollis, and B. H. Stark, "Reduction of oscillations in a GaN bridge leg using active gate driving with sub-n resolution, arbitrary gate-resistance patterns", in *Proc. IEEE 2016 Energy Conversion Congress & Expo (ECCE2016)*, Milwaukee, September 2016.
- (119) 小原秀嶺・秋山寿夫・和田圭二・附田正則・大村一郎・宮崎耕太郎・高宮真・桜井貴康：「プログラマブルゲートドライバ IC を用いた IGBT モジュール用ゲート駆動制御回路の開発」, 平成 29 年電気学会産業応用部門大会, 1-82, pp. I-379-I-382, 2017 年 8 月
- (120) 提橋郁人・伊東淳一：「大ゲート容量に対応した高周波インバータ向け電流形ゲート駆動回路の実機検証」, 平成 28 年電気学会産業応用部門大会, 1-15, pp. I-41-I-46, 2016 年 8 月
- (121) 大河内悠太・中原健：「SiC-MOSFET 用電流電圧ハイブリッド形高速ゲート駆動回路の基礎検討」, 平成 30 年電気学会全国大会, 4-018, pp. 28, 2018 年 3 月
- (122) S. Jahdi, R. Bonyadi, P. Alexakis, C. A. Fisher, J. A. O. Gonzalez, L. Ran, and P. Mawby, "An analysis of the switching performance and robustness of power MOSFETs body diodes: A technology evaluation," *IEEE Trans. Power Electron.*, vol. 30, no. 5, pp. 2383-2394, May 2015.
- (123) J. Jordan, V. Esteve, E. Sanchis-Kilders, E. J. Dede, E. Maset, J. B. Ejea, and A. Ferreres, "A comparative performance study of a 1200V Si and SiC MOSFET intrinsic diode on an induction heating inverter," *IEEE Trans. Power Electron.*, vol. 29, no. 5, pp. 2550-2562, May 2014.
- (124) Z. Wang, J. Zhang, X. Wu, and K. Sheng, "Evaluation of reverse recovery characteristic of silicon carbide metal-oxide-semiconductor field-effect transistor intrinsic diode," *IET Power Electron.*, vol. 9, no. 5, pp. 969-976, 2016.
- (125) A. Agarwal, H. Fatima, S. Haney, and S. H. Ryu, "A new degradation mechanism in high-voltage SiC power MOSFETs," *IEEE Electron Device Lett.*, vol. 28, no. 7, pp. 587-589, July 2007.
- (126) B. Hull, S. Allen, Q. Zhang, D. Gajewski, V. Pala, J. Richmond, S. Ryu, M. O'Loughlin, E. Vanbrunt, L. Cheng, A. Burk, J. Casady, D. Grider, and J. Palmour, "Reliability and stability of SiC power MOSFETs and next-generation SiC MOSFETs," in *Proc. 2014 IEEE Workshop Wide Bandgap Power Devices App.*, pp. 139-142, Oct. 2014.
- (127) 葛巻淳彦・新妻孝則・松本脩平・餅川宏：「インバータ保護動作を想定した SiC-MOSFET ボディダイオード Vf 劣化評価方法の提案」, 平成 28 年電気学会全国大会, 4-018, pp. 27 (第 4 分冊), 2016 年 3 月
- (128) 葛巻淳彦・小谷和也・野木雅之・餅川宏・青山育也：「SiC 適用による変換器の高パワー密度化」, 平成 28 年電気学会産業応用部門大会, 3-S8-4, pp. III-45-III-48, 2016 年 8 月
- (129) 藤田隆誠・秋山悟・島明夫・嶋本泰洋：「SiC-MOSFET を用いた絶縁形 DC/DC コンバータの動作検証」, 平成 28 年電気学会産業応用部門大会, 1-11, pp. I-33-I-34, 2016 年 8 月
- (130) C. Cai, W. Zhou, and K. Sheng, "Characteristics and application of normally-off SiC-JFETs in converters without antiparallel diodes," *IEEE Trans. Power Electron.*, vol. 28, no. 10, pp. 4850-4860, Oct. 2013.
- (131) Y. Liang, R. Oruganti, and T. Oh, "Design considerations of power MOSFET for high frequency synchronous rectification," *IEEE Trans. Power Electron.*, vol. 10, no. 3, pp. 388-395, May 1995.
- (132) S. Yin, K. J. Tseng, C. F. Tong, R. Simanjorang, C. J. Gajanayake, and A. Gupta, "A 99% efficiency SiC three-phase inverter using synchronous rectification," in *Proc. IEEE Applied Power Electron. Conf. Expo. (APEC) 2016*, pp. 2942-2949, Mar. 2016.

- (133) H. Liu, H. Wu, Y. Lu, Y. Xing, and K. Sun, "A high efficiency inverter based on SiC MOSFET without externally anti-parallel diodes," in *Proc. IEEE Applied Power Electron. Conf. Expo. (APEC) 2014*, pp. 163-167, Mar. 2014.
- (134) R. Horff, A. Marz, M. Lechler, and M. M. Bakran, "Optimised switching of a SiC MOSFET in a VSI using the body diode and additional Schottky barrier diode," in *Proc. 17th Eur. Conf. Power Electron. App. (EPE) 2015*, Sep. 2015.
- (135) D. Pefitsis and J. Rabkowski, "Gate and base drivers for silicon carbide power transistors: An overview," *IEEE Trans. Power Electron.*, vol. 31, no. 10, pp. 7194-7212, Oct. 2016.
- (136) N. Idir, R. Bausiere, and J.J. Fauchaud, "Active gate voltage control of turn-on di/dt and turn-off dv/dt in insulated gate transistors," *IEEE Trans. Power Electron.*, vol. 21, no. 4, pp. 849-855, Apr. 2006.
- (137) P. J. Grbovic, "An IGBT gate driver for feed-forward control of turn-on losses and reverse recovery current," *IEEE Trans. Power Electron.*, vol. 23, no. 2, pp. 643-652, 2008.
- (138) X. Yang, Y. Yuan, Z. Long, J. Goncalves, and P. R. Palmer, "Robust stability analysis of active voltage control for high power IGBT switching by Kharitonov's theorem," *IEEE Trans. Power Electron.*, vol. 31, no. 3, pp. 2584-2594, Mar. 2016.
- (139) D. Aggeler, F. Canales, J. Biela, and J. W. Kolar, "Dv/Dt-control methods for the SiC JFET/Si MOSFET cascode," *IEEE Trans. Power Electron.*, vol. 28, no. 8, pp. 4074-4082, Aug. 2013.
- (140) Z. Zhang, F. Wang, L. M. Tolbert, and B. J. Blalock, "Active gate driver for crosstalk suppression of SiC devices in a phase-leg configuration," *IEEE Trans. Power Electron.*, vol. 29, no. 4, pp. 1986-1996, Apr. 2014.
- (141) K. Yamaguchi, K. Katsura, T. Yamada, and Y. Sato, "Comprehensive Study on Gate Driver for SiC-MOSFETs with Gate Boost," *IEEJ Journal of Ind. App.*, vol. 7, no. 3, pp. 218-228, 2018.
- (142) K. Yamaguchi, Y. Sasaki, and T. Imakubo, "Low loss and low noise gate driver for SiC-MOSFET with gate boost circuit," in *Proc. IECON 2014 40th Ann. Conf. IEEE*, pp. 1594-1598, Oct. 2014.
- (143) N. Oswald, P. Anthony, N. Mcneill, and B. H. Stark, "An experimental investigation of the tradeoff between switching losses and EMI generation with hard-switched all-Si, Si-SiC, and all-SiC device combinations," *IEEE Trans. Power Electron.*, vol. 29, no. 5, pp. 2393-2407, May 2014.
- (144) A. Niwa, T. Imazawa, T. Kiumura, and T. Sasaya, "Novel dead time controlled gate driver using the current sensor of SiC-MOSFET," in *Proc. 2015 41st Ann. Conf. IEEE Ind. Electron.*, pp. 1651-1656, Nov. 2015.
- (145) K. Peng, S. Eskandari, and E. Santi, "Characterization and modeling of SiC MOSFET body diode," in *Proc. IEEE Applied Power Electron. Conf. Expo. (APEC) 2016*, pp. 2127-2135, Mar. 2016.
- (146) D. Martin, W. A. Curbouw, B. Sparkman, L. E. Kegley, and T. McNutt, "Switching performance comparison of 1200V and 1700V SiC optimized half bridge power modules with SiC antiparallel Schottky diodes versus MOSFET intrinsic body diodes," in *Proc. IEEE Applied Power Electron. Conf. Expo. (APEC) 2017*, pp. 2297-2304, Mar. 2017.
- (147) S. Jahdi, O. Alatise, L. Ran, and P. Mawby, "Analytical modeling of switching energy of silicon carbide Schottky diodes as functions of di/dt and temperature," *IEEE Trans. Power Electron.*, vol. 30, no. 6, pp. 3345-3355, June 2015.
- (148) O. Alatise, N. A. Parker-Allotey, D. Hamilton, and P. Mawby, "The impact of parasitic inductance on the performance of silicon carbide Schottky barrier diodes," *IEEE Trans. Power Electron.*, vol. 27, no. 8, pp. 3826-3833, Aug. 2012.
- (149) S. Jahdi, O. Alatise, P. Alexakis, L. Ran, and P. Mawby, "The impact of temperature and switching rate on the dynamic characteristics of silicon carbide Schottky barrier diodes and MOSFETs," *IEEE Trans. Ind. Electron.*, vol. 62, no. 1, pp. 163-171, Jan. 2015.
- (150) J. W. Kolar, U. Drogenik, J. Biela, M. L. Heldwein, H. Ertl, T. Friedli, and S. D. Round, "PWM Converter Power Density Barriers," *IEEJ Trans. Ind. Appl.*, vol. 128, no. 4, pp. 468-480, 2008.

本論文に関する研究業績

<学術雑誌など>

- [1] Koji Yamaguchi, Kenshiro Katsura, Tatsuro Yamada, and Yukihiro Sato: “Comprehensive Study on Gate Driver for SiC-MOSFETs with Gate Boost”, *IEEJ Journal of Industry Applications* (電気学会 D 部門英文論文誌), Vol. 7, No. 3, pp. 218-228, May 2018
- [2] Koji Yamaguchi, Kenshiro Katsura, Tatsuro Yamada, and Yukihiro Sato: “High Power Density SiC-Based Inverter with a Power Density of 70 kW/liter or 50 kW/kg”, *IEEJ Journal of Industry Applications* (電気学会 D 部門英文論文誌), Vol. 8, No. 4, pp. 694-703, July 2019
- [3] Koji Yamaguchi, Kenshiro Katsura, Tatsuro Yamada, and Yukihiro Sato: “Criteria for Using Antiparallel SiC SBDs with SiC MOSFETs for SiC-based Inverters”, *IEEE Transactions on Power Electronics* (2019年4月受理, 掲載予定)

参考論文

<国際会議での発表(査読あり)>

- [4] Koji Yamaguchi, Kenshiro Katsura, and Tatsuro Yamada: “Comprehensive evaluation and design of SiC-Based high power density inverter, 70kW/liter, 50kW/kg”, in *Proc. 2016 IEEE 8th International Power Electronics and Motion Control Conference (IPEMC-ECCE Asia)*, pp. 1-7, May 2016.
- [5] Koji Yamaguchi, Kenshiro Katsura, Tatsuro Yamada, and Yukihiro Sato, “Comprehensive Evaluation of Gate Boost Driver for SiC-MOSFETs”, in *Proc. 2016 IEEE Energy Conversion Congress and Exposition (ECCE)*, pp. 1-8, Sept. 2016.