

フォールトトレラント超LSIチップの設計

(課題番号 10650331)

平成12年度科学研究費補助金(平成10年度～平成12年度)

(基盤研究(C)(2))

研究成果報告書

平成13年3月

研究代表者 伊藤秀男

(千葉大学工学部情報画像工学科教授)

千葉大学附属図書館



20002814950



目次

はしがき	1
研究組織	5
研究経費	5
研究発表	6
発表論文	9

はしがき

本報告書は、平成10年度から平成12年度において実施した科学研究費補助金基盤研究(C)(2)「フォールトトレラント超LSIチップの設計」(課題番号10650331)に関する研究成果をまとめたものである。

本研究の目的は、10年後の汎用マイクロプロセッサ用超LSIチップの製造歩留りの向上化とチップ運用後のフォールトトレランス化を、方式設計、論理設計、回路設計等の観点から達成する技術を開発することである。そのため、直接的なチップ設計というよりは、設計の基礎となる技術の開発を目指した。それらは、チップ製造後や運用後の欠陥や故障を回避するための再構成可能設計に関するもの、故障検査容易な論理設計法に関するもの、誤り回復の容易なアーキテクチャに関するものである。これらの研究の成果の概要を以下にまとめる。

1. チップ製造後の欠陥や運用後の故障を回避するための再構成可能設計の研究(発表論文[1]-[4])

ユーザが手元でプログラムできるFPGA(Field Programmable Gate Array)は、可変構造であるため処理内容に応じてFPGAをプログラムすることにより最適な処理構造を設定することができる。また、設計の誤りを容易に変更することもできるため試作システムに利用されたり、生産数の比較的少ない商用システムに利用されている。このようなことから、今後の大規模システムにはFPGAの利用も対象になっている。ここでの研究はこのようなFPGAを対象にして、チップ製造後の欠陥や運用後の故障を回避するための再構成可能設計の研究を行った。

発表論文[1]では、FPGAの主要素の1つであるCLB(Configuration Logic Block)の欠陥や運用後の故障を回避するための手法を考案した。冗長なCLBをあらかじめ設けておき、最初のプログラム(FPGAの構成)では冗長なCLBを使わずに構成する。欠陥や運用後の故障があったならば、構成データをシフトすることによって欠陥(故障)を回避する。構成データ書き込みのためのSRAMはシフト構造によって書き込むことができる構造とする。この手法は多くの配線の欠陥や故障も回避することもできる。

発表論文[2]では、FPGAの主要素の1つである配線領域の欠陥や運用後の故障を回避するための手法を考案した。これは配線に欠陥(故障)があった場合に、局所的な再構成だけで欠陥(故障)を回避して配線ができるようにSB(Switching Block)

の構造を定めたものである。SB内に配線を付加し、ルートを変更可能な構造にしたものである。容量（コンデンサ）の増加に基づいて配線遅延が増加する恐れがあるが、容量の増加が少ない配線構造を提案している。

発表論文[3]も同様に配線領域の欠陥や運用後の故障を回避するための手法を考案したものであるが、これは配線をグループ化しておく。但し1つのグループは冗長なものである。もし、欠陥（故障）が特定なグループに含まれるならば、構成データをシフトすることによって欠陥（故障）が冗長グループになるようにシフトする。このことによって、欠陥（故障）が回避可能になる。このようなシフトによって回避可能なように配線やCLBをレイアウトしておくと共に、入出力信号もシフト可能な構造とする。

発表論文[4]は、SRAM自体の欠陥（故障）の診断と欠陥（故障）回避設計を提案したものである。通常の直列構造のSRAMでは、SRAM自体に欠陥（故障）があるとシフト自体もできなく書き込むこともできない。そこで、一種のバイパス構造を持たせて欠陥（故障）部を避けてシフト可能な構造を提案した。

2. 故障検査容易な論理設計法の研究（発表論文 [5]-[9]）

ここでの研究では順序回路のテスト生成法[5]と故障検査容易化設計法（[6]-[8]）およびFPGAの故障検査容易化設計法（[9]）を提案した。

発表論文[5]では、FF（フリップフロップ）をリセット可能な入力信号を検査容易化設計として設ける。この条件の下に、テスト生成の複雑度が低く、短いテスト系列を生成可能なテスト生成手法を提案している。ゲートレベルの順序回路の組合せ回路部に対して求めた活性化ベクタ集合を、機能レベルの状態遷移図から求まる状態遷移を用いて局部的に連結することで短いテスト系列を生成している。

発表論文[6]は、順序回路のテスト容易化設計の1つであるパーシャルスキャン設計に対して、スキャンFFの選択手法を提案したものである。FFと到達可能な状態数との関係を明らかにして到達可能な状態数が多くなるようにFFを選択すれば、故障カバリッジの高いテスト生成が可能になることを示した。

発表論文[7]は、部分的なFFをリセットすることによってどの程度の故障カバリッジを有するテスト生成が可能かを検討したものである。オーバヘッドを小さくする目的からリセット可能なFFを複数のグループに分ける手法を提案した。このグループ化はFF間の距離を定義して行った。ベンチマーク回路を用いて評価実験を行い、提案手法の有効性を示した。

発表論文[8]は、検査点を挿入することによる順序回路のBIST（Built-In Self-Test）

手法を提案している。検査点を挿入する位置と検査点の種類を決定する手段として故障検出率推定値とコスト関数を利用している。ベンチマーク回路を用いて評価実験を行った結果、20%程度の面積オーバーヘッドで95%以上の故障検出率を得ることができた。

発表論文[9]は、SRAM型のFPGAに対して高速なテスト手法を可能とするFPGAの設計法とそのテスト生成手法を提案している。構成データが保存されるSRAMをテスト用の構成データがチップ内部で循環できるように設計する。一般に1つのCLBは何回かに亘って構成（プログラム）されなければ完全なテストはできない。そこで、各CLBの行を、被検査回路、検査テスト用ANDゲート、検査テスト用ORゲートなどにプログラムしてテストする。1回目のテストが終了したら、構成データのシフトによって行の役割を循環する。この手法によって、サイズの大きい外部メモリを要せずに高速なテストを可能にした。

3. 誤り回復の容易なアーキテクチャの研究（発表論文 [10]-[16]）

ここでは、チップ自体のアーキテクチャの研究[10]、誤り回復のためのチェックポイント手法に関する研究[11], [12], 多重系高信頼動作に関する研究[13], および故障ノードがある場合での経路選択手法[14],[15],[16]に関して研究を行った。

発表論文[10]は、本研究で主に対象にしてきたLPU-MPU-HPUの3階層構成超並列処理プロセッサのLPU-MPUアーキテクチャについて検討したものである。通常のバス構造のLPU-MPUアーキテクチャではメモリボトルネックとなってLPU-MPU間的高速データ転送が不可能である。そこで、マルチメディア画像処理の特徴を活かして命令をパイプライン式にLPUへ送り込んで高速処理を可能とする方式を提案した。

発表論文[11],[12]は、並列処理システムの誤り回復のためのチェックポイント手法について提案した。発表論文[11]は、誤り回復のための情報をメッセージへ付加することを要しない通信誘導型の方式である。各プロセスは他のプロセスに独立してチェックポイントの設定や回復を行うことができる。解析の結果、メッセージ通信がブロードキャストの場合にはより有効であることを確認した。発表論文[12]は、2段構成キャッシュを用いる並列処理システムでは、キャッシュに更新前データを保存することで、従来手法のように特別なバッファを付加することなく、効率よくチェックポイントを保存できる手法を提案した。シミュレーション実験より、提案手法の時間オーバーヘッドは従来手法のそれとほぼ同程度であり、有効であることを確認した。

発表論文[13]は、並列処理システムで高い信頼性を実現できる「高信頼モード」と、処理速度を優先させる「通常モード」とのモードを持たせる手法を提案している。高信頼モードではプロセスを多重化し、システムコールを利用して多重化したプロセスの処理結果をチェックすることにより誤りの検出と回復を行う。多重系では2重化と3重化の場合について定量的に評価している。

発表論文[14],[15],[16]は、ハイパーキューブネットワーク型並列処理システムのノードやリンクに故障がある場合での経路選択方法を提案している。発表論文[14]は、ノードの故障を対象にしている。各ノードが隣接するノードの状態を分類して保持しておくことで、効率の良い動的経路選択法を実現した。シミュレーション結果から、従来の手法では発見できなかった最短経路も発見できるなどの優れた能力を持つことが判明した。また、低次元なハイパーキューブでは、最小の記憶容量を利用するだけで十分な効果を得ることも明らかになった。発表論文[15]は、発表論文[14]のアルゴリズムをリンク故障も扱うことができるように拡張したものであり、シミュレーションによってその有効性を検証している。発表論文[16]は、現在ノードと目的ノード間のハミング距離を定義して従来手法を更に発展させて、到達度を高めたFRおよびFR2と名付けた2つのアルゴリズムを開発し、シミュレーション実験によりその有効性を評価した。

研究組織

研究代表者：伊藤秀男（千葉大学工学部情報画像工学科教授）

研究分担者：金子敬一（千葉大学工学部情報画像工学科講師）

（平成10年度，平成11年度）

大豆生田利章（千葉大学工学部情報画像工学科助手）

（平成10年度，平成11年度）

北神正人（千葉大学工学部情報画像工学科講師）

（平成12年度）

研究経費

平成10年度	2,400千円
平成11年度	700千円
平成12年度	800千円
<hr/>	
計	3,900千円

研究発表

- [1] Abderrahim Doumar and Hideo Ito : Defect and Fault Tolerance SRAM-Based FPGAs by Shifting the Configuration Data, IEICE Trans. Inf. & Syst., Vol.E83-D, No.5, pp.1104-1115, May 2000.
- [2] Abderrahim Doumar and Hideo Ito : Design of Switching Blocks Tolerating Defects/Faults in FPGA Interconnection Resources, IEEE International Symposium on Defect and Fault Tolerantce in VLSI Systems (DFT'2000), (Fujiyoshida, Yamanashi), p.134-p.142, Oct. 25-27(2000).
- [3] 金子智, 伊藤秀男 : FPGAの配線領域に対する欠陥救済, 電子情報通信学会, フォールトトレラントシステム研究会, FTS99-82, p.55-p.62 (2000年2月9日) .
- [4] 楊石, 伊藤秀男 : FPGAにおけるシリアルメモリの欠陥診断と回避可能設計, 電子情報通信学会, 機能集積情報システム研究会, FIIS2000, No.66, pp.1-8 (2000年3月3日) .
- [5] 長谷川哲, 三浦恭子, 大豆生田利章, 伊藤秀男 : 状態遷移図と組合せ回路部テストを利用した順序回路のテスト生成, 電子情報通信学会論文誌 (D-I) , Vol.J83-D-I, No.3, pp.339-347, 2000 (2000年3月) .
- [6] 大豆生田利章, 伊藤秀男 : 到達可能状態を考慮したパーシャルスキャンFF選択手法, 電子情報通信学会, フォールトトレラントシステム研究会, FTS98-92, p.155-p.161 (1998年9月22日) .
- [7] 小幡信夫, 大豆生田利章, 伊藤秀男 : グループに分割したパーシャルリセット方式, 機能集積情報システム研究会, FIIS99, No.47, pp.1-8 (1999年1月29日) .
- [8] 坂本貴幸, 大豆生田利章, 伊藤秀男 : 検査点挿入による順序回路のBIST手法, 機能集積情報システム研究会, FIIS99, No.48, pp.1-8 (1999年1月29日) .
- [9] Abderrahim Doumar, Toshiaki Ohmameuda, and Hideo Ito : Fast Testable Design for SRAM-Based FPGAs, IEICE Trans. Inf. & Syst., Vol.E83-D, No.5, pp.1116-1127, May 2000.
- [10] 石倉信太郎, 北神正人, 伊藤秀男 : メモリバンド幅を有効活用するマルチメディアプロセッサアーキテクチャ, 電子情報通信学会, 機能集積情報システム研究会, FIIS00, No.82, pp.1-8 (2001年3月9日) .
- [11] 太田敦士, 金子敬一, 伊藤秀男 : マルチプロセッサ型計算機における効率的なチェックポイント方式の提案, 電子情報通信学会, フォールトトレラントシステム研究会, FTS98-105, p.41-p.48 (1998年10月26日) .

- [12] 立里英志郎, 北神正人, 伊藤秀男: 並列計算機のキャッシュ利用チェックポイント取得, 電子情報通信学会, フォールトトレラントシステム研究会, FTS2000-77, p.9-p.16 (2000年12月15日).
- [13] 佐藤貴, 伊藤秀男: 汎用並列計算機の多重系高信頼動作, 電子情報通信学会, 機能集積情報システム研究会, FIIS2000, No.68, pp.1-8 (2000年3月3日).
- [14] 金子敬一, 伊藤秀男: “全到達可能性によるハイパキューブの耐故障経路選択算法”, 電子情報通信学会論文誌 (D-I), Vol.J81-D-I, No.8, pp.1024-1030, 1998 (1998年8月).
- [15] 金子敬一, 伊藤秀男: “ハイパキューブの耐故障経路選択算法の耐リンク故障への拡張”, 電子情報通信学会論文誌 (D-I), Vol.J82-D-I, No.3, pp.514-518, 1999 (1999年3月).
- [16] Keiichi Kaneko and Hideo Ito : Fault-Tolerant Routing Algorithms for Hypercube Interconnection Networks, IEICE Trans. Inf. & Syst., Vol.E84-D, No.1, pp.121-128, January 2001.