

**フェーズドアレー用高周波モジュールの
高品質化に関する研究**

2015 年 1 月

湯浅 健

(千葉大学審査学位論文)

**フェーズドアレー用高周波モジュールの
高品質化に関する研究**

2015 年 1 月

湯浅 健

1. 序論	1
1.1. 研究の背景.....	1
1.1.1. フェーズドアレーアンテナ概要.....	1
1.1.2. 高周波モジュール実装技術の変遷.....	2
1.2. 研究の位置付けと技術課題.....	6
1.2.1. 不要結合抑圧設計技術.....	6
1.2.2. 製造誤差耐性設計技術.....	7
1.2.3. 寄生成分補償設計技術.....	8
1.3. 研究目的と論文構成.....	10
参考文献.....	13
2. VIA ホール列による平行平板モード抑圧量の簡易評価式	16
2.1. まえがき.....	16
2.2. 定式化.....	18
2.2.1. 垂直入射.....	21
2.2.2. 斜め入射.....	25
2.3. 計算結果.....	27
2.4. 平行平板モード抑圧量の定量評価.....	33
2.5. むすび.....	35
参考文献.....	36
3. 製造誤差耐性用サイドグラウンド壁を有するブロードサイド結合線路型カプラ	37
3.1. まえがき.....	37
3.2. 構造.....	38
3.3. 製造誤差耐性向上検討結果.....	40
3.3.1. 基準カプラの設計結果、誤差影響検討結果.....	40

3.3.2.	基板厚誤差耐性向上検討結果	46
3.3.3.	サイドグラウンド壁を有するカプラの設計結果.....	52
3.4.	試作評価結果	57
3.5.	むすび	63
	参考文献.....	64
4.	信号線間交差部容量補償用近接グラウンドスルーホールを有する結合線路型カプラ	65
4.1.	まえがき	65
4.2.	構造.....	67
4.3.	等価回路と動作原理.....	69
4.4.	シミュレーション結果	76
4.4.1.	回路シミュレーション結果	76
4.4.2.	電磁界シミュレーション結果	79
4.5.	試作評価結果	84
4.6.	むすび	89
	参考文献.....	90
5.	抵抗膜長補償用段間容量素子を有する2段ウィルキンソン型電力分配器	92
5.1.	まえがき	92
5.2.	分配器構成	94
5.3.	等価回路と抵抗膜長補償方法	96
5.3.1.	偶奇モード等価回路.....	96
5.3.2.	リアクタンス成分補償方法	98
5.4.	設計例	101
5.4.1.	抵抗膜幅の設計	101

5.4.2.	等価回路による補償効果の検証.....	103
5.4.3.	偶奇モード励振による分配器構造設計.....	107
5.4.4.	分配器特性補償効果.....	109
5.4.5.	試作評価結果.....	111
5.5.	むすび.....	114
	参考文献.....	115
6.	抵抗値誤差を許容する多層基板内蔵ミリ波終端器.....	116
6.1.	まえがき.....	116
6.2.	構造.....	118
6.3.	回路の特長.....	120
6.4.	設計結果.....	126
6.5.	試作評価結果.....	130
6.6.	むすび.....	134
	参考文献.....	135
7.	結論.....	136
	研究業績一覧.....	139
	論文.....	139
	国際会議.....	140
	特許.....	140
	謝辞.....	141

1. 序論

1.1. 研究の背景

1.1.1. フェーズドアレーアンテナ概要

フェーズドアレーアンテナ（図 1-1）は、複数の素子アンテナに固有の励振位相を与えることが可能なアンテナ方式であり、送受信信号のビーム方向を電子的に走査可能な点が大きな特長である。その特長から、レーダシステムの高機能化[1.1][1.2]、通信システムの通信容量向上[1.3][1.4]、マイクロ波電力伝送システムへの適用[1.5]等に有用な方式であり、様々な開発ならびに実用化がなされている。

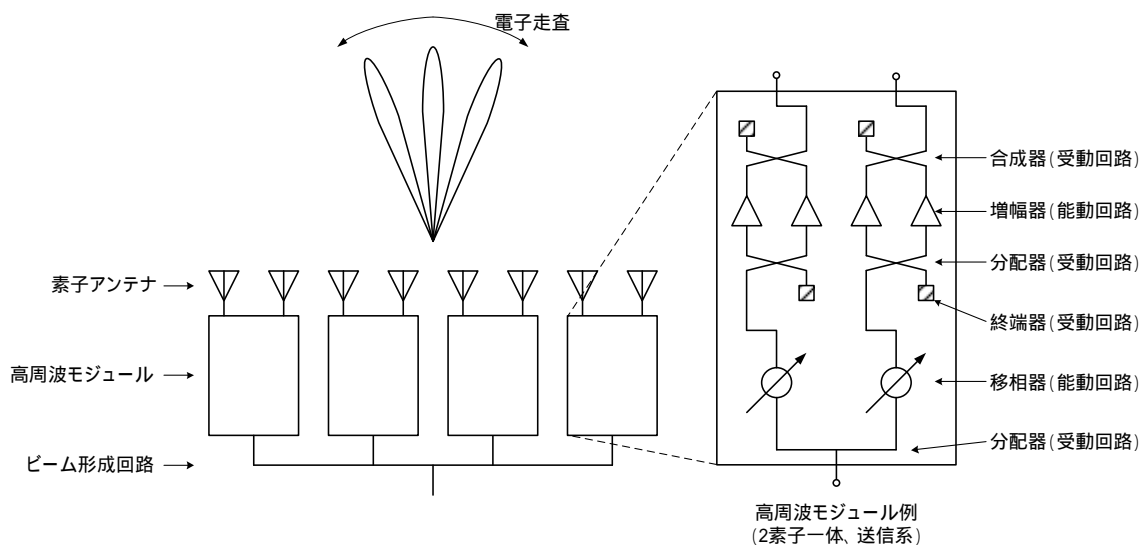


図 1-1 フェーズドアレーアンテナの構成例

フェーズドアレーアンテナは、図 1-1 に示すように、素子アンテナ、高周波送受信モジュール（以下、高周波モジュール）、ビーム形成回路にて構成される。高周波モジュールには、アンテナに給電する信号の位相を制御する機能が具備されており、位相を制御する移相器が含まれる。高周波モジュールの構成要素は能動回路、受動回路に大別でき、一般的な高周波モジュールにおいては、移相器および信号を増幅する増幅器が高

周波半導体を用いた能動回路で、増幅信号の分配合成用カプラならびに終端器、チャンネル間信号分配用の分配器、周波数選択用フィルタ等が誘電体基板を用いた受動回路でそれぞれ構成される。

フェーズドアレーアンテナでは、ビーム走査時にグレーティングロブが発生するのを避ける設計を行うため[1.6]、通常素子アンテナの素子間隔は1波長以下に設定される。素子アンテナの背面に配置される高周波モジュールは、上記素子間隔の構造的な制約を受けるため、幅方向は波長オーダーと狭く、奥行き方向に延びる縦長の構造になる傾向がある。奥行き方向の増大は、アンテナ装置の厚み増大、重量増加に関連する。フェーズドアレーアンテナを用いた各種システムにおいては、高性能化に加えて、小型軽量化、低価格化を同時に求められ、アンテナ装置の小型軽量化要求に対しては、高周波モジュールの小型化、高密度実装化が必要不可欠である。本背景から、フェーズドアレー用高周波モジュールにおいては、高密度実装化に向けた様々な技術開発が行われてきた。

1.1.2. 高周波モジュール実装技術の変遷

フェーズドアレー用高周波モジュールでは、能動回路に高周波半導体を用いることから、高周波半導体を保護するパッケージ構造がモジュール形態を決定する要素となる。このため、高周波半導体技術ならびにパッケージング技術の進歩とともに、高周波モジュールは高密度化の発展を遂げてきた（図 1-2）。高周波特性に優れる砒化ガリウム (GaAs: Gallium Arsenide)、窒化ガリウム (GaN: Gallium Nitride) に代表される化合物半導体は、デバイスの信頼性維持のため、一般に気密封止可能なパッケージが必要となる。

初期の高周波モジュールでは、周囲を金属壁で囲むメタルケースに能動回路、受動回路を封入し気密封止を実現する構造が一般に用いられてきた（図 1-2 左図） [1.7][1.8]。

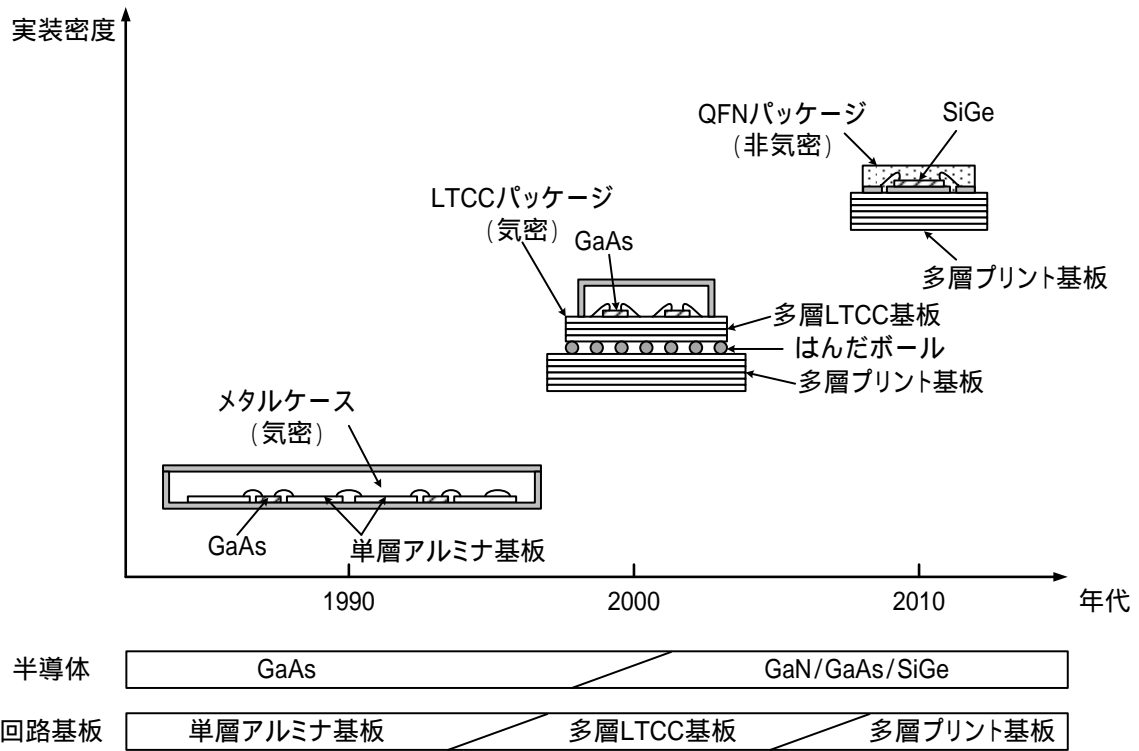
移相器、増幅器等の能動回路は GaAs 半導体チップにより構成し、周辺の受動回路、高周波信号配線、能動回路用の制御信号用配線は中継基板により構成される形態が一般的である。中継基板としては、高周波損失が小さくパターン精度の高い単層アルミナ基板が多用された。本実装構造では、能動回路、受動回路をモジュールの平面方向に配置せざるを得ないことから、実装面積が拡大し、実装密度向上に限界があった。

1990 年代になると、上記実装密度向上の手段として、気密封止と配線、受動回路内蔵が可能なセラミック多層パッケージの適用例が増えてきた(図 1-2 中図) [1.9][1.10]。中でも焼成温度が 900°C 程度とアルミナ基板に比べて低く [1.11]、内層導体に高周波損失の低い銀を使用できる低温焼成セラミック (LTCC: Low Temperature Co-fired Ceramics) パッケージが有望視され、フェーズドアレー用高周波モジュールへの適用が始まった [1.12][1.13][1.14]。LTCC パッケージは高周波性能を維持しつつ実装密度向上が可能であり、フェーズドアレー用高周波モジュールの主流パッケージ形態となった。受動回路の配置位置は従来の単層アルミナ基板から多層 LTCC 基板へと変遷していった。

2000 年代に入り、高周波半導体は高出力用途で GaN が、低出力用途では SiGe (Silicon Germanium) 等のシリコン系デバイスが台頭してきた。特に後者のシリコン系デバイスについては、気密封止の必要性が低く、パッケージ形態として LTCC パッケージを使用する必要性が薄れていった。シリコン系デバイス用パッケージ形態としては、表面実装に向けた QFN (Quad Flat Non-lead) パッケージや (図 1-2 右図) [1.15]、チップサイズ相当と小型化が可能となるウェハレベルパッケージ [1.16] 等、非気密のパッケージの適用が検討されている。この結果、受動回路の配置位置は従来の多層 LTCC 基板から多層プリント基板へと変遷していくこととなる。

上述の通り、高周波モジュールの受動回路配置位置に着目すると、アルミナ基板から LTCC 基板、プリント基板に変移していることがわかる。多層 LTCC 基板、多層プリ

プリント基板は単層アルミナ基板に比べて製造誤差の影響を受け易く、またパターン精度も低くなるため、高周波モジュールの機能を従来通り発揮するためには、多層 LTCC 基板、多層プリント基板特有の技術課題を解決する必要性が高まってきた。



GaAs: Gallium Arsenide
 LTCC: Low Temperature Co-fired Ceramic
 GaN: Gallium Nitride
 SiGe: Silicon Germanium
 QFN: Quad Flat Non-lead

図 1-2 高周波モジュール実装技術の推移

1.2. 研究の位置付けと技術課題

前節ではフェーズドアレー用高周波モジュールの高密度実装化の変遷について述べた。モジュール形態の変遷に伴い、高周波回路に用いられる基板が単層基板から多層基板へ、また基板材料としては従来のアルミナ基板に比べて製造誤差の影響を受け易い LTCC 基板、プリント基板に変移していく過程を説明した。本節では上記背景を踏まえ、本研究での位置付けに関わる従来技術の課題について述べる。本研究で対象とする技術は以下3点である。

- 多層基板内蔵回路の安定動作に寄与する「不要結合抑圧設計技術」
- 製造誤差の影響を受け易い多層基板回路の性能安定性に寄与する「製造誤差耐性設計技術」
- 製造精度低下に伴う高周波特性劣化回避に寄与する「寄生成分補償設計技術」

上記は、何れも高周波モジュールの性能安定化、高品質化に向けた技術である。以下に各技術の概要と解決すべき課題を述べる。

1.2.1. 不要結合抑圧設計技術

高周波モジュールでは、構成要素である能動回路、受動回路を単に接続しただけでは機能達成が不十分な場合が多く、実装状態において発生する各回路間の不要結合を考慮した設計がモジュール品質保証のために必要である。従来のメタルケース型モジュールにおいては、モジュールケースの寸法から固有のキャビティ共振周波数が決まり、共振周波数近傍では不要な結合が増大するため、共振周波数を上昇させるケース構造設計、または損失性材料である電波吸収体の装荷による不要結合吸収設計が必要となる。

高周波モジュールに多層基板が用いられるようになると、上記のキャビティ共振の問題に加えて、多層基板内部で生じる不要な平行平板モードによる結合が新たな問題として加わる。平行平板モードは、多層基板内に配置される複数のグラウンド導体間に電位差を生じることで発生するため、両者を同電位に保つ VIA ホール（またはスルーホール）の適用が有用である[1.17][1.18]。しかしながら、VIA ホールのピッチが波長オーダーとなると、VIA ホール間を透過する平行平板モードの量が増加するため、多層基板を用いた回路の安定動作のためには、適切なピッチの設計が必要である。

平行平板モード抑圧量を定量的に評価する方法として、電磁界シミュレーション結果から得られる VIA ホールのインダクタンス成分、キャパシタンス成分を用いた等価回路モデルを利用した解析方法が提案されている[1.19]。本方法では、VIA ホール特性を得るためにその都度電磁界シミュレーションを必要とするため、要求される抑圧量と VIA ホール配置のトレードオフを行うに際し、多大な計算時間を必要とする点が欠点となっており、より簡易的に平行平板モード抑圧量を算出する方法の実現が課題である。

1.2.2. 製造誤差耐性設計技術

高周波モジュールの高密度化変遷に伴い、回路形成基板は従来の単層アルミナ基板から多層 LTCC 基板、多層プリント基板にシフトしてきた。表 1-1 に各基板の標準的仕様例の比較を示す。導体パターン精度、基板厚誤差については、アルミナ基板、LTCC 基板、プリント基板と変移するに従って精度が低くなる。また、多層基板特有の製造誤差要因として、層間位置ずれ誤差が加わる。従って、従来のアルミナ基板で構成していた回路と同等以上の特性を得るためには、想定される製造誤差に対して耐性を有する回路構成が必要であり、回路レベルでの性能安定化、高品質化が必要不可欠である。

表 1-1 各基板の標準的仕様例

	単層アルミナ基板	多層 LTCC 基板	多層プリント基板
比誘電率	9.8~10	6~8	3~5
導体パターン精度	≥0.01mm	≥0.05~0.1mm	≥0.1~0.2mm
基板厚誤差	±5~10%	±10%	±10~20%
層間位置ずれ誤差	—	±0.05mm	±0.1mm

信号線導体を複数の層に形成する結合線路型カプラにおいては、信号線間の位置関係が性能変動に影響を及ぼすことから、多層基板特有の製造誤差である層間位置ずれ誤差や、基板厚誤差の影響を大きく受ける。これらの問題解決に向け、層間の位置ずれ誤差に対して耐性を有する結合線路型カプラ構成が提案されている[3.5][3.6]。しかしながら、これらのカプラは基板厚誤差に対しての対応が不十分であり、層間の位置ずれ誤差、基板厚誤差双方に有効な結合線路型カプラの実現が課題である。

LTCC 基板では、内層に抵抗膜を形成できることから、カプラのダミー終端に使用される終端器の形成が可能である。一方で、焼成時の抵抗膜の厚み制御は一般的に難しく、焼成後の抵抗膜は比較的大きいシート抵抗値誤差を生じ[1.22]、これが終端器特性の安定化を阻害する要因となる。上記同様、終端器に関しても製造誤差に対する耐性を強化する必要があり、抵抗値誤差を許容する構成の実現が課題である。

1.2.3. 寄生成分補償設計技術

誘電体基板を用いた高周波回路においては、信号線導体の分岐部、コーナ部に代表される不連続性を生じる箇所があり、高周波特性劣化の原因となる。これは、不連続部に発生する寄生成分が、周波数が高くなるにつれて分布定数回路として扱う必要性を生じ、

理想回路との乖離が起こることで特性劣化につながるためである。多層 LTCC 基板、多層プリント基板においては、上記分岐部、コーナ部に加え、層間の接続部、異なる層に形成された信号線導体間等、寄生成分の発生要因が単層アルミナ基板に比べて増加する。このため、高周波特性の安定化、品質向上のためには、寄生成分補償設計技術がより一層重要となる。

信号線導体を複数の層に形成する結合線路型カップラにおいては、信号線間交差部領域が発生する場合があります、本交差部領域に発生する寄生容量が高周波特性劣化の一要因となる。寄生容量低減には導体パターンの面積縮小が有効であるものの、表 1-1 に示す通り、LTCC 基板、プリント基板はアルミナ基板に比べてパターン精度が低く、微細なパターン形成を得意としない。このため、上記面積縮小以外でかつ、LTCC 基板、プリント基板の設計ルールで形成可能な寄生容量補償方法の実現が課題である。

出力端子間アイソレーションの確保が可能なウィルキンソン型電力分配器においては、アイソレーション抵抗を抵抗膜で構成することが可能であるが、抵抗膜長が波長に対して無視できなくなる高周波領域において、寄生成分に起因する特性劣化を生じる問題点がある。抵抗膜長の短縮には抵抗膜幅の微細化が有効であるものの、上記同様表 1-1 に示す通り LTCC 基板、プリント基板は微細なパターン形成は困難である。1 段のウィルキンソン型電力分配器においては、出力端子部からアイソレーション抵抗配置部の間に延長線路を設け、抵抗部で発生するリアクタンス成分を補償する回路構成が提案されている[1.23][1.24]。しかしながら、上記延長線路により補償される周波数帯域は設計中心周波数とその近傍に限られ、広帯域特性を得ることを目的とした多段のウィルキンソン型電力分配器においては、帯域端部の補償が不十分である。このため、抵抗膜幅の微細化以外の方法で、かつ多段ウィルキンソン型電力分配器に適用可能な寄生成分補償方法の実現が課題である。

1.3. 研究目的と論文構成

本研究では、前節で述べたフェーズドアレー用高周波モジュールの高品質化に関わる技術課題を解決し、高周波モジュールの高品質化に貢献することを研究目的としている。

図 1-3 に本論文の構成を示す。1 章は序論、2 章は多層基板回路を対象とした「不要結合抑圧設計技術」に関する研究、3 章と 4 章は結合線路利用回路を対象とした「製造誤差耐性設計技術」ならびに「寄生成分補償設計技術」に関する研究、5 章と 6 章は抵抗性素子利用回路を対象とした「製造誤差耐性設計技術」ならびに「寄生成分補償設計技術」に関する研究、7 章は結論となる。以下で各章の概要を述べる。

2 章では、「不要結合抑圧設計技術」を対象技術課題に据え、VIA ホール列による平行平板モード抑圧量の簡易評価式について述べる。この章では、モード整合法理論から導出される VIA ホール列による平行平板モード抑圧量の簡易評価式を提案する。提案する簡易評価式においては、VIA ホールの直径、ピッチ、VIA ホール列間の間隔を考慮することができ、また、VIA ホール列に対して斜め方向から入射する平行平板モードに対しても対応が可能となることを明らかにする。

3 章では、「製造誤差耐性設計技術」を対象技術課題に据え、製造誤差耐性用サイドグラウンド壁を有するブロードサイド結合線路型カップラについて述べる。この章では、多層基板において発生する層間の位置ずれ誤差と基板厚誤差双方に耐性を有するブロードサイド結合線路型カップラ構成を提案する。層間の位置ずれ誤差に関しては、信号線を斜め方向へシフトさせた結合線路を用い、かつ 2 つの結合線路を対称にタンデム接続した構成を採用し、基板厚誤差に関しては、結合線路部に近接サイドグラウンド壁を配置する構成の採用を提案する。提案するカップラの設計、試作評価結果より、その有効性を明らかにする。

4 章では、「製造誤差耐性設計技術」ならびに「寄生成分補償設計技術」を対象技術課題に据え、信号線間交差部容量補償用近接グラウンドスルーホールを有する結合線路

型カプラについて述べる。この章では、3 章において述べた結合線路型カプラに対し、高周波数帯で問題となる信号線間交差部容量を補償する構造を提案し、補償構造として信号線導体とグラウンド導体との容量を増加させる近接グラウンドスルーホールを設ける構成について提案する。本構成により追加される信号線導体－グラウンド導体間容量は、主に偶モード励振時等価回路へ作用し、奇モード励振等価回路で発生する信号線間容量の影響を補償する効果がある点を明らかにする。提案回路の構造および等価回路より、上記効果の原理について述べ、続いて設計結果、試作評価結果を示し、提案回路の有効性を明らかにする。

5 章では、「寄生成分補償設計技術」を対象技術課題に据え、抵抗膜長補償用段間容量素子を有する 2 段ウィルキンソン型電力分配器について述べる。この章では、抵抗膜を用いて構成する 2 段ウィルキンソン型分配器に適した抵抗膜長補償方法として、段間容量素子を設けた簡素な補償方法を提案する。偶奇モード励振時等価回路を用い、奇モード励振時においては、段間容量素子が低い抵抗値を実現する抵抗膜長を補償する回路として動作することを示し、これを実現するために必要な抵抗膜幅の設計方法を明らかにする。また、偶モード励振時においては、段間容量素子が高い抵抗値を実現する抵抗膜長を補償する回路として動作することを示す。提案回路の設計結果および実測結果より、同回路の有効性を明らかにする。

6 章では、「製造誤差耐性設計技術」を対象技術課題に据え、抵抗値誤差を許容する多層基板内蔵ミリ波終端器について述べる。この章では、ミリ波帯に適した終端器構成である先端開放終端器を対象とし、抵抗値誤差を許容するのに適した多層 LTCC 基板内蔵ミリ波終端器の構成について提案する。抵抗膜外部に分岐部を有し、分岐部から延びる長さの異なる 2 本の信号線導体を抵抗膜とオーバーラップする構造を採用することで、抵抗値誤差許容を実現できることを明らかにする。提案回路の有効性を設計、試作評価結果より明らかにする。

7章では、本論文の結論を述べ、本研究で得られた成果をまとめる。

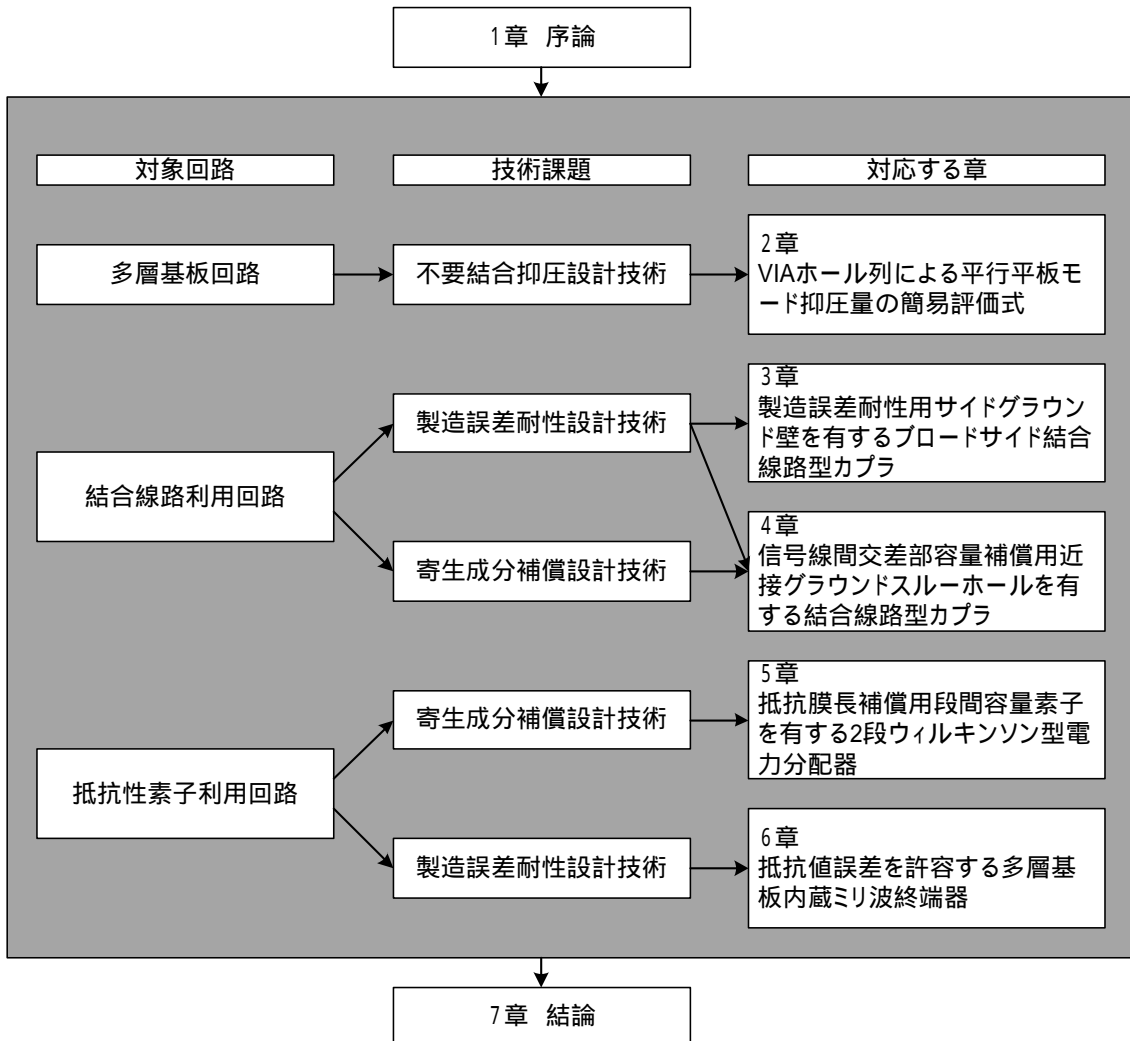


図 1-3 本論文の構成

参考文献

- [1.1] 佐藤晋介, 牛尾知雄, 水谷文彦, “フェーズドアレイ気象レーダの研究開発,” NICT NEWS 2013 年 1 月号, pp. 3-5, 2013
- [1.2] 井口岳仁, 大野新樹, 佐倉武志, 針生健一, 勘角幸弘, 鈴木新一, “ALOS-2 搭載 PALSAR-2 アンテナフライトモデルの開発,” 信学技報 AP2014-77, pp. 31-34, 2014.
- [1.3] N. Kojima, S. Kitao, K. Shiramatsu, M. Yajima, M. Shimada, and Y. Nakamura, “Development Results of a Proto Flight Model of the Ka-band Active Phased Array Antenna for WINDS,” 2006 European Conference on Antennas and Propagation (EuCAP), Nov. 2006.
- [1.4] 門脇直人, 鈴木龍太郎, “超高速インターネット衛星 (WINDS) 計画の概要,” 情報通信研究機構季報, Vol.53, No.4, pp. 3-8, 2007
- [1.5] 篠原真毅, 久田安正, JAXA SSPS WG4 チーム, “マイクロ波送電用フェーズドアレイの現状と課題,” 信学技報 SPS2006-01, pp. 1-6, 2006.
- [1.6] 電子情報通信学会知識ベース 4 群モバイル・無線 2 編アンテナ・伝搬 7 章 アレイアンテナ (http://www.ieice-hbkb.org/portal/doc_586.html)
- [1.7] D. N. McQuiddy, “Solid State Radar's Path To GaAs,” 1982 IEEE MTTs Int. Microwave Symp. Dig., pp. 176-178, June 1982.
- [1.8] C. Andricos, “C-band T/R module for high performance phased array radars,” 1991 IEEE Radar Conference Dig., pp. 67-70, Mar. 1991.
- [1.9] C. Peignet, Y. Mancuso, and J. C. Resneau, “T/R modules for phased-array antennas,” 1991 IEEE Radar Conference Dig., pp. 63-66, Mar. 1991.
- [1.10] T. Sakai, N. Takeuchi, A. Mizobuchi, Y. Iyama, and N. Tanino, “Ultra small size X band MMIC T/R module for active phased array,” 1992 IEEE MTTs Int.

Microwave Symp. Dig., pp. 1531-1534, June 1992.

[1.11] LTCC の基礎知識

(<http://www.murata.co.jp/products/ceramic/basic/ltcc/outline.html>)

[1.12] B. A. Kopp, and T. A. Axness, "Multi-chip receive module for a wide-band X-band dual-beam phased array communication antenna," 1996 IEEE MTTT Int. Microwave Symp. Dig., pp. 1597-1600, June 1996.

[1.13] D. Sturzebecher, J. Leen, R. Cadotte, J. Demarco, T. D. Ni, T. Higgins, M. Popick, M. Cummings, B. Van Meerbeke, T. Provencher, B. Kimble, K. Shalkhauser, and R. Simons, "20 GHz LTCC phased array module," 1996 IEEE MTTT Int. Microwave Symp. Dig., pp. 991-994, June 1996.

[1.14] K. Fujii, Y. Hara, Y. Shibuya, T. Sakai, and Y. Takano, "A highly integrated T/R module for active phased array antennas," 1998 IEEE Radio Frequency Integrated Circuits (RFIC) Symp. Dig., pp. 77-80, June 1998.

[1.15] D. Shin, C. Y. Kim, D. Kang, and G. M. Rebeiz, "A 4-Element X-Band CMOS Phased-Array RFIC in a QFN Package," 2012 IEEE MTTT Int. Microwave Symp. Dig., pp. 1-3, June 2012.

[1.16] H. Knapp, M. Treml, A. Schinko, E. Kolmhofer, S. Matzinger, G. Strasser, R. Lachner, L. Maurer, and J. Minichshofer, "Three-Channel 77 GHz Automotive Radar Transmitter in Plastic Package," 2012 IEEE Radio Frequency Integrated Circuits (RFIC) Symp. Dig., pp. 119-122, June 2012.

[1.17] G. Ponchak, D. Chen, J. Yook, and L. Katehi, "Characterization of Plated Via Hole Fences for Isolation Between Stripline Circuits in LTCC Packages," 1998 IEEE MTTT Int. Microwave Symp. Dig., pp. 1831-1834, June 1998.

[1.18] J. Gipprich, and D. Stevens, "A New Via Fence Structure for Crosstalk

- Reduction in High Density Stripline Packages,” 2001 IEEE MTT-S Int. Microwave Symp. Dig., pp. 1719-1722, May 2001.
- [1.19] T. Tischler, M. Rudolph, A. Kilk, and W. Heinrich, ”Via Arrays for Grounding in Multilayer Packaging – Frequency Limits and Design Rules,” 2003 IEEE MTT-S Int. Microwave Symp. Dig., pp. 1147-1150, June 2003.
- [1.20] T. P. Budka, and R. A. Flynt, “Alignment tolerant stripline directional couplers,” 1997 IEEE MTT-S Int. Microwave Symp. Dig., vol. 2, pp. 773-776, June 1997.
- [1.21] A. Sawicki, and K. Sachse, “A novel directional coupler for PCB and LTCC applications,” 2002 IEEE MTT-S Int. Microwave Symp. Dig., vol. 3, pp. 2225-2228, June 2002.
- [1.22] G. Wang, F. Barlow, and A. Elshabini, “Modeling and control of resistance tolerance for embedded resistors in LTCC,” Proc. 52nd Electron. Comp. Technol. Conf., pp. 516-525, May 2002.
- [1.23] D. Antsos, R. Crist, and L. Sukanto, “A novel Wilkinson power divider with predictable performance at K and Ka-band,” 1994 IEEE International Microwave Symposium, pp. 907-910, May 1994.
- [1.24] Y. Tahara, H. Oh-hashii, and M. Miyazaki, “A novel three-port power divider with compensation networks for non-ideal isolation resistor,” IEICE Trans. Electron., vol.E86-C, no.2, pp 139-143, Feb. 2003.

2. VIA ホール列による平行平板モード抑圧量の簡易評価式

2.1. まえがき

高周波モジュールの高密度実装化、小型化要求に対しては、多層セラミックパッケージ内層や、多層プリント基板内層への配線や受動回路の内蔵化が有効であり、様々な高周波モジュールへの適用が報告されている[2.1][2.2]。これら多層基板内層に高周波信号を伝送させる場合、層間接続に代表される不連続部において複数の層に配置されるグラウンド導体間に電位差を生じる不要な平行平板モードが発生する。不要な平行平板モードは隣接回路への不要結合、信号伝送特性の劣化等様々な問題を生じる原因となり、適切に抑圧する設計が必須となる。

平行平板モード抑圧には、多層基板内に配置される複数のグラウンド導体間を短絡する VIA ホール列またはスルーホール列(以下 VIA ホールで統一)が使用される[2.3][2.4]。平板グラウンド導体と VIA ホールで囲まれる領域は、ドミナントモードに対するカットオフ周波数を有する導波管とみなすことができる。従って、VIA ホール列のピッチが $1/2$ 波長以下とすることで伝搬モードを抑止でき、不要な平行平板モードの抑圧が可能となる。しかしながら、多層基板内層を利用する受動回路の設計においては、上記平行平板モード抑圧効果と VIA ホール列配置との関係について定量的な評価を行うことが重要である。抑圧量評価の方法として、電磁界シミュレーション結果から得られる VIA ホールのインダクタンス成分、キャパシタンス成分を用いた等価回路モデルを利用した解析方法が提案されている[2.5]。本方法では、VIA ホール特性を得るためにその都度電磁界シミュレーションを必要とするため、要求される抑圧量と VIA ホール配置のトレードオフを行うに際し、多大な計算時間を必要とする点が欠点となっている。

本章では、モード整合法理論から導出される VIA ホール列による平行平板モード抑圧量の簡易評価式について述べる。提案する簡易評価式においては、VIA ホールの直径、ピッチ、VIA ホール列間の間隔を考慮することができ、また、VIA ホール列に対して斜め方向から入射する平行平板モードに対しても対応が可能となる。本簡易評価式を使用することにより、要求される抑圧量に対する最適な VIA ホール配置の設計が容易となる。

2.2. 定式化

図 2-1 に、2 枚のグラウンド導体に挟まれる誘電体基板内に配置される VIA ホール列の配置図を示す。図 2-1 において、半径 r の VIA ホールが x 軸方向にピッチ d_x で配置され、VIA ホール列を形成する。また、VIA ホール列は z 軸方向に $d_{z1}, d_{z2}, \dots, d_{z(n-1)}$ のピッチで配列される。ここで、誘電体基板内において平行平板モードが z 軸に対して θ の角度で入射する場合を考える。平行平板モード抑圧量を計算するために、図 2-1 に示す単位領域に対してモード整合法[2.6]を適用する。本単位領域を解析領域と定義するため、ここでは x 軸方向のピッチは一様とする。図 2-1 に示した単位領域に対する等価解析モデルを図 2-2 に示す。解析モデルの簡易化のため、円柱状の VIA ホールを正方形柱状に近似した。ここで、正方形の辺 d は、正方形の内接円半径と外接円半径の平均が VIA ホール半径に一致するように選び、下記式で与えられる。

$$d = \frac{2}{1 + \sqrt{2}} 2r \quad (2.1)$$

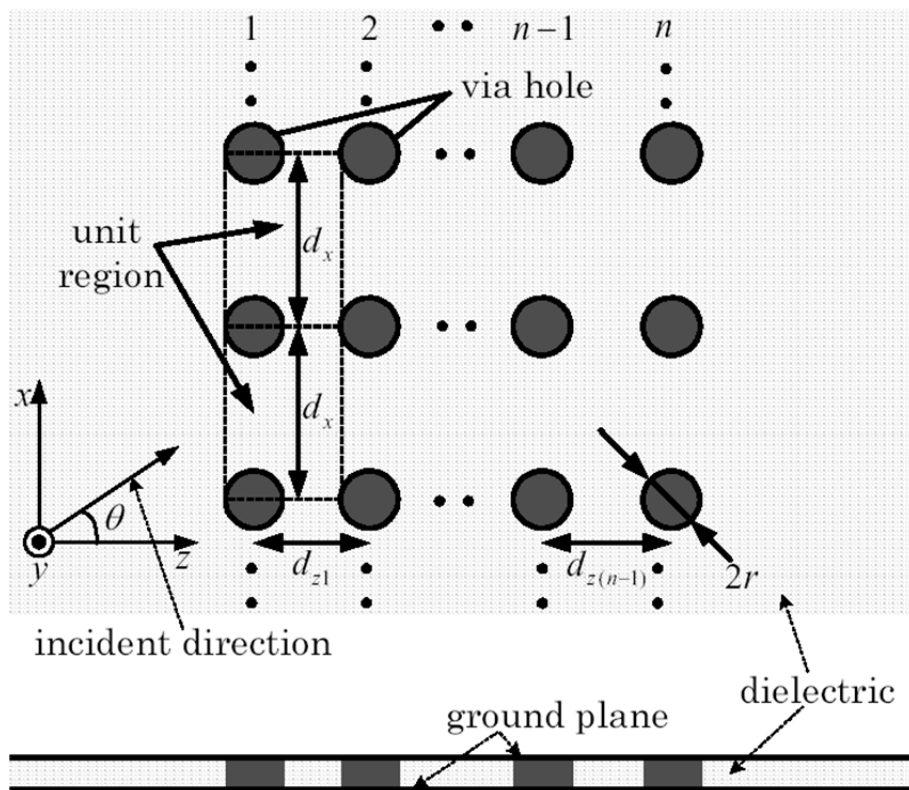


図 2-1 2枚のグラウンド導体に挟まれる誘電体基板内に配置されるVIAホール列

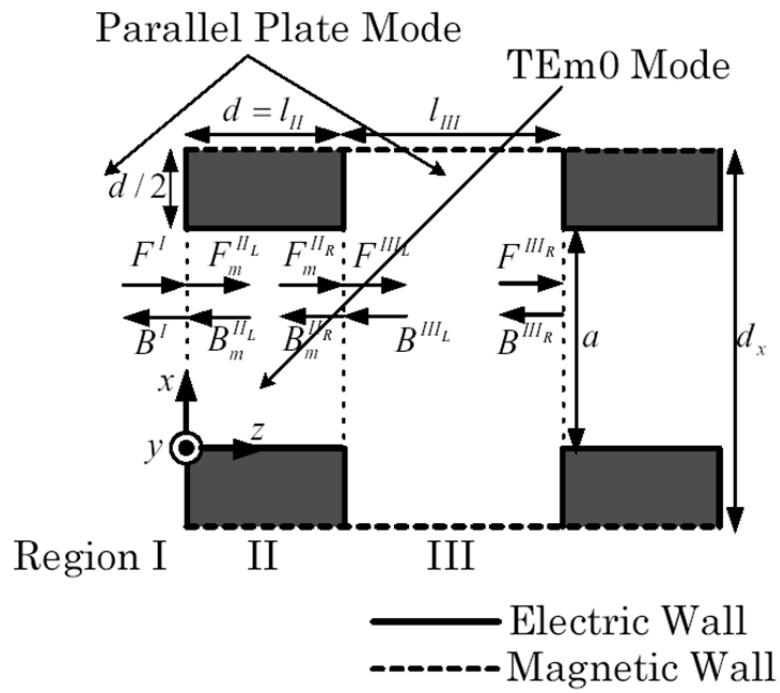


図 2-2 単位領域の解析モデル

2.2.1. 垂直入射

VIA ホール列に対して平行平板モードが垂直に入射する際、つまり $\theta = 0$ の場合、図 2-2 を用い、H 面不連続の導波管解析と同様な解析手法が適用可能である[2.6][2.7]。通常の導波管解析と異なる点としては、領域 I 領域 III が電気壁で囲まれていない点であり、本領域においては、平行平板モードを定義している。一方、領域 II に対しては、電気壁で囲まれる領域であり、誘電体基板の y 軸方向寸法、つまり誘電体基板厚が等価的な VIA 間隔 a に比べて小さいと仮定し、 y 軸方向に電界を有する TE_{m0} モードを定義している。

領域 I、領域 II の境界面 xy 平面上での電界および磁界成分は、領域 I においては次式で与えられ、

$$\begin{aligned} E_y^I &= G^I (F^I e^{-jk^I z} + B^I e^{+jk^I z}) \\ H_x^I &= -G^I Y^I (F^I e^{-jk^I z} - B^I e^{+jk^I z}) \end{aligned} \quad (2.2)$$

領域 II においては次式で与えられる。

$$\begin{aligned} E_y^{II} &= \sum_{m=1}^M G_m^{II} \sin\left(\frac{m\pi x}{a}\right) (F_m^{II} e^{-jk_{zm}^{II} z} + B_m^{II} e^{+jk_{zm}^{II} z}) \\ H_x^{II} &= -\sum_{m=1}^M G_m^{II} Y_m^{II} \sin\left(\frac{m\pi x}{a}\right) (F_m^{II} e^{-jk_{zm}^{II} z} - B_m^{II} e^{+jk_{zm}^{II} z}) \end{aligned} \quad (2.3)$$

ここで、 F^I, F_m^{II} は z 軸正方向に進む波の振幅であり、 B^I, B_m^{II} は z 軸負方向に進む波の振幅である。 k^I, k_{zm}^{II} は各領域の伝搬定数を、 Y^I, Y_m^{II} は各領域の波動アドミタンスをそれぞれ示す。領域 II におけるモードは TE_{m0} モードであり、考慮するモード数を M とした。

$G^I, G_m^{II_L}$ は正規化係数であり、次式で与えられる。

$$G^I = \sqrt{2} \sqrt{\frac{\omega\mu_0}{d_x k^I}}, G_m^{II_L} = 2 \sqrt{\frac{\omega\mu_0}{a k_{zm}^{II_L}}} \quad (2.4)$$

領域 I、領域 II の境界面 ($z = 0$) において、電界、磁界の接線成分連続性を満足する必要があり、式(2.2)、(2.3)より次式が得られる。

$$G^I(F^I + B^I) = \sum_{m=1}^M G_m^{II_L} \sin\left(\frac{m\pi x}{a}\right) (F_m^{II_L} + B_m^{II_L}) \quad (2.5)$$

$$G^I Y^I(F^I - B^I) = \sum_{m=1}^M G_m^{II_L} Y_m^{II_L} \sin\left(\frac{m\pi x}{a}\right) (F_m^{II_L} - B_m^{II_L})$$

式(2.4)、(2.5)に対して正弦関数の直交性を適用すると、次式の整合条件が導出される。

$$F^I + B^I = \sum_{m=1}^M (L_E)_{1m} (F_m^{II_L} + B_m^{II_L})$$

$$(L_H)_{m1} (F^I - B^I) = (F_m^{II_L} - B_m^{II_L}) \quad (2.6)$$

$$(L_E)_{1m} = (L_H)_{m1} = \begin{cases} \sqrt{2} \sqrt{\frac{a k^I}{d_x k_{zm}^{II_L}}}, & m: \text{odd} \\ 0, & m: \text{even} \end{cases}$$

つまり、行列形式で表現すると次式となる。

$$\begin{aligned}
\begin{pmatrix} F^I \\ B^I \end{pmatrix} &= T_1 \begin{pmatrix} F_m^{II_L} \\ B_m^{II_L} \end{pmatrix} = \begin{pmatrix} t_{m+} & t_{m-} \\ t_{m-} & t_{m+} \end{pmatrix} \begin{pmatrix} F_m^{II_L} \\ B_m^{II_L} \end{pmatrix}, \\
t_{m+} &= (ML_{Em} + L_{Hm}^{-1})/(2M) \\
t_{m-} &= (ML_{Em} - L_{Hm}^{-1})/(2M)
\end{aligned} \tag{2.7}$$

ここで、 T_1 は領域 I と領域 II の境界面における不連続性を表現する伝送行列である。領域 II と領域 III の境界面における不連続性を表現する伝送行列 T_3 、領域 II と領域 III の伝搬特性を表現する伝送行列 T_2, T_4 とすると、これらの行列は次式で与えられる。

$$\begin{aligned}
T_2 &= \begin{pmatrix} \text{Diag}\{e^{-jk_{zm}^{II}}\} & 0 \\ 0 & \text{Diag}\{e^{-jk_{zm}^{II}}\} \end{pmatrix}, \\
T_3 &= T_1^{-1} = \begin{pmatrix} t_{m+} & -t_{m-} \\ -t_{m-} & t_{m+} \end{pmatrix}, \\
T_4 &= \begin{pmatrix} e^{-jk^l l_{III}} & 0 \\ 0 & e^{jk^l l_{III}} \end{pmatrix}
\end{aligned} \tag{2.8}$$

単位領域に対応する行列 T_u は上記 4 つの行列の積 $T_1 T_2 T_3 T_4$ で表現される。従って、単位領域全体の透過係数、つまり、VIA ホール列による平行平板モードの抑圧量 S_{u21} は次式のように計算することができる。

$$\begin{aligned}
S_{u21} &= (T_{u11})^{-1} \\
&= \left\{ \sum_{m=1}^M \left(t_{m+}^2 e^{-j(k_{zm}^{II} l_{II} + k^l l_{III})} - t_{m-}^2 e^{+j(k_{zm}^{II} l_{II} - k^l l_{III})} \right) \right\}^{-1}
\end{aligned} \tag{2.9}$$

上記平行平板モード抑圧量簡易評価式の導出においては、領域 I、領域 III において考慮するモードを平行平板モード単一モードに簡略化している。このため、通常のモード

整合法において必要となる逆行列の数値計算を不要となり、抑圧量算出の簡易化を図ることができる。

2.2.2. 斜め入射

VIA ホール列に対して平行平板モードが斜め方向に入射する際、つまり $0 < \theta < 90[\text{deg.}]$ の場合、平行平板モード抑圧量の算出には、垂直入射時に求めた式に適切な係数を導入することにより拡張可能である。前述の領域 I、領域 II の境界面では、電界、磁界の接線成分連続性を満足する必要がある。図 2-3 に示すように、電界 E_0 については斜め入射時でも不変であるが、磁界 H_0 の接線成分はその振幅の $\cos \theta$ 倍になる。そのため、1 列分を透過する平行平板モードの振幅は、垂直入射時に求めた抑圧量の $\cos \theta$ 倍になり、 $S_{21W} \cos \theta$ と表現することができる。

また、VIA ホール列を透過した平行平板モードは、図 2-3 に示すように位相一定面を形成し、入射波と同一方向へ伝搬する。従って、次の VIA ホール列を透過する平行平板モードの振幅についても、 $\cos \theta$ を乗じる必要がある。結果として、 z 軸に対して角度 θ の方向から入射し、 n 列の VIA ホール列を透過する平行平板モードの振幅は次式で表現することができる。

$$S_{21}^{\theta} = S_{21}^{\theta=0} \cos^n \theta \quad (2.10)$$

ここで、 $S_{21}^{\theta=0}$ は、 n 列の VIA ホール列に垂直に入射する平行平板モードの抑圧量である。

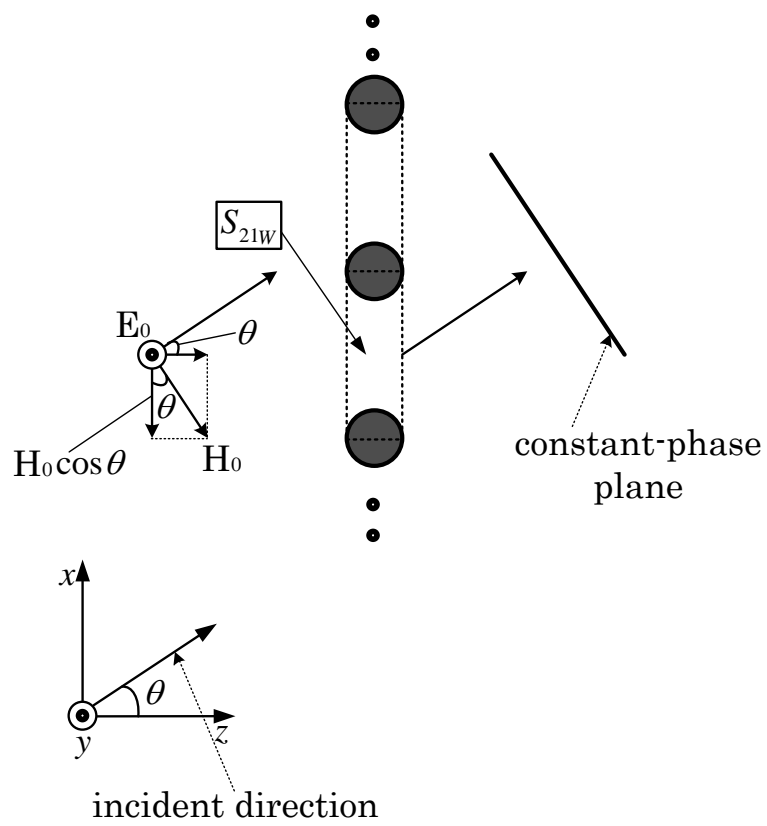


図 2-3 平行平板モードの斜め入射時

2.3. 計算結果

導出した簡易評価式を用いて計算した垂直入射時の平行平板モード抑圧量計算結果を図 2-4 に示す。図 2-4 には、比較対象として、Ansoft HFSS を用いた電磁界シミュレーション結果を併せて示す。図 2-4 は、VIA ホール列数 n が $n = 1, 2, 3$ それぞれの場合に対する計算結果であり、線で簡易評価式を用いた結果を、点で電磁界シミュレーションによる結果をそれぞれ示している。

計算時の条件として、ピッチ $d_x = d_{z1} = \dots = d_{z(n-1)} = 0.7\text{mm}$ 、VIA ホール半径 $r = 0.1\text{mm}$ 、誘電体の比誘電率 $\epsilon_r = 7$ 、領域 II において考慮するモード数を 5 モードとした。図 2-4 の横軸は、次式で表される領域 II おける TE_{10} モードに対する遮断周波数 f_c で規格化している。

$$f_c = \frac{c}{2\sqrt{\epsilon_r}(d_x - d)} \approx 105[\text{GHz}] \quad (2.11)$$

ここで、 c は真空中の光速である。提案の簡易評価式においては、VIA ホールの断面構造は等価的な正方形で近似している一方、電磁界シミュレーションにおいては、断面構造は円形である。

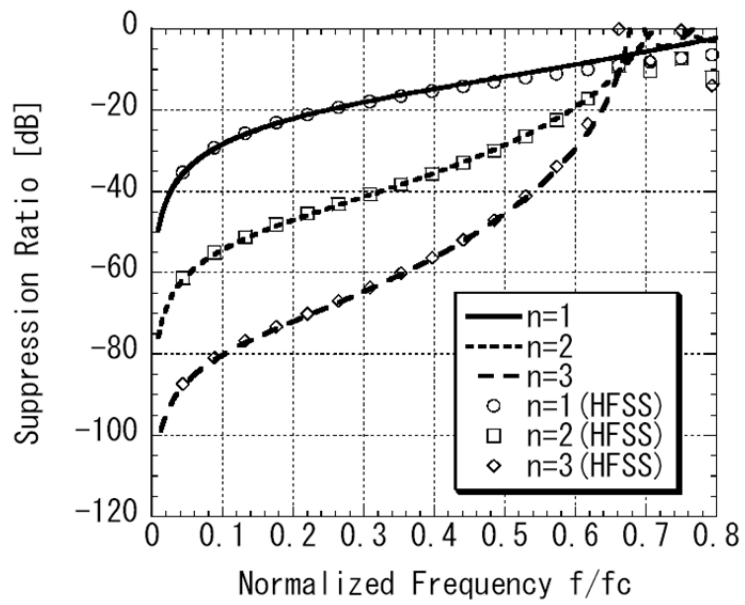


図 2-4 垂直入射時の平行平板モード抑圧量計算結果

(線：簡易評価式、点：電磁界シミュレーション結果)

図 2-4 より、 $n = 2$ 以上の条件において、規格化周波数 $0.65f_c$ 付近に共振現象が観測される。これは、4 つの VIA ホールで囲まれるキャビティ領域において発生する共振現象によるものである。領域 II において数モードの高次モードを考慮することで、簡易評価式においても上記共振現象を表現できることが確認できる。簡易評価式による計算結果と電磁界シミュレーション結果は $f < 0.7f_c$ の周波数範囲において良好に一致している。実際の設計においては、VIA ホール列は共振現象が起きないようにピッチを狭めて設計するため、上記 $f < 0.7f_c$ は実運用上十分な周波数レンジと判断できる。さらに、図 2-4 に示した結果から、式(2.1)に示した断面構造近似式が有効であることが確認できた。

図 2-5 に、平行平板モード抑圧量と VIA ホール直径との関係についての計算結果を示す。図 2-5 においては、線で簡易評価式を用いた結果を、点で電磁界シミュレーションによる結果をそれぞれ示している。計算条件は、計算周波数 $f = 20$ [GHz]、VIA ホールピッチ $p = d_x = d_{z1} = 0.7$ mm、誘電体の比誘電率 $\epsilon_r = 7$ 、入射角 $\theta = 0$ [deg.]、VIA ホール列数 $n = 1, 2$ とした。図 2-5 の横軸は、VIA ホールピッチで規格化された規格化直径 $2r/p$ であり、 $2r/p = 1$ は隣り合う VIA ホールが接触することを意味することから、規格化直径の範囲は $0 < 2r/p < 1$ となる。図 2-5 に示した結果より、 $2r/p \leq 0.7$ の範囲において、簡易評価式による結果は電磁界シミュレーション結果と良く一致し、有効であると判断できる。一方、 $2r/p > 0.7$ においては、両者の相違が顕著となることがわかる。規格化直径 $2r/p$ が大きい領域においては、隣接する VIA ホールとの間隔が狭くなり、式(2.1)の近似精度が低下するため、上記差異が生じるものと考えられる。通常、 $2r/p > 0.7$ の範囲は、VIA ホール間隔が近接し過ぎることから製造が困難であり、簡易評価式が有効である $2r/p \leq 0.7$ の範囲は、実際の基板設計時において有用な範囲である。

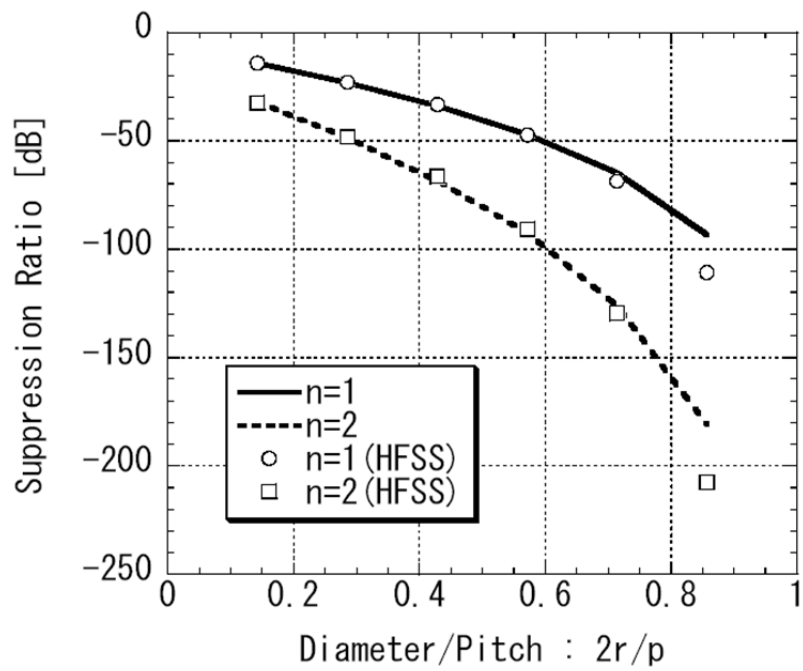


図 2-5 平行平板モード抑圧量と VIA ホール半径との関係
 (線：簡易評価式、点：電磁界シミュレーション結果)

図 2-6 に、斜め入射時の平行平板モード抑圧量計算結果を示す。図 2-6 には、入射角を $\theta = 30, 45, 60[\text{deg.}]$ とした場合の計算結果を示しており、他の条件は図 2-4 と同一である。 $\theta = 30, 45[\text{deg.}]$ に対しては、簡易評価式による計算結果と電磁界シミュレーション結果は $f < 0.6f_c$ の周波数範囲において良好に一致している。一方、 $\theta = 60[\text{deg.}]$ の場合、両者の相違が大きくなることがわかる。斜め入射時には、VIA ホール列間を伝搬する平行平板モードの経路が 1 経路と仮定したうえで、垂直入射時の簡易評価式を拡張している。しかしながら、実際の伝搬においては、複数の経路を伝搬し、入射角が大きくなるにつれて上記影響が無視できなくなるため、電磁界シミュレーションとの差異が大きくなると考えられる。結論として、入射角が $\theta \leq 45[\text{deg.}]$ と小さい範囲、VIA ホールピッチ $2r/p \leq 0.7$ の実設計上有用な範囲において、提案する簡易評価式が有効であると言える。

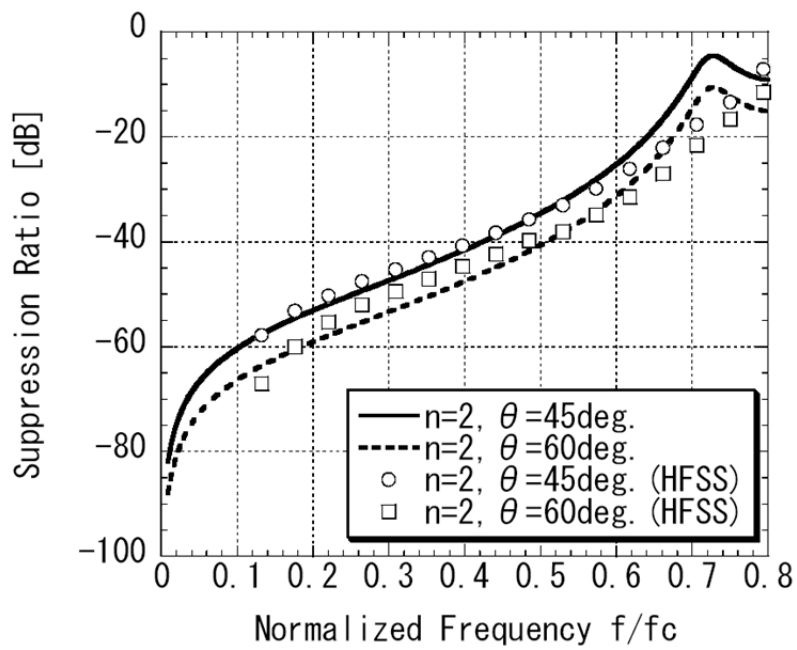
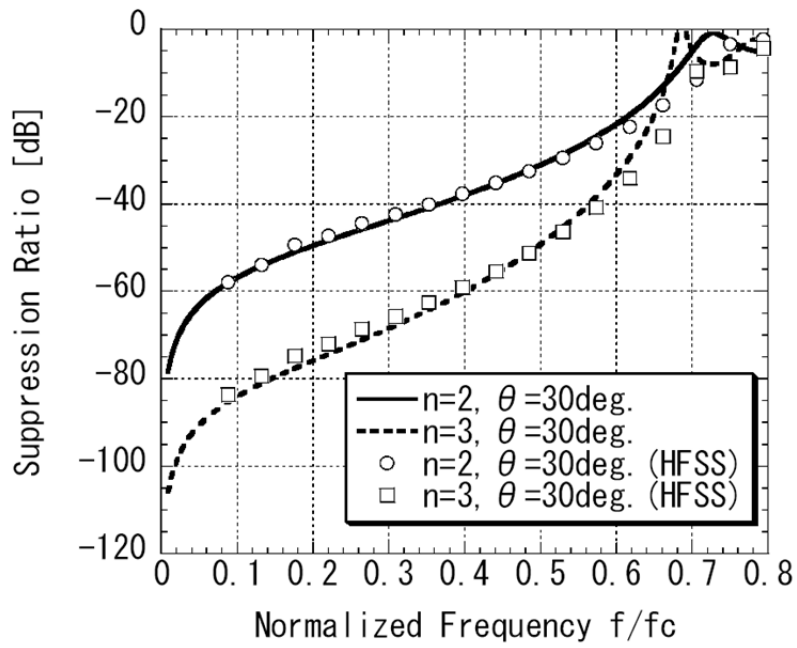


図 2-6 斜め入射時の平行平板モード抑圧量計算結果
(線：簡易評価式、点：電磁界シミュレーション結果)

2.4. 平行平板モード抑圧量の定量評価

多層基板内での不要結合を抑圧し、回路を安定動作させるためには、平行平板モード抑圧量の定量的評価を行ったうえでVIAホール列の配置を設計することが重要である。提案する簡易評価式を用いることにより、VIAホール列の各パラメータに対する平行平板モード抑圧量の定量的評価を容易に行うことができる。各パラメータに対して個別に計算を必要とする電磁界シミュレーションでは計算時間を多く必要とするが、簡易評価式では計算が簡略化されるため、複数パラメータの組み合わせに対する評価を行う上で非常に効果的である。一例として、図 2-7 に VIA ホールパラメータと抑圧量の関係を示す設計チャートを示す。ここで、VIA ホールパラメータは、列数 n と VIA ホールピッチ p ($p = d_x = d_{z1} = \dots = d_{z(n-1)}$) である。また、VIA ホール半径は $r = 0.1\text{mm}$ 、計算周波数 $f = 20[\text{GHz}]$ 、入射角は $\theta = 0[\text{deg.}]$ である。本設計チャートにおいて、点 A ($n = 3, p = 0.7\text{mm}$) と点 B ($n = 4, p = 0.9\text{mm}$) は、両者とも同程度のアイソレーション量 -70dB を確保できることがわかる。一方で、点 B は点 A に対して単位長さ当たりの必要 VIA ホール量が多く必要であることがわかる。多層基板を用いた高周波回路の小型化を図るうえで、上記のような定量評価による最適 VIA ホール配置検討は非常に重要であり、提案する簡易評価式を用いた設計は上記設計において有用であることが確認できる。

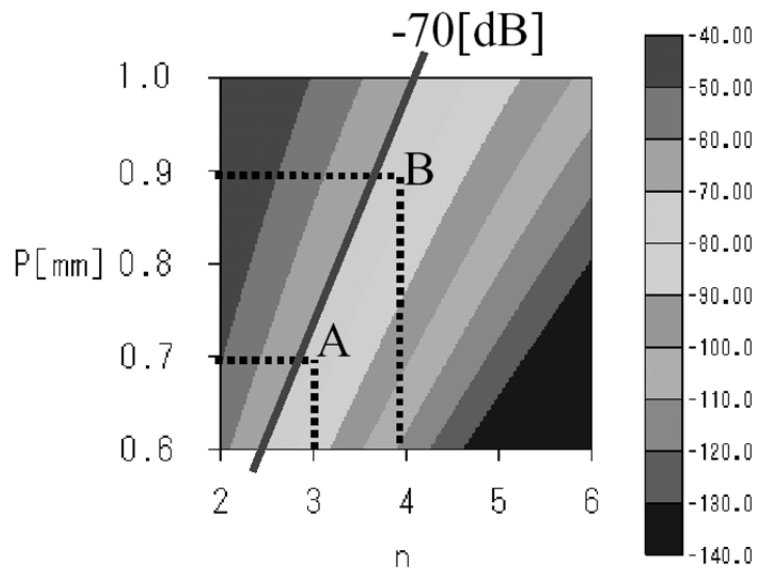


図 2-7 ピッチ p 、列数 n の組み合わせに対応する抑圧量設計チャート

2.5. むすび

VIA ホール列による平行平板モード抑圧量の簡易評価式をモード整合法理論から導出し、電磁界シミュレーション結果との比較からその有効性について示した。VIA ホール列に対して垂直方向へ入射する場合について定式化を行い、斜め入射時に拡張する方法を提案した。提案した簡易評価式は、複雑な数値計算を必要とせず、複数の VIA ホールパラメータの組み合わせに対する平行平板モード抑圧量を容易に計算できる。本簡易評価式を用いた高周波回路の設計は、多層基板内の最適な VIA ホール配置の検討に有効であり、多層基板を用いた高周波回路の小型化設計に対して非常に有用である。

参考文献

- [2.1] C.-H. Lee, S. Chakraborty, A. Sutono, S. Yoo, D. Heo, and J. Laskar, "Broadband highly integrated LTCC front-end module for IEEE 802.11a WLAN applications," 2002 IEEE MTT-S Int. Microwave Symp. Dig., pp. 1045-1048, June 2002.
- [2.2] C.-H. Lee, A. Sutono, H. Sangwoo, L. Kyutae S. Pinel, E. M. Tentzeris, and J. Laskar, "A compact LTCC-based Kuband transmitter module," IEEE Trans. Adv. Packag., vol.25, no.3, pp.374-384, Aug. 2002.
- [2.3] G. Ponchak, D. Chen, J. Yook, and L. Katehi, "Characterization of Plated Via Hole Fences for Isolation Between Stripline Circuits in LTCC Packages," 1998 IEEE MTT-S Int. Microwave Symp. Dig., pp. 1831-1834, June 1998.
- [2.4] J. Gipprich, and D. Stevens, "A New Via Fence Structure for Crosstalk Reduction in High Density Stripline Packages," 2001 IEEE MTT-S Int. Microwave Symp. Dig., pp. 1719-1722, May 2001.
- [2.5] T. Tischler, M. Rudolph, A. Kilk, and W. Heinrich, "Via Arrays for Grounding in Multilayer Packaging – Frequency Limits and Design Rules," 2003 IEEE MTT-S Int. Microwave Symp. Dig., pp. 1147-1150, June 2003.
- [2.6] J. Uher, J. Bornemann, U. Rosenberg, ed., Waveguide Components for Antenna Feed Systems: Theory and CAD, Artech House, 1993.
- [2.7] N. Marcuvitz, ed., Waveguide Handbook, McGraw Hill, 1951.

3. 製造誤差耐性用サイドグラウンド壁を有する ブロードサイド結合線路型カプラ

3.1. まえがき

高周波半導体チップを気密封止可能でかつ、高周波受動回路を基板内層に配置することが可能な多層セラミックパッケージの利用は、高周波モジュールの高密度実装化、小型化要求に対して有効であり、様々な高周波モジュールに対して適用されている[3.1][3.2][3.3]。

多層基板内層に配置する高周波受動回路に対しては、外部からの性能調整等が困難であることから、各種製造誤差に対する耐性を持たせた設計、構造検討が重要である。異なる層に信号線導体を配置するブロードサイド結合線路型カプラにおいては、層間の位置ずれ誤差[3.4]と基板厚誤差が結合量の振幅特性に影響を与える主要な製造誤差となる。層間の位置ずれ誤差に対して耐性を有する結合線路型カプラ構成が複数提案されているものの[3.5][3.6]、これらは基板厚誤差に対しての対応が不十分である。

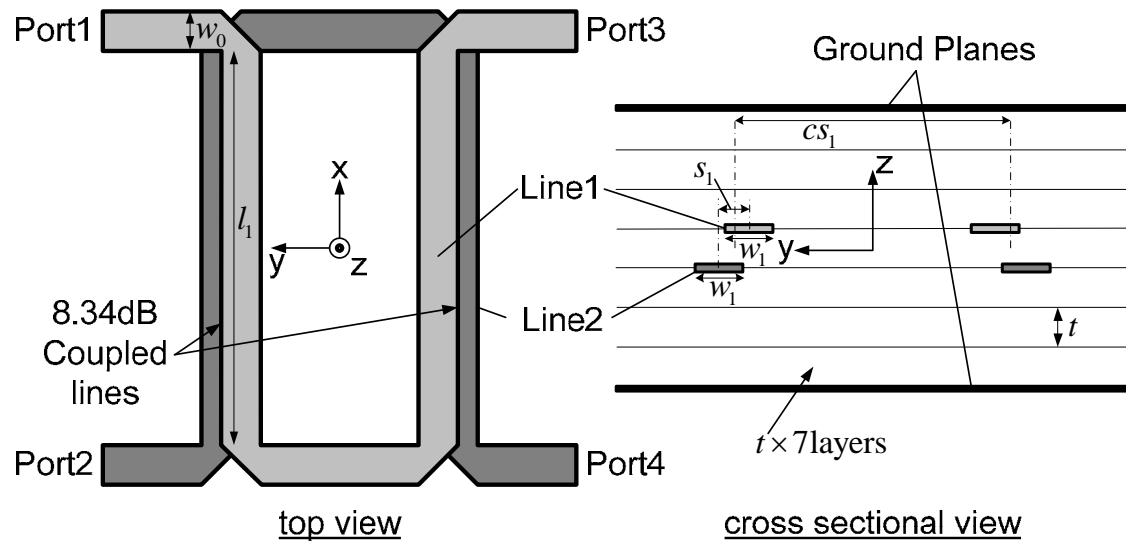
本章では、上記層間の位置ずれ誤差と基板厚誤差双方に耐性を有するブロードサイド結合線路型カプラ構成を提案する。層間の位置ずれ誤差に関しては、信号線を斜め方向へシフトさせた結合線路を用い、かつ 2 つの結合線路を対称にタンデム接続した構成[3.7]を採用し、基板厚誤差に関しては、結合線路部に近接サイドグラウンド壁を配置する構成を採用した。提案するカプラの設計、試作評価結果より、その有効性を確認する。

3.2. 構造

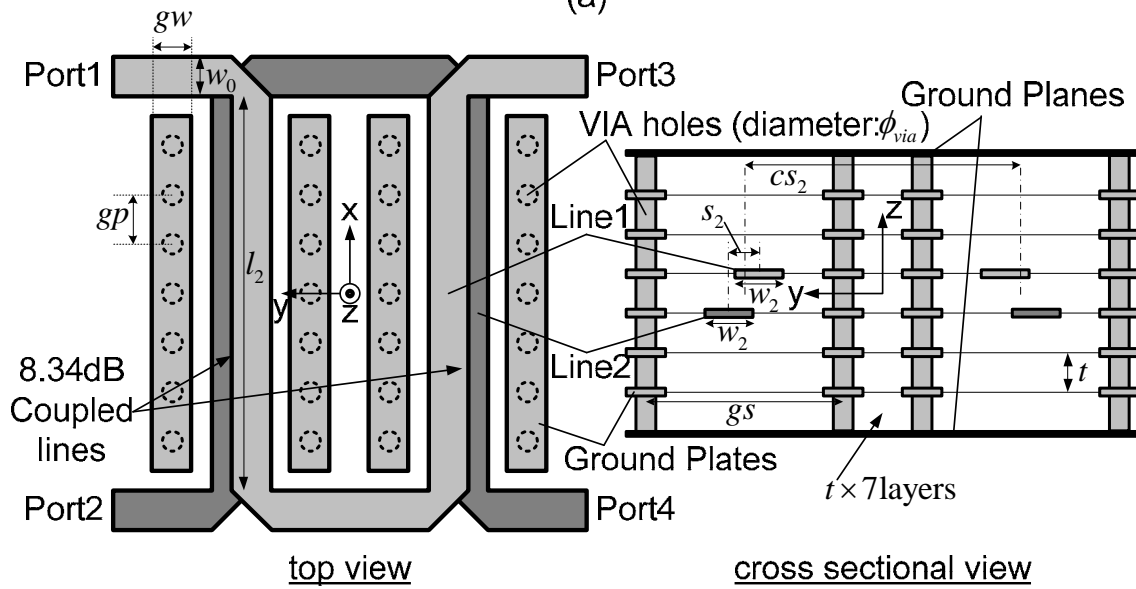
図 3-1 にサイドグラウンド壁を有するブロードサイド結合線路型カプラの構造を示す。図 3-1(a)はサイドグラウンド壁無しの構造を、図 3-1(b)はサイドグラウンド壁有りの構造をそれぞれ示す。サイドグラウンド壁は、基板内部の VIA ホール列と、各 VIA ホール列同士を接続するグラウンドプレートから構成される。図 3-1 に示したカプラは、結合量 8.34dB の 2 つの結合線路をタンデム接続し、全体で 3dB の結合特性を有するハイブリッドカプラとしている[3.7]。結合線路を構成する信号線導体 Line 1 と Line 2 は図 3-1 における y 軸方向にシフトさせた構造であり、2 つの結合線路は図 3-1 における zx 平面に対して対称に配置した構造である。

ブロードサイド結合線路型カプラにおいては、カプラ特性に影響が大きい誤差要因として、層間の位置ずれ誤差と基板厚誤差の 2 種がある。図 3-1 に示した信号線導体 Line 1 と Line 2 を y 軸方向にシフトさせた構造の採用目的は、層間の位置ずれ誤差への耐性を持たせるためである。Line 1 が +y 軸方向に位置ずれ誤差を生じた場合、位置ずれ誤差が信号線間隔 s_1, s_2 に比べて十分小さい場合、左側のカプラは元の結合量に比べて密結合に変動し、一方で右側のカプラは元の結合量に比べて疎結合に変動する。上記変動量が同程度と仮定すれば、それぞれの結合量変動は相殺され、カプラ全体としての結合量変動を軽微に抑えることが可能となる。

図 3-1(b)に示した近接サイドグラウンド壁を配置した目的は、基板厚誤差への耐性を持たせるためである。基板厚寸法に誤差を生じた場合、信号線—信号線間容量、および信号線—グラウンド間容量の双方が影響を受け、結合量の変動が生じる。近接サイドグラウンド壁の配置位置により、上記 2 種類の容量のうち、信号線—グラウンド間容量の変動分のみを調整できる働きがあり、本効果により 2 種類の容量の変動分を適切に設計することが可能となる。これにより、基板厚誤差への耐性を持たせる設計ができ、結合量変動を軽微に抑えることが可能となる。



(a)



(b)

図 3-1 サイドグラウンド壁を有するブロードサイド結合線路型カプラの構造

(a) : サイドグラウンド壁無し、(b) : サイドグラウンド壁有り

3.3. 製造誤差耐性向上検討結果

3.3.1. 基準カプラの設計結果、誤差影響検討結果

図 3-1(a)に示したサイドグラウンド壁の無いタンデムカプラを S 帯において設計し、誤差の影響について検討した。基板材料として、低温焼成セラミック LTCC を使用した。LTCC の一層あたりの層厚は t 、比誘電率は $\epsilon_r = 7$ である。図 3-1(a)に示したカプラの設計結果を図 3-2 に示す。S パラメータの計算には Ansoft HFSS を用いた。設計において決めた各パラメータ値を表 3-1 に示す。ストリップ線路の特性インピーダンスは 50Ω に選んでいる。図 3-2 に示すように、本カプラでは、中心周波数 (3.2GHz) において通過特性 S_{31} と結合特性 S_{41} がほぼ等振幅となるように設計している。入力反射特性 S_{11} は中心周波数において -30dB 以下、アイソレーション S_{21} は中心周波数において 30dB 以上と良好な特性である。ここでは、議論を簡単化するために、誘電体損失、導体損失はゼロとした。ここでは、上述 2 種類の製造誤差による結合特性への影響を検証する。

表 3-1 図 3-1(a)における各パラメータ値

l_1 [mm]	8.27
s_1 [mm]	0.215
t [mm]	0.14
w_1 [mm]	0.18
cs_1 [mm]	2.0
w_0 [mm]	0.28

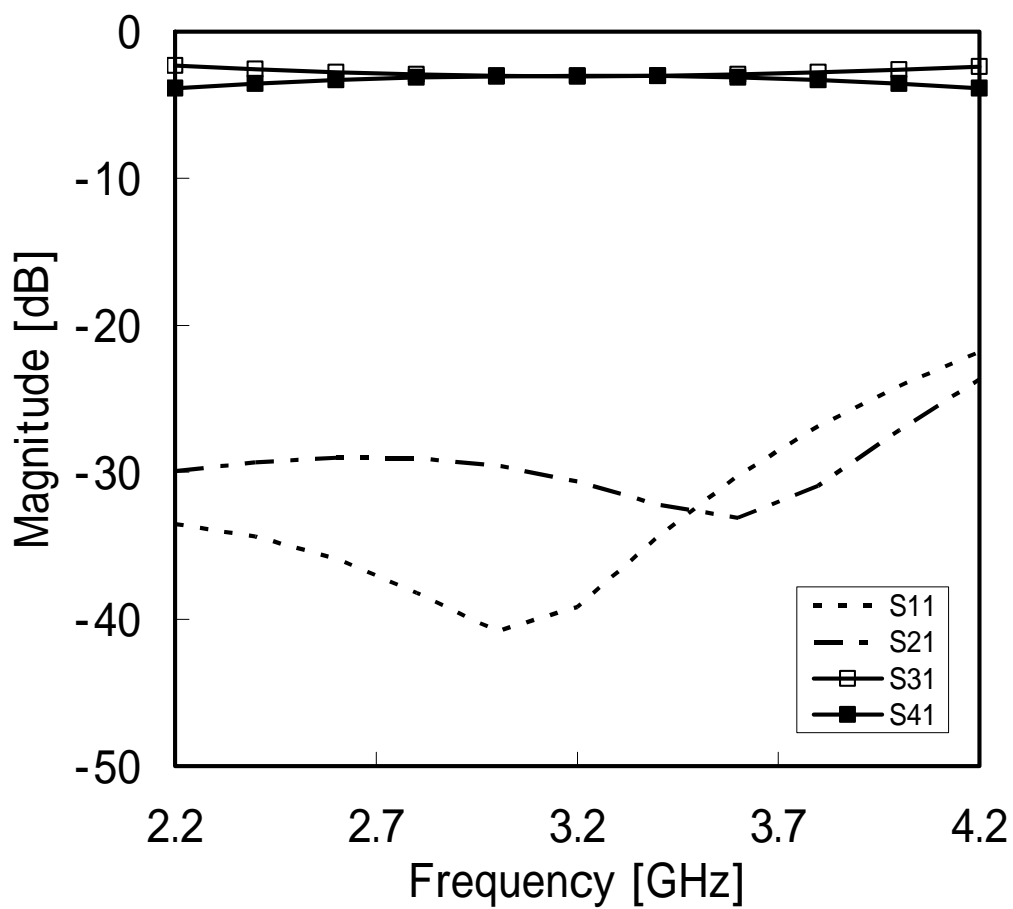


図 3-2 カプラ設計結果 (サイドグラウンド壁無し)

第一に、積層ずれ誤差による影響を検証する。図 3-3 に結合特性のシミュレーション結果を示す。ここでは、図 3-3 に示すように、Line1 が x 軸方向および y 軸方向にそれぞれ Δx 、 Δy だけ誤差を生じた場合についてシミュレーションを行った。誤差量は使用する LTCC 基板で想定される誤差量とし、ここでは各方向へ最大 $50\mu\text{m}$ とした。図 3-1(a) に示したカプラは、双方のカプラでの結合特性変動を相殺できる構造であるため、図 3-3 の y 軸方向への誤差時のシミュレーション結果に示されるように、設計値からの変動が小さいことが確認できる。 x 軸方向への誤差については、 Δx の最大値が結合線路長 l_1 に比べて十分小さいことから、結合特性への影響が小さいことが同時に確認できる。

次に、基板厚誤差による影響を検証する。図 3-4 に結合特性のシミュレーション結果を示す。ここでは、図 3-4 に示すように、基板厚誤差 Δt と定義しシミュレーションを行った。誤差量は使用する LTCC 基板で想定される誤差量とし、ここでは $\pm 10\%$ 、つまり、 $-0.1t \leq \Delta t \leq 0.1t$ とした。LTCC 基板の各層を構成するシートの厚み誤差が同様であるとの仮定により、ここでは基板厚誤差は全層一様に生ずるものと仮定した。図 3-4 より、結合特性が設計値から比較的大きく変動していることが確認できる。分配振幅偏差の最悪値は 3.2GHz において 0.56dB である。また、図 3-4 の結果より、基板厚誤差が薄い方向へ生じると疎結合方向へ、基板厚誤差が厚い方向へ生じると密結合方向へそれぞれ変動することが確認できる。

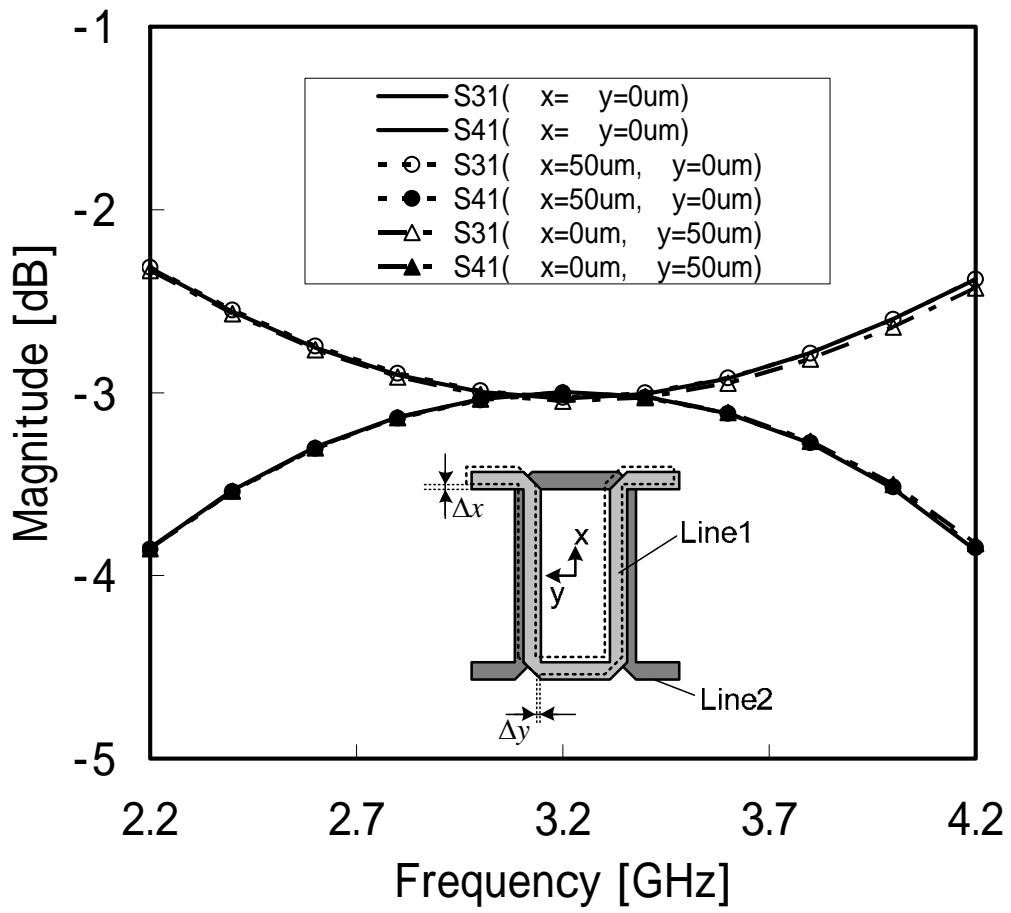


図 3-3 積層ずれ誤差を想定した結合特性 (サイドグラウンド壁無し)

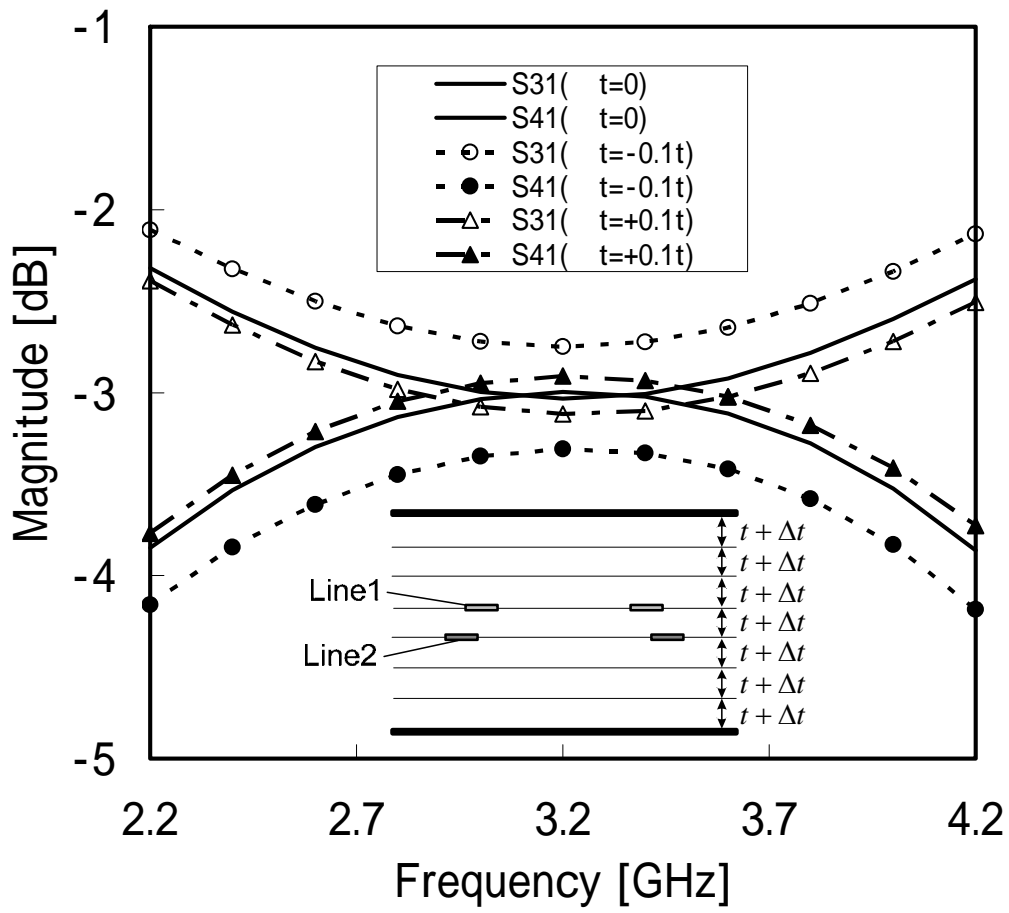


図 3-4 基板厚誤差を想定した結合特性 (サイドグラウンド壁無し)

3.3.2. 基板厚誤差耐性向上検討結果

上述のように、図 3-1(a)に示したカプラの製造誤差による特性変動を軽減するためには、基板厚誤差に対する耐性向上が必要である。図 3-5 は、結合線路断面における各容量値分布の簡易表現を示している。図 3-5(a)は設計寸法時の容量値分布を、図 3-5(b)は基板厚が薄く変動した場合の容量値分布をそれぞれ示す。 $C_{1a} = C_{2b}$ と仮定すると、結合係数は以下の式で表現することができる[3.7]。

$$k_a = \frac{1}{\frac{C_{1a}}{C_{12}} + 1}, k_b = \frac{1}{\frac{C_{1a} + \Delta C_{1a}}{C_{12} + \Delta C_{12}} + 1} \quad (3.1)$$

ここで、 k_a 、 k_b はそれぞれ図 3-5(a)、図 3-5(b)における結合係数である。図 3-4 に示した結果より、基板厚が薄く変動する場合に疎結合 ($k_b < k_a$) となるため、以下の不等式が成り立つ。

$$\frac{\Delta C_{1a}}{C_{1a}} > \frac{\Delta C_{12}}{C_{12}} \quad (3.2)$$

式(3.2)は、 C_{1a} の変動の割合が C_{12} の変動の割合に比べて大きいことを意味している。従って、基板厚誤差耐性条件 $k_b \approx k_a$ を得るためには、 ΔC_{12} と独立に ΔC_{1a} を低減する必要がある。

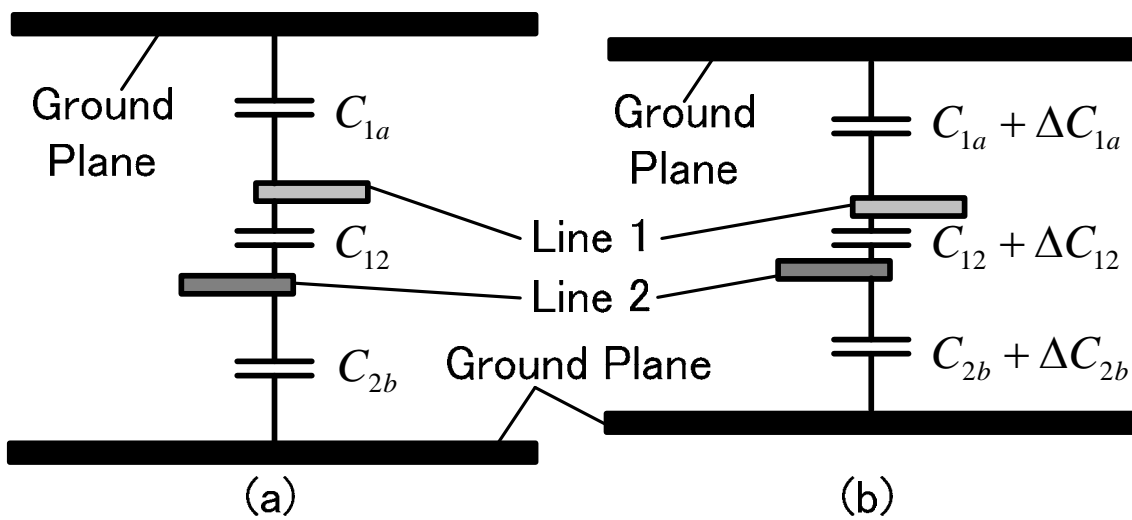


図 3-5 結合線路断面における各容量値分布モデル

(a) : 設計寸法、(b) : 基板厚が薄く変動した場合

ここでは、上記の実現方法として、図 3-1(b)に示したサイドグラウンド壁を有する結合線路構造を提案する。サイドグラウンド壁を加えた結合線路断面における各容量値分布モデルを図 3-6 に示す。図 3-6 (a)は設計寸法時の容量値分布を、図 3-6 (b)は基板厚が薄く変動した場合の容量値分布をそれぞれ示す。図 3-6 では、図 3-5 に加えて容量 C_{2c} 、 C_{1d} が新たに追加される。 C_{2c} 、 C_{1d} はサイドグラウンド壁間隔 d の関数である。また、 C_{2c} 、 C_{1d} は小さい基板厚誤差に対して独立した容量であると見なすことができる。 $C'_{1a} = C'_{2b}$ 、 $C_{1d} = C_{2c}$ と仮定すると、結合係数は以下の式で表現することができる。

$$k'_a = \frac{1}{\frac{C'_{1a} + C_{1d}}{C'_{12}} + 1}, k'_b = \frac{1}{\frac{C'_{1a} + C_{1d} + \Delta C'_{1a}}{C'_{12} + \Delta C'_{12}} + 1} \quad (3.3)$$

ここで、 k'_a 、 k'_b はそれぞれ図 3-6 (a)、図 3-6 (b)における結合係数である。基板厚誤差耐性条件 $k'_b \approx k'_a$ を満たすためには以下の式を満足する必要がある。

$$\frac{\Delta C'_{1a}}{C'_{1a} + C_{1d}} \approx \frac{\Delta C'_{12}}{C'_{12}} \quad (3.4)$$

$C_{1d} = 0$ つまり $d = \infty$ のとき、式(3.2)より、式(3.4)左辺は右辺より大きくなる。式(3.4)の条件に近づけるためには、 C_{1d} の値を増加させることが必要であり、これはサイドグラウンド壁間隔 d を小さくすることに相当する。従って、サイドグラウンド壁間隔 d が基板厚誤差耐性向上のための設計パラメータである。

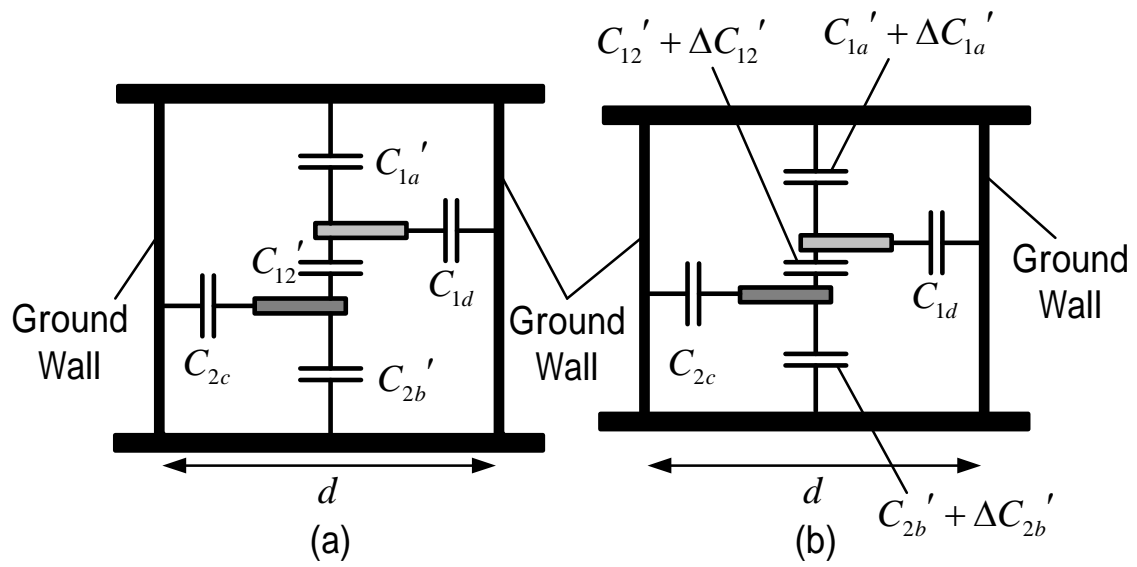


図 3-6 サイドグラウンド壁を加えた結合線路断面における各容量値分布モデル

(a) : 設計寸法、(b) : 基板厚が薄く変動した場合

サイドグラウンド壁間隔 d と基板厚誤差による結合量変動計算結果を図 3-7 に示す。結合量の計算には方形境界分割法[3.8]を用いた。図 3-7 より、 d を小さくするに従い、-10%変動時の結合量が増加し、 $d = 1.2[\text{mm}]$ においては、図 3-4 の傾向とは逆に、基板厚誤差が薄い方向へ生じると密結合方向へ変動することがわかる。従って、 $d = 1.2, 1.3[\text{mm}]$ に選ぶことにより、基板厚誤差に対する耐性の向上が期待できる。

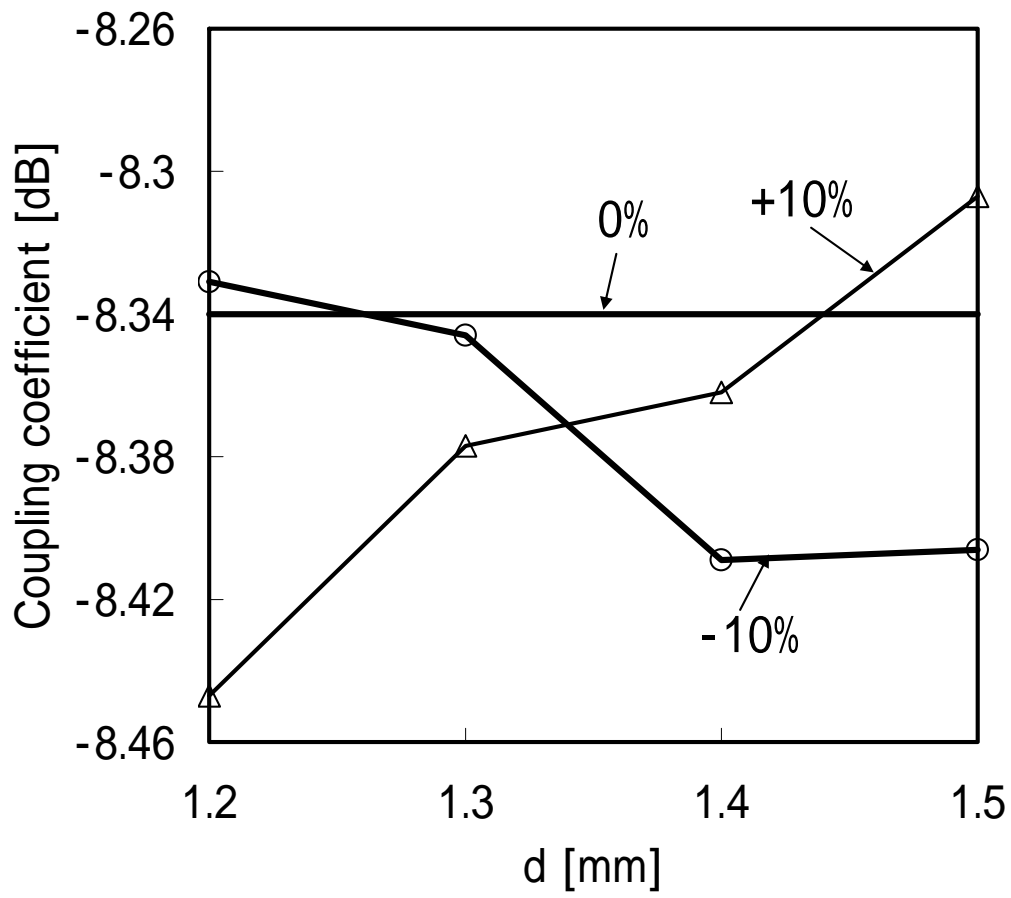


図 3-7 サイドグラウンド壁間隔と基板厚誤差による結合量変動

3.3.3. サイドグラウンド壁を有するカプラの設計結果

図 3-1(b)に示すサイドグラウンド壁を有するカプラについて設計した。図 3-8 に設計結果を示す。設計において決めた各パラメータ値を表 3-2 に示す。図 3-8 に示した設計結果は、図 3-2 に示した特性とほぼ同等の特性である。本設計においては、図 3-6 における d に相当するパラメータとして、サイドグラウンド壁間隔 gs を導入し、前節で示した誤差検討結果より $gs = 1.3\text{mm}$ として設計を行った。

図 3-9、図 3-10 に積層ずれ誤差および基板厚誤差を想定した結合特性の計算結果を示す。図 3-9 より、積層ずれ誤差に対しては、サイドグラウンド壁が無いカプラと同様特性変動の影響は軽微である。図 3-10 より、基板厚誤差に対しても結合特性の変動量が小さく改善していることが確認できる。図 3-4 に示した場合の分配振幅偏差最悪値 0.56dB に対し、図 3-10 では同 0.1dB に改善している。結果として、提案するサイドグラウンド壁を有する結合線路型カプラが基板厚誤差耐性向上に有効であることが確認できた。

表 3-2 図 3-1(b)における各パラメータ値

l_2 [mm]	8.27
s_2 [mm]	0.187
t [mm]	0.14
gs [mm]	1.3
gp [mm]	1.0
w_2 [mm]	0.18
cs_2 [mm]	2.0
w_0 [mm]	0.28
gw [mm]	0.3
ϕ_{via} [mm]	0.1

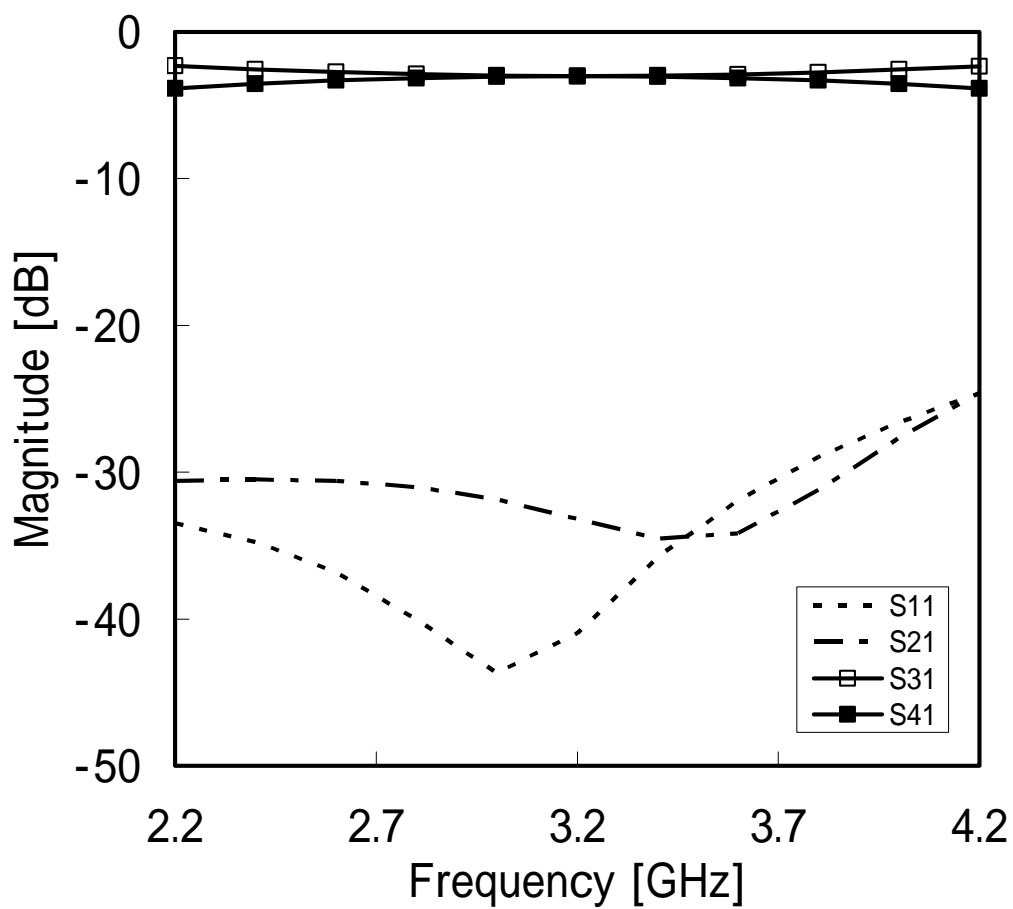


図 3-8 カプラ設計結果 (サイドグラウンド壁有り)

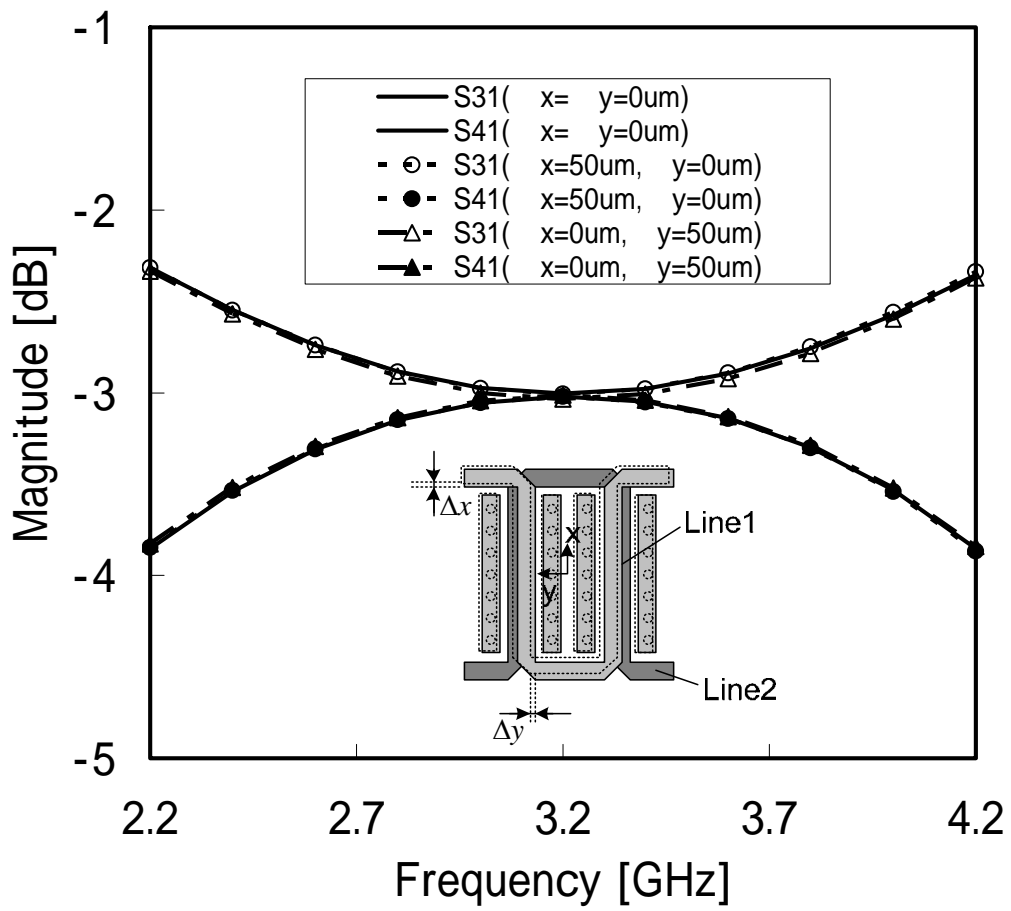


図 3-9 積層ずれ誤差を想定した結合特性 (サイドグラウンド壁有り)

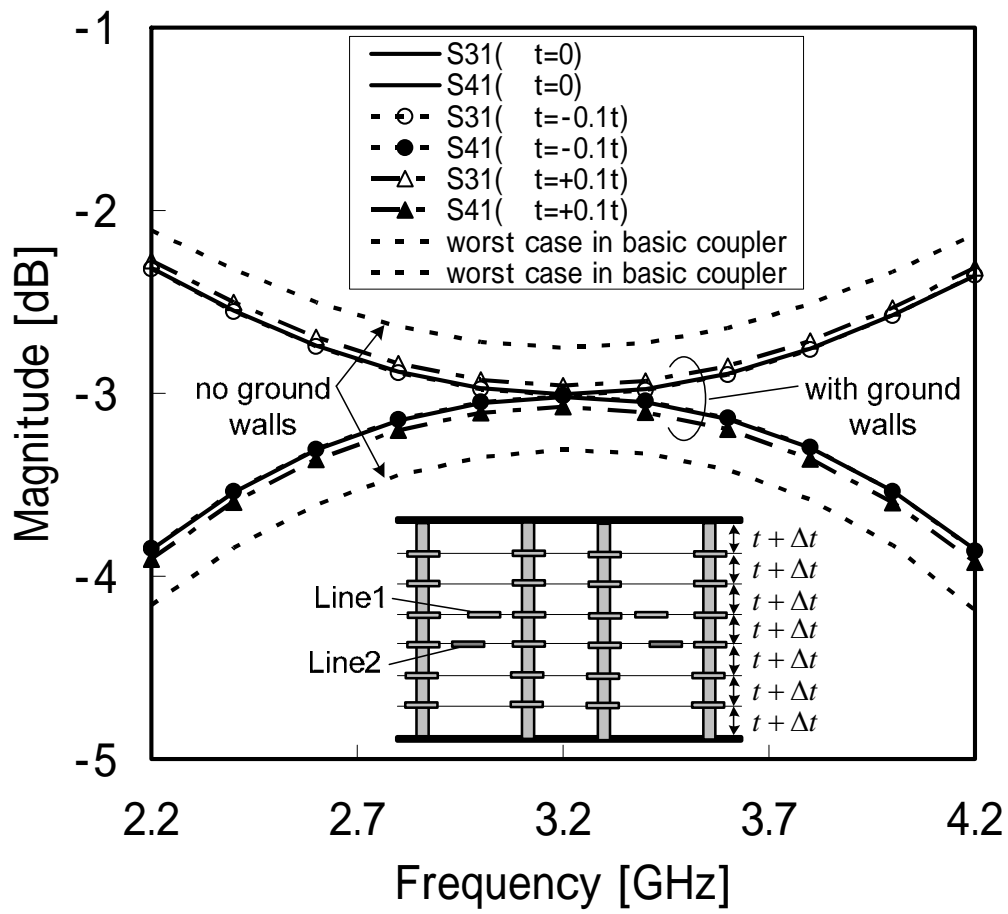


図 3-10 基板厚誤差を想定した結合特性 (サイドグラウンド壁有り)

3.4. 試作評価結果

前節において設計したサイドグラウンド壁を有する結合線路型カプラを試作した。図 3-11 に試作品外観写真を示す。図 3-12、図 3-13 に試作評価結果を示す。図 3-12 はサイドグラウンド壁有りのカプラに対する評価結果を、図 3-13 はサイドグラウンド壁無しのカプラに対する評価結果をそれぞれ示す。図 3-12、図 3-13 には設計した構造に対するシミュレーション結果を併せて示す。シミュレーション結果においては損失項を考慮しており、導体損失については銀の導電率、誘電体損失については誘電正接 0.001 を考慮している。

図 3-12 より、測定結果とシミュレーション結果は良好に一致していることが確認できる。分配振幅偏差の測定値は中心周波数 3.2GHz において 0.1dB 以下である。一方、図 3-13 においては、測定結果がシミュレーション結果に比べて疎結合方向へ変動していることが確認できる。分配振幅偏差の測定値は中心周波数 3.2GHz において 0.45dB 以下であり、サイドグラウンド壁を有するカプラの値に比べて大きいことがわかる。

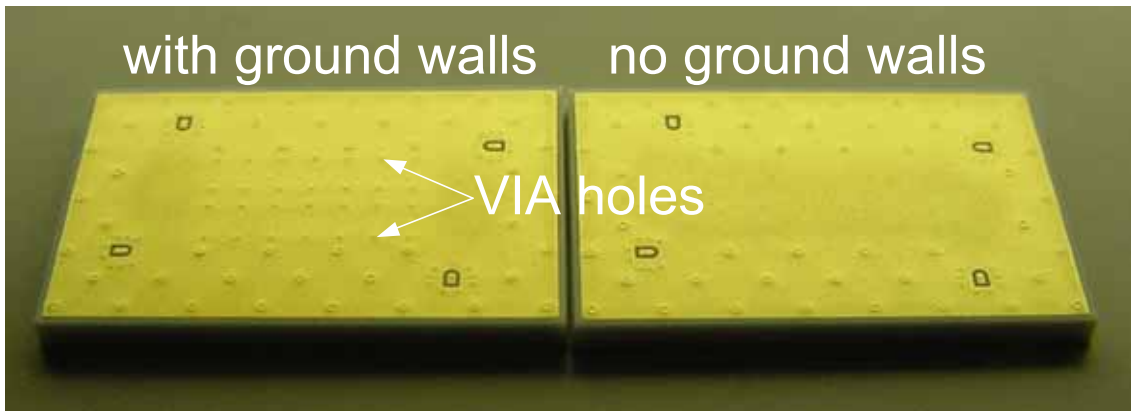


図 3-11 試作品外観写真

(左図) : サイドグラウンド壁有り、(右図) : サイドグラウンド壁無し

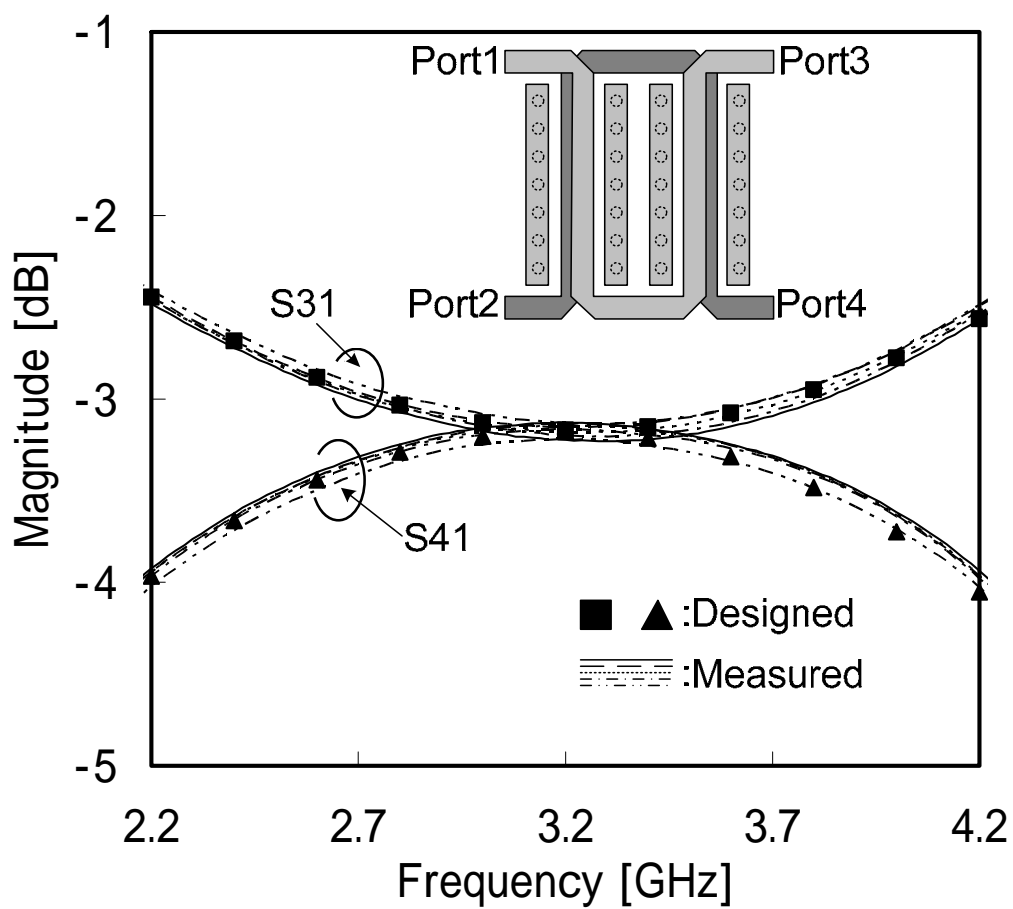


図 3-12 結合特性測定結果 (サイドグラウンド壁有り)

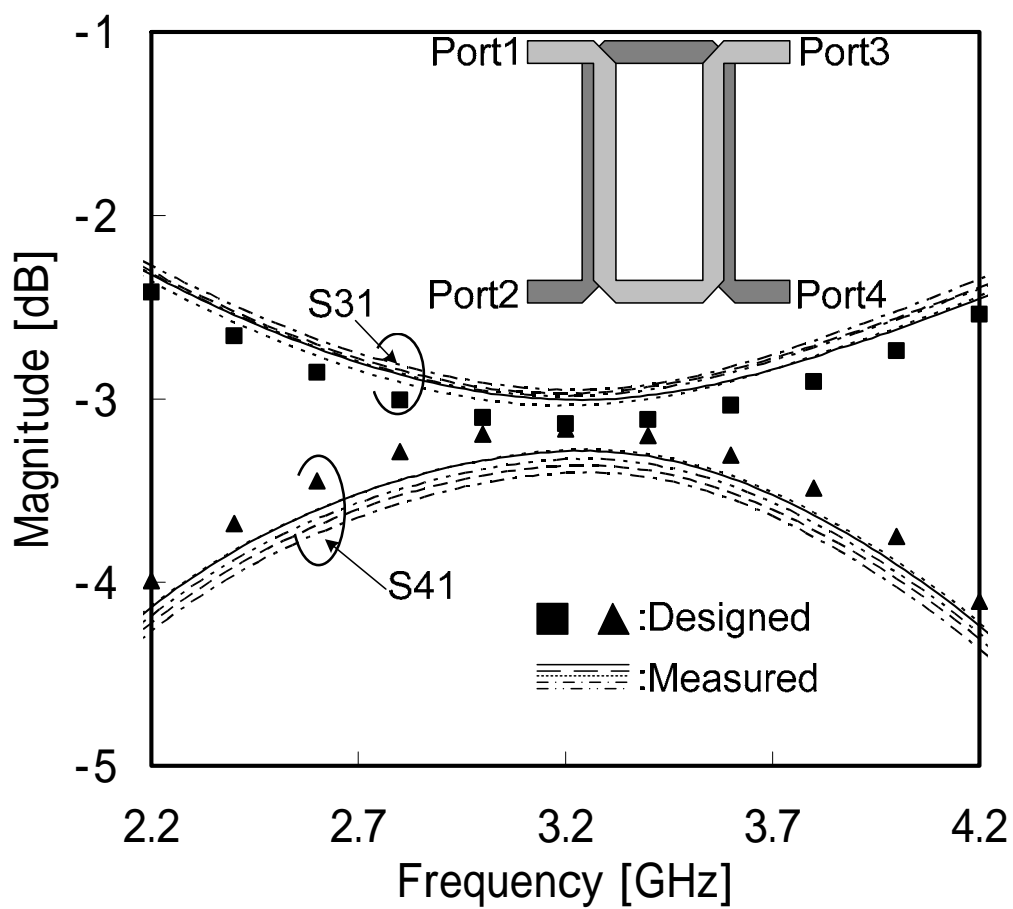


図 3-13 結合特性測定結果 (サイドグラウンド壁無し)

図 3-13 において生じた結合特性の変動要因を検証するため、結合量に影響を与える誤差要因に対するシミュレーション検討を行った。表 3-3 に中心周波数 3.2GHz における結合特性の設計値からの変動量のシミュレーション結果を示す。ここで誤差要因として、積層ずれ誤差 Δx 、 Δy 、基板厚誤差 Δt に加え、導体幅誤差 $\Delta w = \pm 10\mu m$ を導入した。 Δw は、 w_1, w_2, gw の各導体幅寸法に対して適用する誤差である。表 3-3 において、 ΔS_{41} は $\Delta S_{41} = 20\log_{10}(|S_{41}^{error}|/|S_{41}^{design}|)$ で定義し、 $|S_{41}^{error}|$ は表 3-3 に示した誤差が生じた際の S_{41} の値を、 $|S_{41}^{design}|$ は S_{41} の設計値をそれぞれ表している。即ち、マイナス符号の ΔS_{41} は疎結合、プラス符号の ΔS_{41} は密結合を意味する。

表 3-3 より、サイドグラウンド壁を有するカプラに対する支配的な誤差は導体幅誤差であることがわかる。また、サイドグラウンド壁の無いカプラに対する支配的な誤差は導体幅誤差と基板厚誤差双方であることがわかる。一方で、サイドグラウンド壁有無による導体幅誤差の影響は同程度である。従って、図 3-12、図 3-13 に示した結果より、試作した 2 種類のカプラにおいて導体幅誤差は微小であり、結合特性の変動に影響を与えた主要な要因は基板厚誤差であると推定可能である。

以上の結果より、提案したサイドグラウンド壁を有する結合線路型カプラは製造誤差による設計値からの変動を小さく抑えるのに有効な構成であることを確認した。

表 3-3 結合特性の設計値からの変動量

Error factors	ΔS_{41} [dB]	ΔS_{41} [dB]
	(with ground walls)	(no ground walls)
$\Delta x = 50\mu m$	-0.0017	-0.0048
$\Delta y = 50\mu m$	+0.0086	-0.0021
$\Delta t = -0.1t$	+0.0074	-0.3114
$\Delta t = +0.1t$	-0.0537	+0.0878
$\Delta w = -10\mu m$	-0.1397	-0.1565
$\Delta w = +10\mu m$	+0.1787	+0.1552

3.5. むすび

製造誤差耐性用サイドグラウンド壁を有するブロードサイド結合線路型カップラを提案し、その有効性を設計結果、試作評価結果を通して示した。層間の位置ずれ誤差および基板厚誤差双方に耐性を有するカップラ構成を検討した。層間の位置ずれ誤差に対しては信号線を斜め方向へシフトさせた結合線路を用い、かつ2つの結合線路を対称にタンデム接続した構成を採用することで誤差耐性を実現した。基板厚誤差に関しては、結合線路部に近接サイドグラウンド壁を配置する構成を採用することで誤差耐性を実現した。提案するカップラは上記製造誤差に耐性を有する構成であるため、多層基板を用いた各種高周波モジュールの高品質化に有効である。

参考文献

- [3.1] J-H. Lee, N. Kidera, G. DeJean, S. Pinel, J. Laskar, and M.Tentzeris, "A V-Band Front-End With 3-D Integrated Cavity Filters/Duplexers and Antenna in LTCC Technologies," *IEEE Trans. Microw. Theory Tech.*, vol. 54, no. 7, pp. 2925-2936, July 2006.
- [3.2] C-H. Lee, S. Chakraborty, A. Sutono, S. Yoo, D. Heo, and J. Laskar, "Broadband highly integrated LTCC front-end module for IEEE 802.11a WLAN applications," *2002 IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 1045-1048, June 2002.
- [3.3] L. Chang-Ho, A. Sutono, H. Sangwoo, L. Kyutae S. Pinel, E. M. Tentzeris, and J. Laskar, "A compact LTCC-based Kuband transmitter module," *IEEE Trans. Adv. Packag.*, vol.25, no.3, pp.374-384, Aug. 2002.
- [3.4] T. Nishino, H. Oh-hashii, and T. Takagi, "A displacement-error monitor of a multi-layer LTCC module," *2004 IEEE MTT-S Int. Microwave Symp. Dig.*, vol. 2, pp. 645-648, June 2004.
- [3.5] T. P. Budka, and R. A. Flynt, "Alignment tolerant stripline directional couplers," *1997 IEEE MTT-S Int. Microwave Symp. Dig.*, vol. 2, pp. 773-776, June 1997.
- [3.6] A. Sawicki, and K. Sachse, "A novel directional coupler for PCB and LTCC applications," *2002 IEEE MTT-S Int. Microwave Symp. Dig.*, vol. 3, pp. 2225-2228, June 2002.
- [3.7] R. Mongia, I. Bahl, and P. Bhartia, ed., *RF and microwave coupled-line circuits*, Artech House, 1999.
- [3.8] E. Yamashita, M. Nakajima, and K. Atsuki, "Analysis Method for Generalized Suspended Striplines," *IEEE Trans. Microw. Theory Tech.*, vol. 34, no. 12, pp.1457-1463, Dec. 1986.

4. 信号線間交差部容量補償用近接グラウンドスルーホールを有する結合線路型カプラ

4.1. まえがき

高周波モジュールにおいて、多層プリント基板内部に高周波受動回路を内蔵する構成は、モジュールの低コスト化、高密度化に有効な方式である[4.1][4.2]。結合量の高い方向性結合器は、高周波フロントエンドモジュールの様々な機能回路に適用されており、増幅器の前後段に使用される分配合成回路[4.3]、円偏波発生用アンテナ給電回路[4.4][4.5]等に適用される。

ブランチラインカプラは、簡素な方向性結合器構成の一つであり、かつプリント基板への集積に向いている。しかしながら、本カプラは帯域幅の限界があるため、広帯域なシステムへの適用に対して不向きである。広帯域システムに有効なカプラとして結合線路型カプラがある。基板表層に信号線を配置するマイクロストリップ線路形式を用いたカプラとして、ランゲカプラ[4.6]やエッジ結合型タンデムカプラ[4.7]があり、3dB程度の高い結合度と広帯域特性の両立が可能である。しかし、上記構成は信号線同士の物理的干渉を避ける必要があるため、ボンドワイヤやエアブリッジ等の干渉を避ける構造が別途必要となる。これらの工程は、通常のプリント基板製造時の部品実装とは別の工程を必要とするため、製造プロセスの複雑化に繋がる。さらに、通常のランゲカプラについては、数 $10\mu\text{m}$ オーダの微細な信号線導体の形成が不可欠であり、通常のプリント基板の製造プロセスでは製造が困難である。サスペンデッドストリップ線路を用いるカプラについても提案されているが[4.8]、単層基板の表裏面を専有する構成であるため、通常の高層プリント基板への集積が困難である。

ブロードサイド結合線路を用いたストリップ線路型カプラは、上記の問題点を解消す

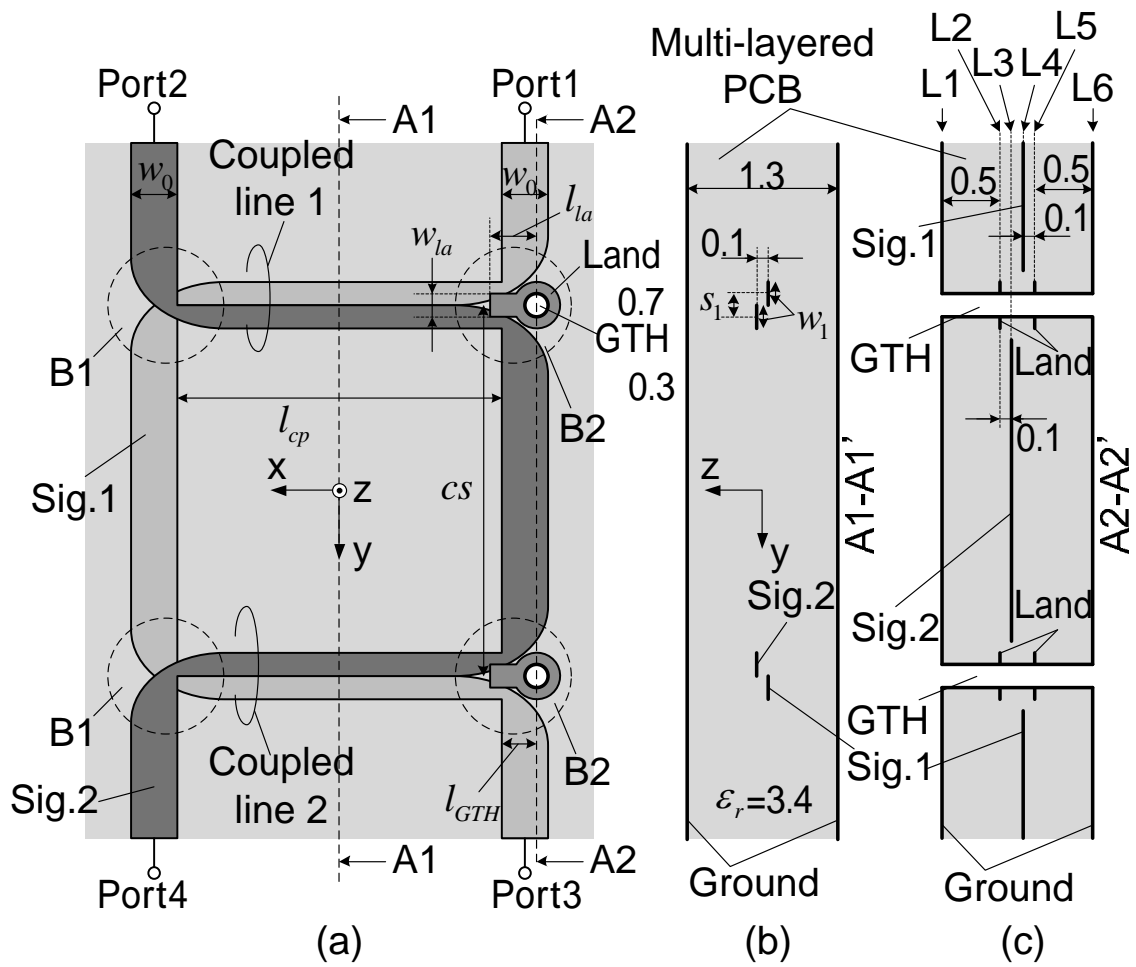
るのに有効なカプラ構成である。上述のボンドワイヤ、エアブリッジが不要となるメリットを享受できる反面、ブロードサイド結合線路においては、層間の信号線導体の位置ずれが結合特性に与える影響が大きい問題がある。高品質の製品製造を実現するためには上記のような製造誤差に対して耐性を有するカプラ方式[4.9]が求められる。層間の信号線導体の位置ずれに耐性を有するカプラとして、信号線を斜め方向へシフトさせた結合線路を用い、かつ2つの結合線路を対称にタンデム接続した構成[4.10]があり、詳細を3章において説明した。しかしながら、本構成の場合、分配端子の引き出し方向を揃えるために、結合線路の一端に信号線導体の交差面積の大きい部分が生じ、本交差部に発生する信号線導体間容量により高周波数帯においてカプラの諸特性劣化が生じるという問題点がある。

本章では、上記交差面積の大きい部位と反対側の端部に、グラウンド導体との容量を増加させる近接グラウンドスルーホール(以下 GTH)を設ける構成について提案する。本構成により追加される信号線導体ーグラウンド導体間容量は、主に偶モード励振時等価回路へ作用し、奇モード励振等価回路で発生する信号線間容量の影響を補償する効果がある。提案回路の構造および等価回路より、上記効果の原理について述べ、続いて設計結果、試作評価結果を示し、提案回路の有効性を示す。

4.2. 構造

図 4-1 に信号線間交差部容量補償用近接グラウンドスルーホールを有する結合線路型カプラの構造を示す。多層誘電体基板には BT レジン(比誘電率 3.4、誘電正接 0.003, 基板厚 1.3mm) を用いた。図 4-1(a)は上面透視図を、図 4-1(b)、図 4-1(c)は図 4-1(a) の A1-A1' および A2-A2' における断面図をそれぞれ示す。図 4-1 に示すように、本カプラは 2 つのカプラ (Coupled line 1、 Coupled line 2) をタンデム接続して構成したものであり、Coupled line 1、 Coupled line 2 は、 y 軸方向へシフトさせた 1 対の信号線導体 (Sig.1, Sig.2) により構成される。信号線導体の位置ずれに対する耐性については 3 章で説明した通りである。信号線導体は L3 層、L4 層に、グラウンド導体は誘電体基板表面および裏面に相当する L1 層、L6 層にそれぞれ配置した。

本カプラの構成は、信号線導体がオフセットされていることから、図 4-1(a)における B1 部と B2 部の信号線間交差量が異なり、B1 部に比較的大きい信号線間容量が発生し、高周波数帯においてカプラの特性劣化に影響する。ここでは、B1 部に発生する信号線間容量の影響を補償する目的で、図 4-1 に示すように B2 部に上下グラウンド導体と導通する近接 GTH を配置した構造を提案する。近接 GTH 配置により、B2 部に信号線導体ーグラウンド導体間容量を新たに発生させることができ、後述するように反射特性、アイソレーション特性の改善が可能となる。図 4-1 に示すように、信号線導体配置層とは別層 (L2 層、L5 層) に信号線グラウンド導体間容量を増加させる目的で、近接 GTH と導通するランドパターンを設けた。また、ランドパターンを x 軸方向へ幅 w_{la} 、長さ l_{la} により延伸させる構造とし、上記容量の調整に用いている。



GTH: Ground Through Hole

図 4-1 近接 GTH を有する結合線路型カップラ構造

(a):上面透視図、(b):A1-A1' 断面図、(c):A2-A2' 断面図

4.3. 等価回路と動作原理

図 4-1 に示した Coupled line 1 部についての等価回路を図 4-2 に示す。図 4-2 (a) は奇モード励振時の等価回路を、図 4-2 (b)は偶モード励振時の等価回路をそれぞれ示す。ここで B1 部、B2 部に発生する信号線導体間容量を C_{s1} 、 C_{s2} 、信号線導体—グラウンド導体間容量を C_{g1} とし、GTH により新たに発生させる容量を C_{g2} とした。また、偶奇モードの特性インピーダンスを Z_e 、 Z_o とした。終端インピーダンス Z_c と偶奇モードの特性インピーダンスとの関係は $Z_o < Z_c < Z_e$ である。

図 4-1 の Port1, Port2 における反射特性は偶奇モード反射係数 Γ_{ei} 、 Γ_{oi} により次式で表される。

$$S_{ii} = \frac{(\Gamma_{ei} + \Gamma_{oi})}{2}, i = 1, 2 \quad (4.1)$$

式(4.1)より、振幅、位相の理想条件は次式となる。

$$|\Gamma_{ei}| = |\Gamma_{oi}| \quad (4.2)$$

$$\angle\Gamma_{ei} - \angle\Gamma_{oi} = 180[\text{deg}] \quad (4.3)$$

図 4-1 に示したカプラにおいては、奇モード等価回路のみに現れる C_{s1} が支配的な容量であるため、 C_{s1} は主に式(4.3)の位相条件に影響を与える。従って、理想条件に近付け、諸特性を改善するためには位相特性の改善が必要である。

C_{g2} の無い従来のカプラにおいては、 C_{s1} が支配的な容量であり、 C_{g1} 、 C_{s2} は相対的に影響が小さい。図 4-2(a)に示した A 点から左側を見込んだ入力インピーダンス Z_{in}^{o1} と右側を見込んだ入力インピーダンス Z_{in}^{o2} に関しては $Z_o < Z_c$ の関係から次式の関係が得られ

る。

$$\operatorname{Re}\{Z_{in}^{o1}\} > \operatorname{Re}\{Z_{in}^{o2}\} \quad (4.4)$$

C_{s1} は高いインピーダンスに対して影響度が強くなることから、 Z_{in}^{o1} に対して相対的に影響度が強くなる。このため、理想条件からの乖離は Port1'の反射係数の方が Port2'の反射係数に比べて大きくなる。つまり、次式の関係が得られる。

$$|S_{11}| > |S_{22}| \quad (4.5)$$

従って、反射係数に関しては S_{11} の改善が必要となる。

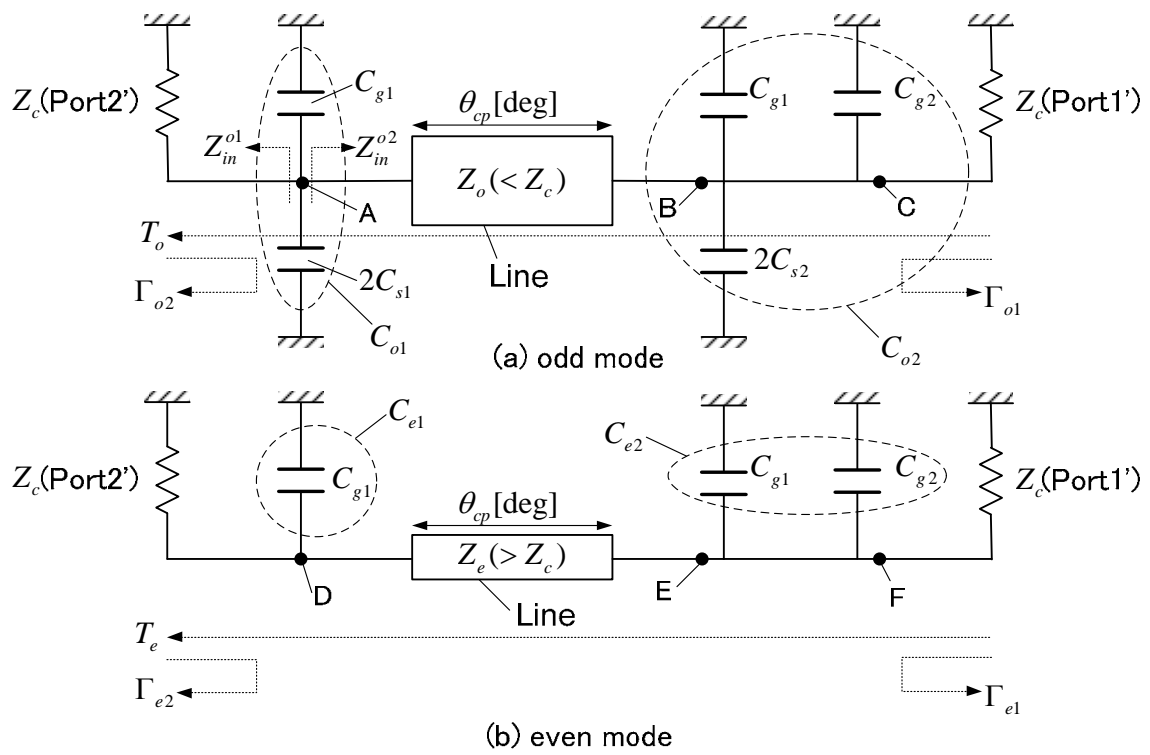


図 4-2 偶奇モード共振時等価回路

(a):奇モード、(b):偶モード

図 4-2 に示した等価回路の A~F 点から左側を見込んだ入力インピーダンスのスミスチャート上模式図を図 4-3 に示す。図 4-3 (a)は奇モード等価回路に対応し、A、B、C 点から左側を見込んだ設計中心周波数における入力インピーダンスの位置を、図 4-3 (b)は偶モード等価回路に対応し、D、E、F 点から左側を見込んだ設計中心周波数における入力インピーダンスの位置をそれぞれ示している。ここで、スミスチャートの原点のインピーダンスは Z_c である。

先ず、奇モード等価回路図 4-2 (a)について説明すると、図 4-2(a)において容量 C_{o1} は支配的容量 C_{s1} を含むため、図 4-2 (a)の A 点から左側を見込んだ入力インピーダンスには位相遅れが発生し、スミスチャート原点から図 4-3 (a)の A 点に移動する。次に、図 4-2(a)の B 点から左側を見込んだ入力インピーダンスは、A 点と B 点との間に特性インピーダンス Z_o 、電気長 90 度の伝送線路が入り、 Z_o は Z_c に比べ小さいため、スミスチャート上を左側に半周し、図 4-3 (a)の B 点に移動する。最後に、図 4-2(a)の C 点から左側を見込んだ入力インピーダンス即ち Γ_{o1} は、容量 C_{o2} の影響を受けるが、図 4-3 (a)の B 点は Z_c に比べ低いインピーダンスの位置にあるため、容量 C_{o2} の寄与は小さく、図 4-3(a)の B 点と図 4-3(a)の C 点はほぼ同位置となる。つまり、反射係数 Γ_{o1} の位相は理想状態 180 度から $\Delta\theta$ だけ変動する。

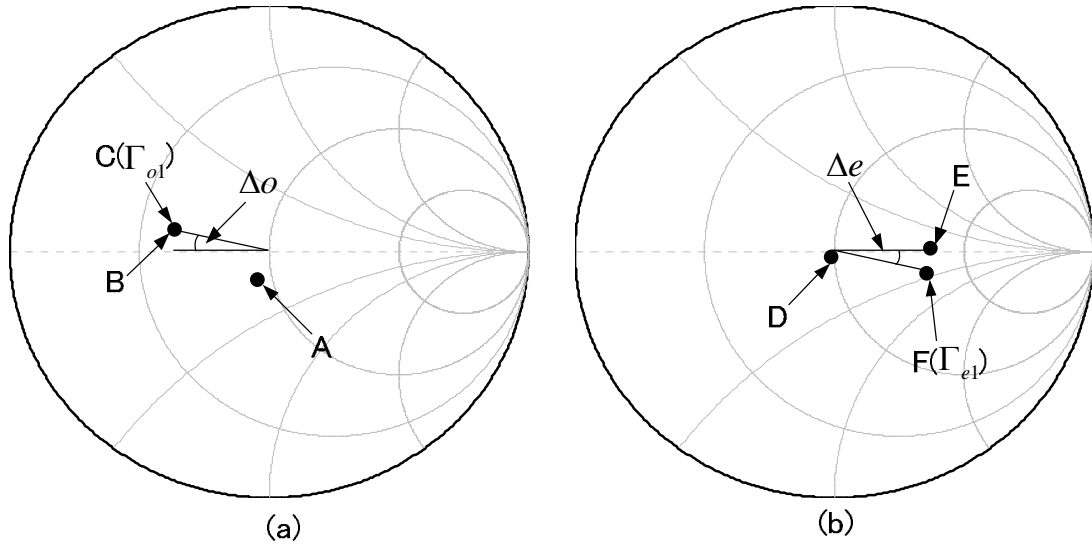


図 4-3 偶奇モード等価回路の各点から左側を見込んだ入力インピーダンス模式図

(a):奇モード、(b):偶モード

次に、偶モード等価回路図 4-2(b)について説明すると、図 4-2(b)に示す D 点から左側を見込んだ入力インピーダンスは、容量 C_{e1} の影響を受けるが、 C_{g1} は C_{s1} に比べて小さく、図 4-3(b)の D 点は原点付近となる。次に、図 4-2 (b)の E 点から左側を見込んだ入力インピーダンスは、D 点と E 点との間に特性インピーダンス Z_e 、電気長 90 度の伝送線路が入り、 Z_e は Z_c に比べ大きいいため、スミスチャート上を右側に半周し、図 4-3(b)の E 点に移動する。最後に、図 4-2(b)の F 点から左側を見込んだ入力インピーダンス即ち Γ_{e1} は、図 4-3(b)の E 点が Z_c に比べ高いインピーダンスの位置にあるため、容量 C_{e2} の影響を受け、図 4-3(b)の F 点の位置に移動する。つまり、反射係数 Γ_{e1} の位相は理想状態 0 度から Δo だけ変動する。

従って、近接 GTH により発生させる容量 C_{g2} は、奇モード等価回路に比べ偶モード等価回路への寄与が大きく、 Δe を制御できる設計パラメータとなる。ここで $C_{g2} = 0$ の場合 $\Delta o > \Delta e$ となるため、 C_{g2} の増加、つまり GTH を信号線導体に近付けることにより、位相特性の理想状態 $\Delta o = \Delta e$ に近付けることが可能となり、反射特性の改善が望める。

以上反射特性改善について説明したが、アイソレーション特性についても同様に説明する。図 4-1 におけるアイソレーション特性 S_{21} は、図 4-2 に示した透過係数 T_e 、 T_o により次式で表される。

$$S_{21} = \frac{(T_e - T_o)}{2} \quad (4.6)$$

式(4.6)より、振幅、位相の理想条件は次式となる。

$$|T_e| = |T_o| \quad (4.7)$$

$$\angle T_e - \angle T_o = 0[\text{deg}] \quad (4.8)$$

式(4.7)、式(4.8)より、 T_e 、 T_o は等振幅同相が理想条件であり、透過振幅は特性インピーダンスで揃えることができることから、反射特性と同様、偶奇モードの位相特性の改善が必要である。図 4-2 において、 $C_{g2} = 0$ とおくと、支配的容量は C_{s1} を含む C_{o1} のみとなり、 $\angle T_o$ は $\angle T_e$ に比べて位相が遅れる。 C_{g2} をゼロから増加していくと、 $\angle T_o$ 、 $\angle T_e$ はともに位相遅れを生じるが、主線路が高インピーダンス線路である偶モード等価回路への寄与が相対的に大きくなり、 $\angle T_o$ と $\angle T_e$ の差が縮まる方向へ変動するため、アイソレーション特性の改善が望める。

以上より、図 4-1 に示したカプラは、近接 GTH 採用により反射特性、アイソレーション特性の改善を図ることができる。

4.4. シミュレーション結果

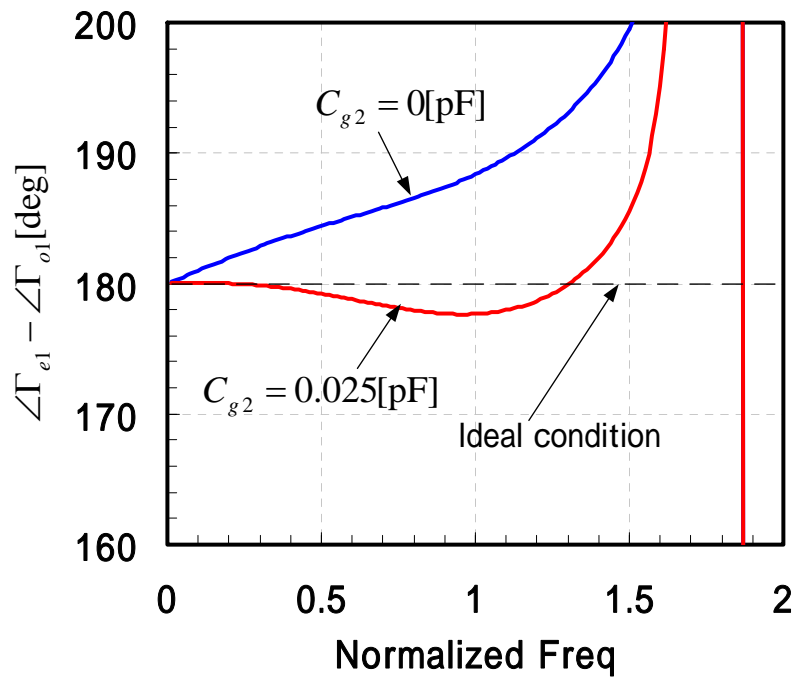
4.4.1. 回路シミュレーション結果

図 4-4 に反射係数、透過係数の位相差についての回路シミュレーション結果を示す。シミュレーションにおいて使用した各種パラメータを表 4-1 に示す。本シミュレーションにおいては、偶奇モードインピーダンス Z_e 、 Z_o は結合量 8.34dB を有するカップラを実現する値に設定しており、ポートインピーダンスは 50Ω とした。結合線路の電気長 θ_{cp} は中心周波数 8GHz において90degに設定した。以降、本章で示すグラフの周波数軸に関しては、上記中心周波数で規格化している。

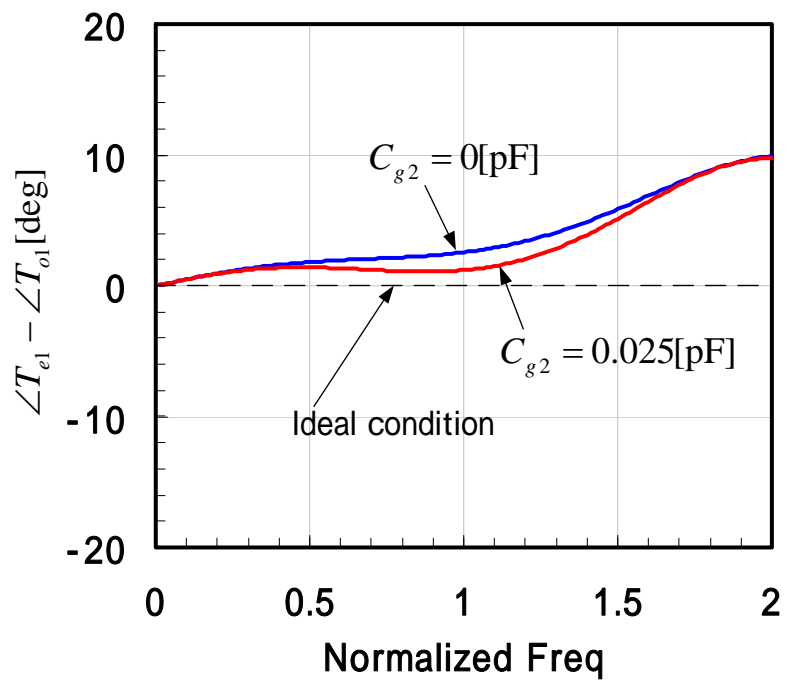
図 4-4 に示すように、容量 C_{g2} が、反射係数、透過係数双方の位相差理想条件に近づくことが確認できる。つまり、GTH により発生する容量 C_{g2} が反射特性、アイソレーション特性の補償に有効であると期待される。以降で、電磁界シミュレーションを用いさらに詳細な検証を行う。

表 4-1 回路シミュレーション時のパラメータ

$Z_e[\Omega]$	74.83
$Z_o[\Omega]$	33.41
$C_{s1}[\text{pF}]$	0.03
$C_{s2}[\text{pF}]$	0.005
$C_{g1}[\text{pF}]$	0.005
$\theta_{cp}[\text{deg}]$	90



(a)



(b)

図 4-4 回路シミュレーション結果

(a):反射係数の位相差、(b):透過係数の位相差

4.4.2. 電磁界シミュレーション結果

上述回路シミュレーション検討においては、中心周波数で 3dB の結合度を得る条件として、1つのカプラの結合量を 8.34dB とし、一般化した議論をした。ここでは、より詳細な構造を考慮した電磁界シミュレーションによる検証を行う。本検証においては、帯域幅を考慮した構造決定を行った。規格化周波数 0.5 から 1.5 の比帯域幅 100%の帯域において、中心周波数、帯域端において分配振幅偏差が同等になるように構造を決定しており、中心周波数における結合量を 7.4dB とした。

図 4-5 に電磁界シミュレーション用結合線路部構造を示す。ここで、信号線導体と GTH との距離 g を変動させており、これは C_{g2} の変動に相当する。GTH を図 4-5 に示す x 軸方向に動かすことで距離 g を変動させた。電磁界シミュレーションに用いた各パラメータは表 4-2 に示す通りであり、中心周波数で 7.4dB の結合量が得られる寸法を決定した。また、各ポートインピーダンスは 50Ω とした。図 4-6 に反射特性 S_{11} 、 S_{22} とアイソレーション特性 S_{21} のシミュレーション結果を示す。シミュレーションには、Ansoft HFSS を用いた。

図 4-6 に示すように、 S_{11} と S_{21} の振幅は、距離 g が小さくなるに従いレベルが下がり、改善傾向が見られる。一方、 S_{22} の振幅は、同一条件においてレベルが上がり劣化する。これは、 C_{g2} を含む負荷側に近い位置に生じるシャント容量が大きくなるため、式(4.3)の理想条件から離れることとなり、 S_{22} の振幅特性が劣化するためである。設計の最適条件を図 4-6 における $|S_{11}| = |S_{22}|$ となる点に設定できるが、実際のプリント基板の製造ルールでは距離 g の最小値に制約がある。今回の設計では $g = 0.38\text{mm}$ を設計値に選び、残りの容量調整には、図 4-1 に示したランドパターン延伸パターンを用いて設計した。

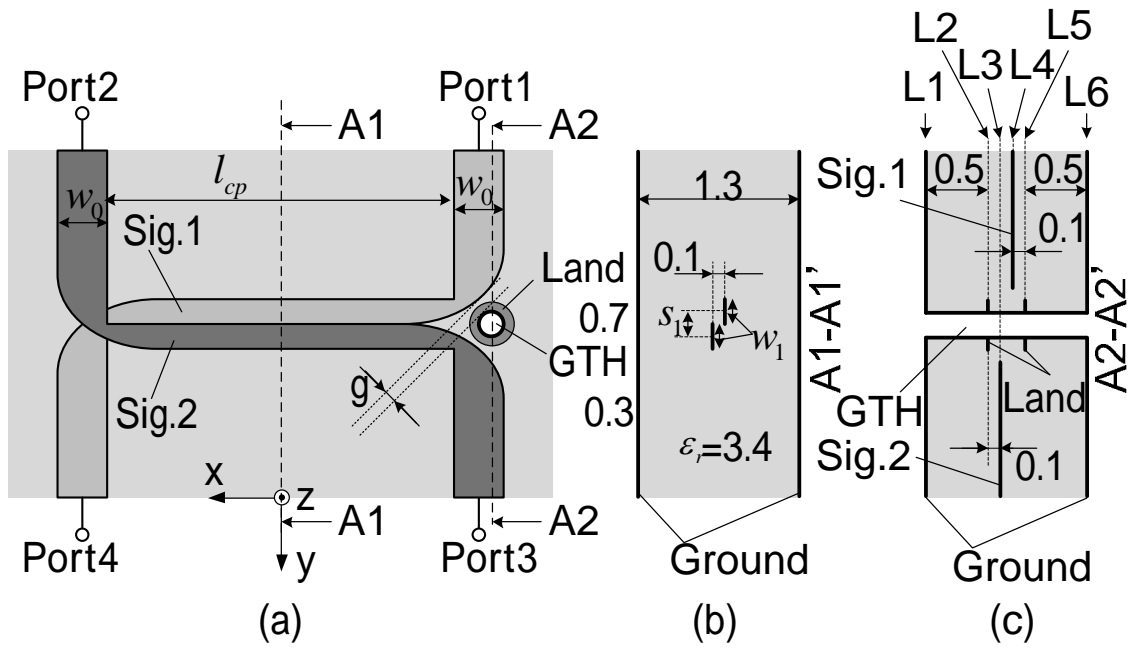


図 4-5 電磁界シミュレーション用結合線路部構造

(a):上面透視図、(b):A1-A1' 断面図、(c):A2-A2' 断面図

表 4-2 電磁界シミュレーション時のパラメータ

w_0 [mm]	0.72
w_1 [mm]	0.41
s_1 [mm]	0.40
l_{cp} [mm]	4.78

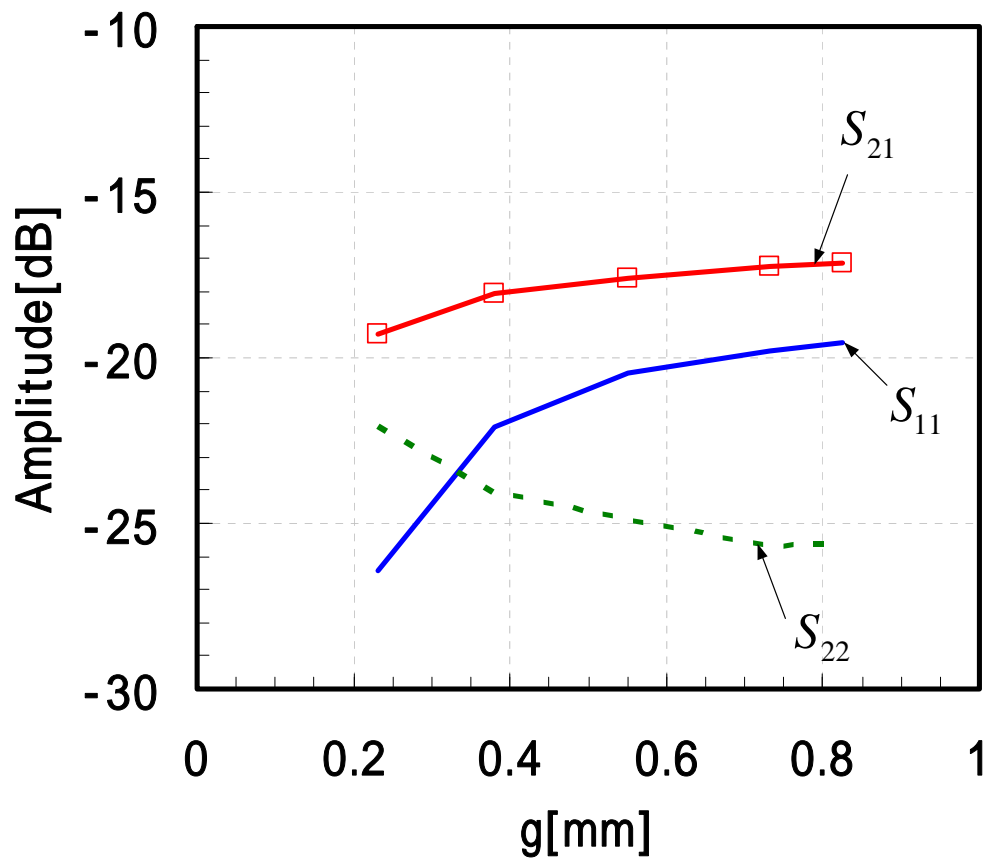


図 4-6 電磁界シミュレーション結果

図 4-7 にランドパターンの補償効果に関するシミュレーション結果を示す。図 4-7 において、 $l_{la} = 0\text{mm}$ の条件が、 $g = 0.38\text{mm}$ のシミュレーション結果に相当し、ランド幅を $w_{la} = 0.3\text{mm}$ に固定している。図 4-7 より、ランドパターンにより生じる追加容量の効果により、 S_{11} と S_{21} の振幅特性が広帯域にわたって改善していることがわかる。 S_{22} については劣化しているものの、 -20dB 以下の特性が得られている。

表 4-3 に規格化周波数 0.5 から 1.5 の帯域幅における S_{11} 、 S_{22} 、 S_{21} の最大値のシミュレーション結果を示す。ランドパターン幅については、 $w_{la} = 0.3\text{mm}, 0.4\text{mm}$ の 2 ケースを設定した。許容レベルを -20dB 以下に設定すると、' $l_{la} = 0.67\text{mm}, w_{la} = 0.3\text{mm}$ ' と ' $l_{la} = 0.57\text{mm}, w_{la} = 0.4\text{mm}$ ' の 2 つの最適な組み合わせが得られることがわかる。両者とも特性は同程度であり、以降の試作品評価においてはその一例として、' $l_{la} = 0.67\text{mm}, w_{la} = 0.3\text{mm}$ ' の寸法を選択した。以上より、電磁界シミュレーションにおいても提案構成の有効性を確認することができた。

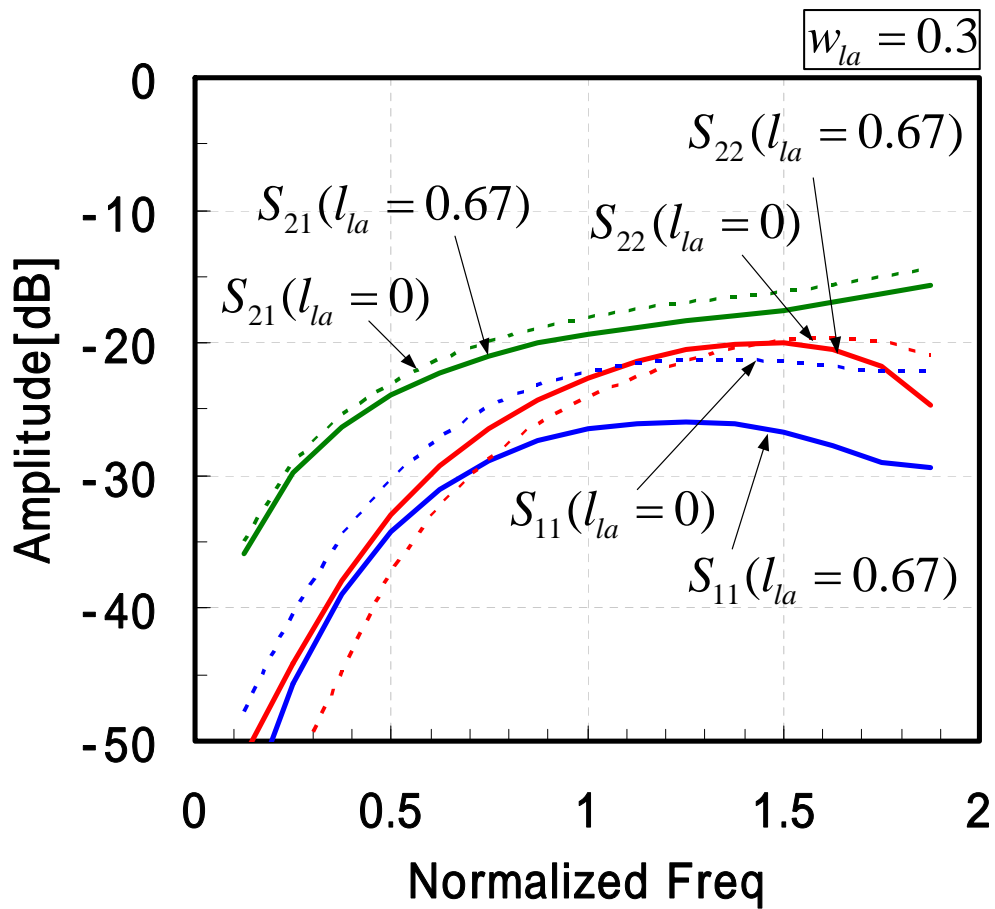


図 4-7 ランドパターンの補償効果に関するシミュレーション結果

表 4-3 S_{11} 、 S_{22} 、 S_{21} の最大値一覧（規格化周波数 0.5-1.5）

l_{la} [mm]	$w_{la} = 0.3\text{mm}$			$w_{la} = 0.4\text{mm}$		
	S_{11} [dB]	S_{22} [dB]	S_{21} [dB]	S_{11} [dB]	S_{22} [dB]	S_{21} [dB]
0	≤ -21.2	≤ -19.8	≤ -16.1	≤ -21.2	≤ -19.8	≤ -16.1
0.47	≤ -22.2	≤ -20.0	≤ -16.5	≤ -22.6	≤ -20.0	≤ -16.6
0.57	≤ -23.6	≤ -20.2	≤ -17.0	≤ -25.1	≤ -20.1	≤ -17.2
0.67	≤ -25.9	≤ -20.0	≤ -17.5	≤ -28.0	≤ -19.7	≤ -18.0
0.77	≤ -28.4	≤ -19.6	≤ -18.3	≤ -30.4	≤ -18.8	≤ -19.0

4.5. 試作評価結果

図 4-1 に示した提案カプラを中心周波数 8GHz で設計し、試作した。結合量設計値は 2.54dB であり、規格化周波数 0.5 から 1.5 の比帯域幅 100%の帯域において、中心周波数、帯域端において分配振幅偏差が同等になるように設計した。設計したカプラのパラメータ値を表 4-4 に示す。設計手順は以下の通りである。最初に、GTH 無しの基本カプラに関する各パラメータ w_1 、 s_1 、 l_{cp} 、 cs を偶奇モード解析により決定する。次に、GTH の配置位置パラメータである l_{GTH} を図 4-6 に示した結果を用いて決定する。最後に、ランドパターンに関するパラメータ w_{la} 、 l_{la} を決定し設計を完了とする。

図 4-8 に設計したカプラの試作品写真を示す。比較のため、GTH 無しのカプラも同時に試作した。GTH 無しのカプラは、GTH 部を除いて同一の寸法構造である。カプラ特性の測定は、350 μ m ピッチの GSG プローブにより行い、校正によりプローブパッドおよび給電線路の影響を除去した。各ポートの実測値の基準面は、図 4-8 に示した位置である。試作品全体の寸法は 13.1mm \times 24.2mm である。

図 4-9 に試作品の測定結果をシミュレーション結果とともに示す。図 4-9(a)は GTH 無しサンプルの測定結果を、図 4-9(b)は GTH 有りサンプルの測定結果をそれぞれ示す。測定値において小さいリップルを生じている点を除き、両者ともに設計値と概ね対応する結果が得られていることが確認できる。上記リップルは、プローブパッドおよび給電線路の影響除去時に残留した給電線路特性の影響で生じたリップルである。ここで、従来の GTH 無しサンプルとの比較を行う。比較としては、上記リップルを含め、規定した周波数範囲(規格化周波数 0.5 から 1.5)における最悪値を用いた比較を実施した。表 4-5 に測定結果まとめを示す。表 4-5 にはシミュレーション結果を併せて示す。提案カプラの反射特性、アイソレーション特性双方ともに改善が見られ、反射特性については -12.3dB 以下から -13.7dB 以下へ、アイソレーション特性については 14.6dB 以上から 15.1dB 以上へそれぞれ改善していることが確認できた。表 4-5 においては、シミュレ

ーション結果と測定結果には、上述のリプルの影響で差異が生じているものの、提案カ
プラの有効性を定量的に確認することができた。

表 4-4 設計したカプラのパラメータ

w_0 [mm]	0.72
w_1 [mm]	0.41
s_1 [mm]	0.40
l_{cp} [mm]	4.78
cs [mm]	5.2
l_{GTH} [mm]	0.56
w_{la} [mm]	0.3
l_{la} [mm]	0.67

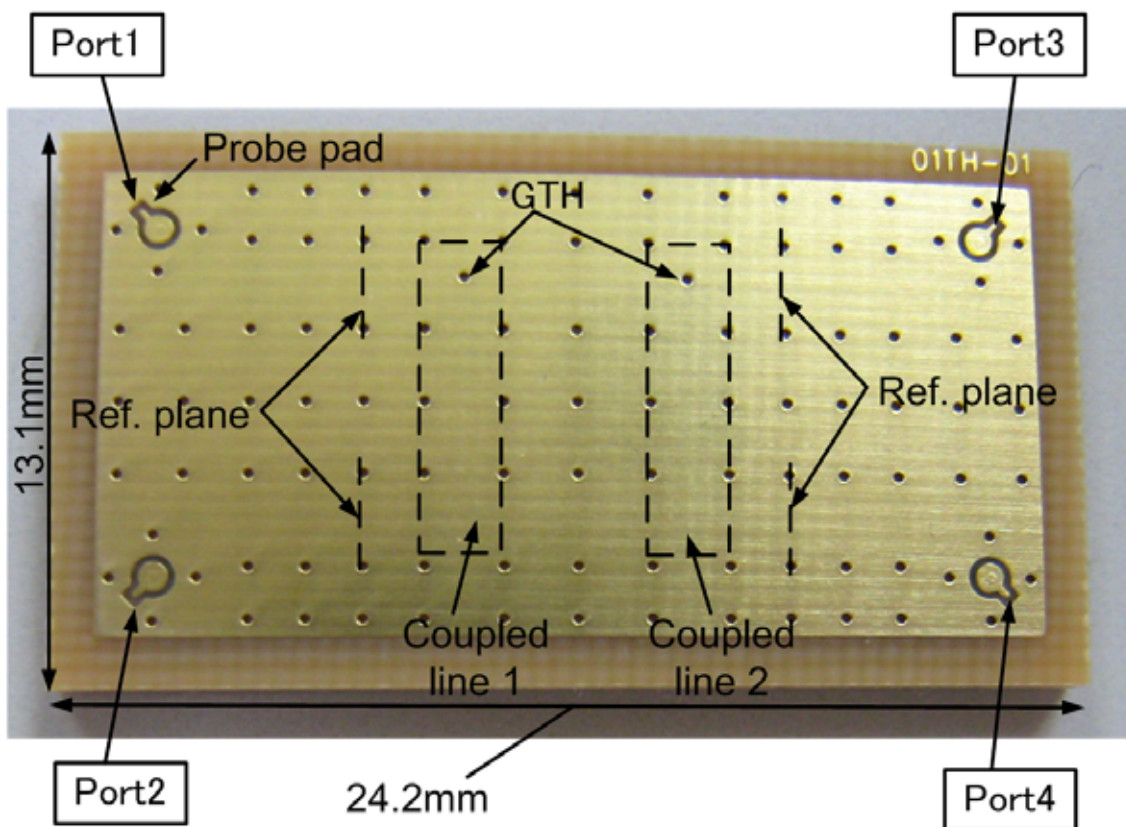
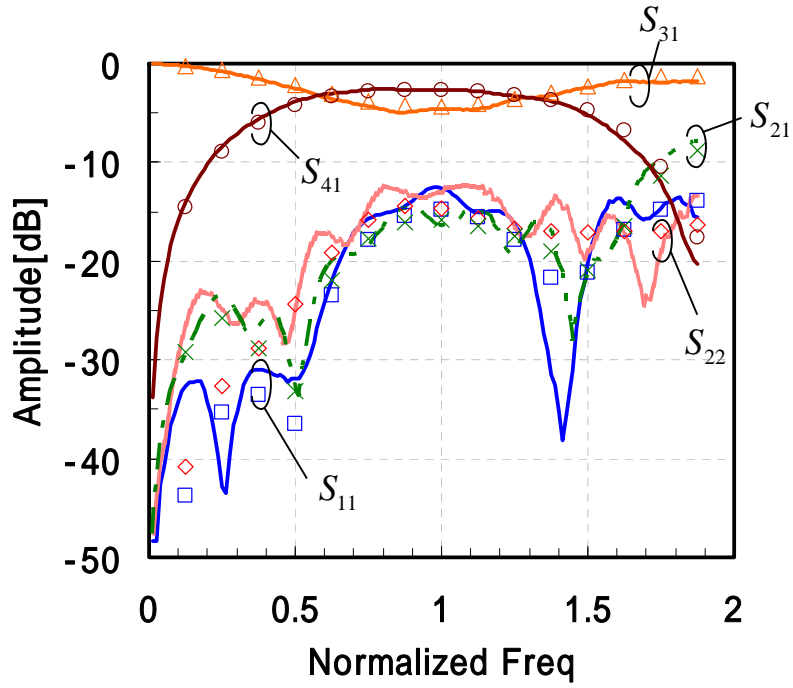
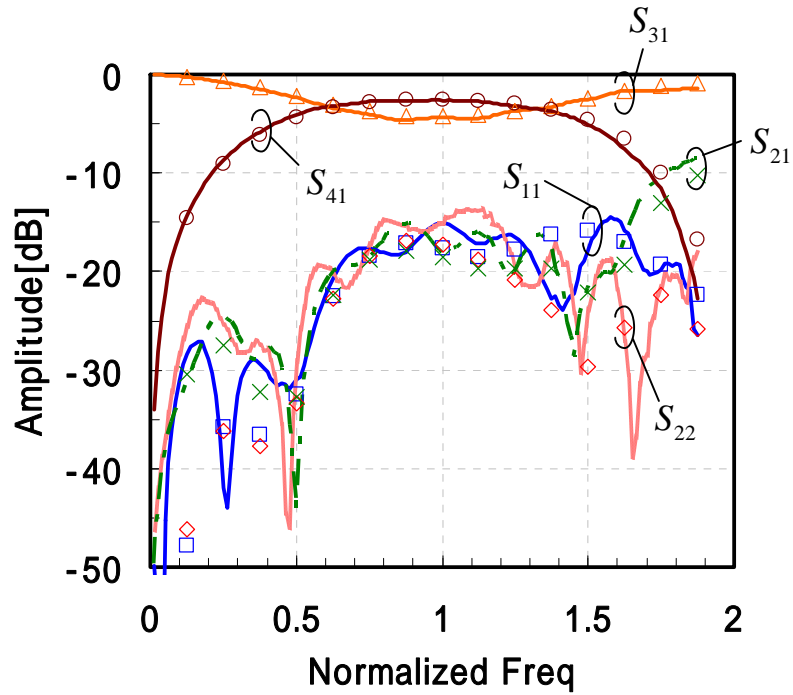


図 4-8 試作品写真外観



(a)



(b)

図 4-9 試作品測定結果

(a):GTH 無し、(b):GTH 有り

表 4-5 測定結果まとめ（規格化周波数 0.5-1.5）

	Conventional Coupler		Proposed Coupler	
	Meas.	Sim.	Meas.	Sim.
S_{11}, S_{22} [dB]	≤ -12.3	≤ -14.4	≤ -13.7	≤ -15.8
S_{21} [dB]	≤ -14.6	≤ -15.8	≤ -15.1	≤ -17.8

4.6. むすび

信号線間交差部容量補償用近接グラウンドスルーホール（GTH）を有する結合線路型カプラを提案した。近接 GTH 適用により発生する信号線導体ーグラウンド導体間容量は、主に偶モード励振時等価回路へ作用し、奇モード励振等価回路で発生する信号線間容量の影響を補償する効果があることを示した。提案回路の設計結果および試作評価結果より、同回路の有効性を示した。近接グラウンドスルーホールは簡素な構成であり、通常のプリント基板製造プロセスで容易に製造が可能であるため、多層基板を用いた高周波モジュールへの適用が容易である。

参考文献

- [4.1] M. Leib, W. Mayer, H. Bilzer and W. Menzel, "A multilayer front-end for an imaging radar sensor," 2005 IEEE MTT-S Int. Microwave Symp. Dig., pp. 1715–1718, June. 2005.
- [4.2] S. Gong, A. Backström, M. Ågesjö, A. Serban and M. Karlsson, "Integration of a 5-GHz radio front-end in PCB," 2006 High Density Microsystem Design and Packaging and Component Failure Analysis, pp. 146–148, June. 2006.
- [4.3] J. Kuhn, F. van Raay, R. Quay, R. Kiefer, W. Bronner, M. Seelmann-Eggebert, M. Schlechtweg, M. Mikulla, O. Ambacher, and M. Thumm, "Balanced Microstrip AlGaIn/GaN HEMT Power Amplifier MMIC for X-Band Applications," European Microwave Integrated Circuits Conference 2008, pp. 95-98, Oct. 2008.
- [4.4] F. Ferrero, C. Luxey, G. Jacquemod, and R. Staraj, "Dual-Band Circularly Polarized Microstrip Antenna for Satellite Applications," IEEE Antennas Wireless Propag. Lett., vol. 4, pp. 13–15, 2005.
- [4.5] M. Kossel, H. Benedickter and W. Baechtold, "Circular polarized aperture coupled patch antennas for an RFID system in the 2.4 GHz ISM band," IEEE Radio and Wireless Conference Digest, pp. 235-238, Aug. 1999.
- [4.6] J. Lange, "Interdigitated stripline quadrature hybrid," IEEE Trans. Microw. Theory Tech., vol. 17, no. 12, pp. 1150–1151, Dec. 1969.
- [4.7] J. Cho, H. Hwang, and S. Yun, "A Design of Wideband 3-dB Coupler With N-Section Microstrip Tandem Structure," IEEE Trans. Microw. Theory Tech., vol. 54, no. 9, pp. 3521-3525, Sep. 2006.
- [4.8] J. Chiu, C. Lin, and Y. Wang, "A 3-dB Quadrature Coupler Suitable for PCB

Circuit Design,” IEEE Microw. Wireless Compon. Lett., vol. 15, no. 2, pp. 113-115, Feb. 2005.

[4.9] T. Budka and R. Flynt, “Alignment tolerant stripline directional couplers,” 1997 IEEE MTT-S Int. Microwave Symp. Dig., vol.2, pp. 773–776, June. 1997.

[4.10] T. Yuasa, Y. Tahara, and H. Oh-hashii, “A Strip Line Broadside Hybrid Coupler Tolerant to Displacement Error and Thickness Variation in Multi-Layered LTCC Substrate,” IEICE Trans. Electron., vol.E91-C, no.10, pp 1684-1689, Oct. 2008.

5. 抵抗膜長補償用段間容量素子を有する 2 段ウィルキンソン型電力分配器

5.1. まえがき

ウィルキンソン型電力分配器[5.1]は、出力端子間アイソレーションが確保された分配器として、アレーアンテナ給電回路[5.2]、増幅器前後段の分配合成回路[5.3]等に幅広く適用されており、同分配器は 1/4 波長線路部およびアイソレーション抵抗部を多段化することにより、広帯域化が可能である[5.4]。

一般に、アイソレーション抵抗にはチップ抵抗が用いられることが多いが、チップ抵抗のサイズが波長に対して無視できなくなる高周波数領域において、出力ポート間アイソレーション特性や入出力ポート反射特性等の劣化が生じる問題点がある。また、誘電体基板上に作製する抵抗膜によりアイソレーション抵抗を実現し、チップ抵抗が不要な簡素な構成も実現できるが、同様に抵抗膜長が波長に対して無視できなくなる周波数領域において特性劣化を生じる点が問題である。

1 段のウィルキンソン型電力分配器においては、上記問題点の解決手段として、出力端子部からアイソレーション抵抗配置部の間に延長線路を設け、抵抗部で発生するリアクタンス成分を補償する回路構成が提案されている[5.5]、[5.6]。しかしながら、上記延長線路により補償される周波数帯域は設計中心周波数とその近傍に限られ、広帯域特性を得ることを目的とした多段のウィルキンソン型電力分配器においては、帯域端部の補償が不十分であり、また、延長線路適用による回路規模の拡大も問題点となるため、採用が困難である。

本章では、抵抗膜を用いて構成する 2 段ウィルキンソン型分配器に適した抵抗膜長補償方法として、段間容量素子を設けた簡素な補償方法を提案する。偶奇モード励振時等

価回路を用い、奇モード励振時においては、段間容量素子が低い抵抗値を実現する抵抗膜長を補償する回路として動作することを示し、これを実現するために必要な抵抗膜幅の設計方法を明らかにする。また、偶モード励振時においては、段間容量素子が高い抵抗値を実現する抵抗膜長を補償する回路として動作することを示す。提案回路の設計結果および実測結果より、同回路の有効性を示す。

5.2. 分配器構成

図 5-1 に段間容量素子を設けた 2 段ウィルキンソン型電力分配器の構成図を示す。

図 5-1 (a)は誘電体基板（基板厚 t 、比誘電率 ϵ_r ）上面の導体パターンおよび抵抗膜パターン（面積抵抗値 R_s ）を、図 5-1(b)は図 5-1(a)の A-A'面における断面図をそれぞれ示す。本分配器は、図 5-1 に示すようにマイクロストリップ線路（MSL）形式で構成されており、A-A'面に対して対称な等分配器である。入力ポートは Port1、出力ポートは Port2、Port3 とし、ポートインピーダンス Z_0 （線路幅 w_0 ）は 50Ω とした。図 5-1 に示すように、入出力ポート間には特性インピーダンス Z_1 （線路幅 w_1 ）、線路長 l_1 の伝送線路 Line1 と特性インピーダンス Z_2 （線路幅 w_2 ）、線路長 l_2 の伝送線路 Line2 の 2 段インピーダンス変成器が構成され、Line1、Line2 の段間に容量素子を構成するためのオープンスタブ（特性インピーダンス Z_{os} 、線路長 l_{os} ）を付加している。また、入力ポート側には特性インピーダンス Z_3 、線路長 l_3 の伝送線路 Line3 を形成している。線路長 l_1 、 l_2 は電気長 90deg が必要であり、マイクロストリップ線路の実効波長を λ_{eff} とすると、 $l_1 = l_2 = \lambda_{eff}/4$ である。

アイソレーション抵抗は出力ポートに近い方から R_1 （抵抗値： R_1 ）、 R_2 （抵抗値： R_2 ）を構成し、 R_1 の抵抗膜幅を w_{R1} 、 R_2 の抵抗膜幅を w_{R2} とした。この時、抵抗膜長 l_{R1} は面積抵抗値 R_s 、抵抗値 R_1 、抵抗膜幅 w_{R1} から $l_{R1} = R_1 w_{R1} / R_s$ により決定される。同様に、抵抗膜長 l_{R2} は、 $l_{R2} = R_2 w_{R2} / R_s$ で表される。多段のウィルキンソン型分配器においては、出力ポートに近い程高い抵抗値のアイソレーション抵抗が必要となるため[5.4]、抵抗膜幅 w_{R1} と w_{R2} を同等に選んだ場合、図 5-1 に示すように出力ポートに近い抵抗膜の抵抗膜長が長くなる。

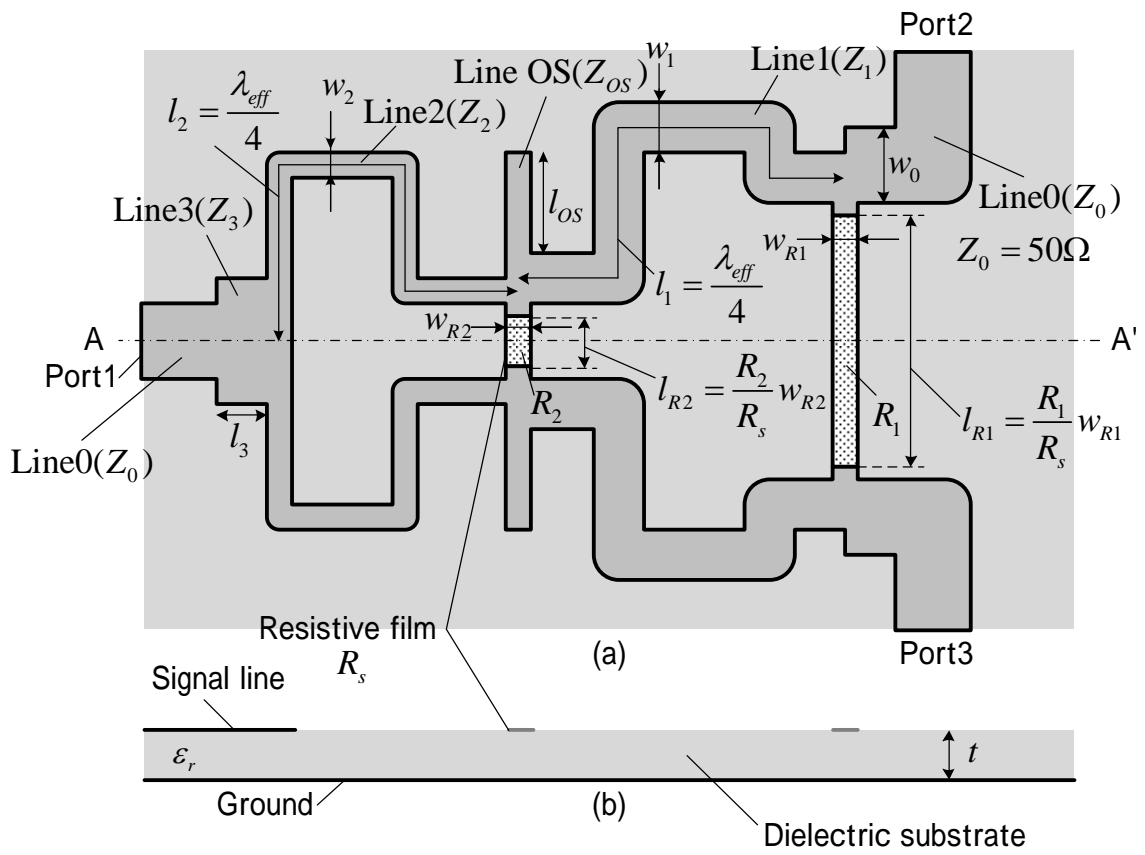


図 5-1 段間容量素子を設けた 2 段ウィルキンソン型分配器

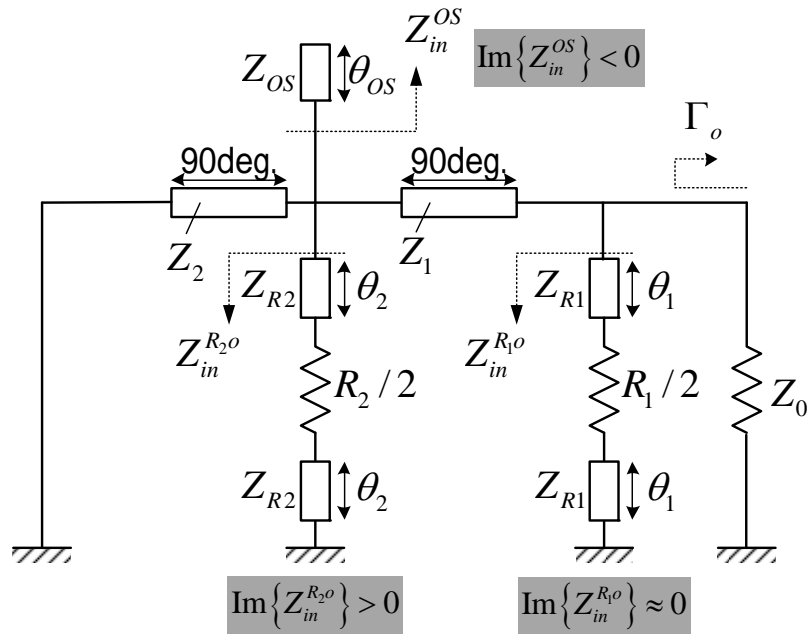
(a):上面図、(b):A-A' 断面図

5.3. 等価回路と抵抗膜長補償方法

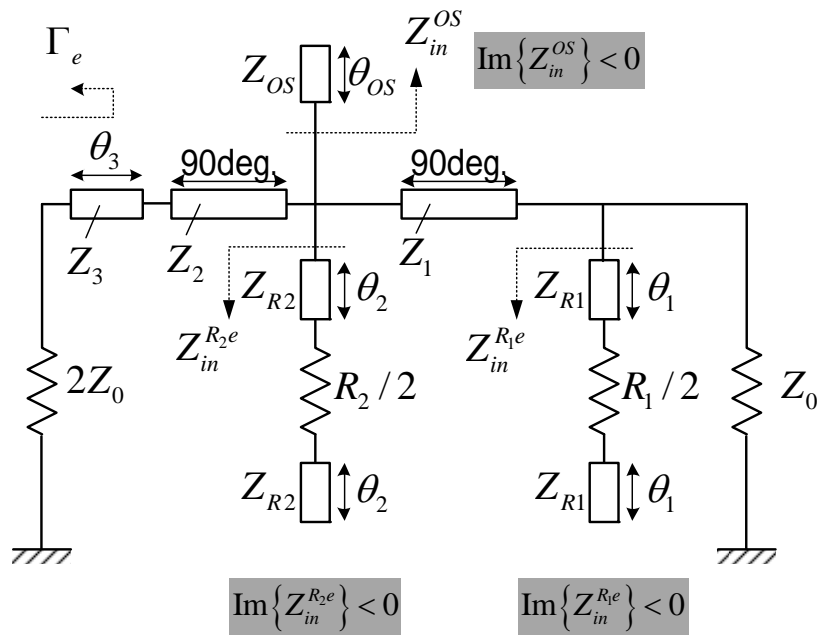
5.3.1. 偶奇モード等価回路

図 5-1 の対称面 A-A' 面に磁気壁／電気壁境界条件を与えた偶奇モード励振時の等価回路を図 5-2 に示す。図 5-2(a)は奇モード励振時の等価回路を、図 5-2(b)は偶モード励振時の等価回路をそれぞれ示す。ここで、抵抗膜部の等価回路は、抵抗 $R_1/2$ 、 $R_2/2$ の両端に抵抗膜長 l_{R1} 、 l_{R2} の 1/4 に相当する電気長 θ_1 、 θ_2 および抵抗膜幅から決まる特性インピーダンス Z_{R1} 、 Z_{R2} を有する伝送線路モデルを用い、抵抗膜長を考慮した[5.7]。ここで、特性インピーダンス Z_{R1} 、 Z_{R2} は、抵抗膜幅と同一の導体幅で構成されるマイクロストリップ線路の特性インピーダンスに相当する。

図 5-2 において、アイソレーション抵抗 R_1 、 R_2 部における入力インピーダンス Z_{in}^{R1o} 、 Z_{in}^{R2o} 、 Z_{in}^{R1e} 、 Z_{in}^{R2e} は、電気長 θ_1 、 θ_2 が波長に対して無視できない周波数において、誘導性／容量性リアクタンス成分を有し、理想回路である電気長ゼロの状態から乖離することにより特性劣化が生じる。このため、抵抗膜長による特性劣化を改善するためには、上記リアクタンス成分の補償設計が必要である。図 5-2 に示した特性インピーダンス Z_{os} 、電気長 θ_{os} の段間容量素子は上記補償のために適用するものであり、段間部からの入力インピーダンス Z_{in}^{os} は $\text{Im}\{Z_{in}^{os}\} < 0$ つまり容量性リアクタンス成分を有する素子である。



(a) Odd mode



(b) Even mode

図 5-2 偶奇モード励振時等価回路

5.3.2. リアクタンス成分補償方法

図 5-2 に示したアイソレーション抵抗部における入力インピーダンス $Z_{in}^{Ri^o}, Z_{in}^{Ri^e}$ ($i = 1, 2$)は、次式で表すことができる。

$$Z_{in}^{Ri^o} = \frac{Z_{Ri} \left[\frac{R_i}{2} Z_{Ri} (1 + \tan^2 \theta_i) + j \left\{ 2Z_{Ri}^2 (1 - \tan^2 \theta_i) - \left(\frac{R_i}{2} \right)^2 \right\} \tan \theta_i \right]}{Z_{Ri}^2 (1 - \tan^2 \theta_i)^2 + \left(\frac{R_i}{2} \right)^2 \tan^2 \theta_i} \quad (5.1)$$

$$Z_{in}^{Ri^e} = \frac{Z_{Ri} \left[\frac{R_i}{2} Z_{Ri} (1 + \tan^2 \theta_i) \tan \theta_i - j \left\{ 2Z_{Ri}^2 (1 - \tan^2 \theta_i) + \left(\frac{R_i}{2} \right)^2 \tan^2 \theta_i \right\} \right]}{\left\{ 4Z_{Ri}^2 + \left(\frac{R_i}{2} \right)^2 \tan^2 \theta_i \right\} \tan \theta_i} \quad (5.2)$$

奇モード励振時におけるアイソレーション抵抗部の理想状態は純抵抗終端状態、偶モード励振時におけるアイソレーション抵抗部の理想状態は開放状態であるため、式(5.1)における理想条件は $\text{Im}\{Z_{in}^{Ri^o}\} = 0$ 、式(5.2)における理想条件は $\text{Im}\{Z_{in}^{Ri^e}\} = -\infty$ である。式(5.1)、式(5.2)から明らかなように、 $\theta_i = 0\text{deg}$ は理想条件を満たしているが、ここでは抵抗膜長が波長に対して無視できない領域を議論するため、 $\theta_i \neq 0\text{deg}$ の条件において補償を行う必要がある。

奇モード励振時に対しては、式(5.1)より、上記理想条件が $\theta_i \neq 0deg$ において存在し、その条件は次式で与えられる。

$$Z_{Ri} = \frac{R_i}{2\sqrt{2(1 - \tan^2 \theta_i)}} \quad (5.3)$$

ここで、 Z_{Ri} 、 θ_i は抵抗膜幅 w_{Ri} の関数であり、また、 R_i は理想等価回路素子値から既知であるため、式(5.3)の条件を満たす設計は、抵抗膜幅 w_{Ri} を設計パラメータとすることで実現可能である。一方、偶モード励振時においては、式(5.2)より、 $0deg < \theta_i \leq 45deg$ の範囲、つまり、抵抗膜長 l_{R1} 、 l_{R2} の電気長 $180deg$ 以下の条件において、 Z_{in}^{Rie} の虚数成分は常に負となるため容量性リアクタンスを示し、また、上記理想条件を満たす解は存在しないことがわかる。

2 段ウィルキンソン型分配器においては、 $R_1 > R_2$ の関係があり、双方のアイソレーション抵抗において式(5.3)の条件を満たすためには、 $Z_{R1} > Z_{R2}$ つまり、 $w_{R1} < w_{R2}$ の関係となる必要がある。しかしながら、抵抗膜幅の拡大は、信号伝送方向への電気長増大による不要な伝送損失増加に繋がり、また抵抗膜長の増大にも寄与することから、抵抗膜幅は極力狭い設計とすることが望ましい。ここでは、相対的に狭い抵抗膜幅にて式(5.3)の条件を満たせるアイソレーション抵抗 R_1 に対し、式(5.3)の条件 $\text{Im}\{Z_{in}^{R1o}\} = 0$ を適用することで w_{R1} を決定し、 w_{R2} は製造可能な範囲で極力小さい値、つまり $w_{R1} \geq w_{R2}$ に設定する設計方法を適用した。この時、 $Z_{R1} \leq Z_{R2}$ 、 $\theta_1 > \theta_2$ 、 $R_1 > R_2$ であり、式(5.1)より、 $\text{Im}\{Z_{in}^{R1o}\} = 0$ の場合、 $\text{Im}\{Z_{in}^{R2o}\} > 0$ となる。つまり、アイソレーション抵抗 R_2 は誘導性リアクタンス成分を有し、図 5-2(a)に示す段間容量素子部の容量性リアクタンス成分 $\text{Im}\{Z_{in}^{os}\} < 0$ によりリアクタンス成分のキャンセルが可能となる。

一方、図 5-2(b)の偶モード励振時においては、アイソレーション抵抗 R_1 、 R_2 部および

段間容量素子部の入力リアクタンスは、 $0deg < \theta_i \leq 45deg$ においていずれも負となり、容量性リアクタンス成分を有する。また、Line1 の電気長が設計中心周波数において $90deg$ 、また、設計帯域端においても $180deg$ 以下であることから、アイソレーション抵抗 R_1 部の容量性リアクタンス成分とアイソレーション抵抗 R_2 部および段間容量素子部の合成された容量性リアクタンス成分は互いに部分的に打ち消しあう関係を利用でき、残留するリアクタンス成分は、Port1 側に挿入した Line3 の特性インピーダンスおよび電気長の調整により低減することが可能となる。なお、Line3 の位置は、図 5-2(a) に示す奇モード励振時等価回路における接地点に相当するため、Line3 は奇モード励振時に影響を与えず偶モード励振時のみに作用する素子となる。

以上より、段間容量素子は、奇モード励振時において抵抗値が低いアイソレーション抵抗 R_2 を、偶モード励振時において抵抗値が高いアイソレーション抵抗 R_1 をそれぞれ補償する素子として動作し、本動作を実現するためには、アイソレーション抵抗 R_1 を構成する抵抗膜幅を適切に設計する必要があることがわかる。

5.4. 設計例

図 5-1 に示した分配器を中心周波数 9.5GHz の X 帯において設計した。誘電体基板には比誘電率 $\epsilon_r = 3.4$ 、誘電正接 $\tan \delta = 0.003$ 、基板厚 $t = 0.3\text{mm}$ のプリント基板を、抵抗膜には面積抵抗値 $R_s = 25\Omega/\text{sq}$ のものを用いた。設計に用いた回路素子値は、理想回路における入力反射特性-30dB 以下を基準に決定し、 $Z_1 = 60\Omega$ 、 $Z_2 = 83\Omega$ 、 $R_1 = 255\Omega$ 、 $R_2 = 95\Omega$ とした[5.4]。設計手順として、抵抗膜幅の設計の後、偶奇モード励振設計を行う方法を採用し、以下にその設計結果および試作評価結果を示す。

5.4.1. 抵抗膜幅の設計

前述したように、アイソレーション抵抗 R_1 に対し、式(5.3)を満たす抵抗膜幅の設計が必要であり、ここではその設計結果を示す。図 5-3 に抵抗膜幅決定のための設計チャートを示す。図 5-3 実線は、 $R_1 = 255\Omega$ とした場合の式(5.3)から得られる特性インピーダンス Z_{R1} と抵抗膜幅 w_{R1} の関係を示したものであり、図 5-3 点線は基板厚 $t = 0.3\text{mm}$ 、比誘電率 $\epsilon_r = 3.4$ の誘電体基板で構成したマイクロストリップ線路(MSL)の特性インピーダンス Z_{R1} と抵抗膜幅 w_{R1} の関係を示したものである。図 5-3 における実線と点線の交点が、リアクタンス成分消去条件を満たす抵抗膜幅を意味し、交点における抵抗膜幅は $w_{R1} = 0.17\text{mm}$ である。しかしながら、ここでは、抵抗膜幅の製造上の制約から上記条件の値を採用することができないため、条件に最も近く、製造可能な最小抵抗膜幅として $w_{R1} = 0.2\text{mm}$ を採用した。この時 $Z_{R1} = 87\Omega$ である。

アイソレーション抵抗 R_2 の抵抗膜幅 w_{R2} については、前述したように、製造可能な範囲で極力小さい値に設定した。上記の通り、最小抵抗膜幅である $w_{R2} = 0.2\text{mm}$ を採用し、結果として w_{R1} と同一幅とした。仮に、抵抗膜幅 0.1mm が製造可能な場合においては、 w_{R1} については上記で求めた $w_{R1} = 0.17\text{mm}$ を、 w_{R2} については最小抵抗膜幅である $w_{R2} = 0.1\text{mm}$ をそれぞれ採用し設計することも可能である。

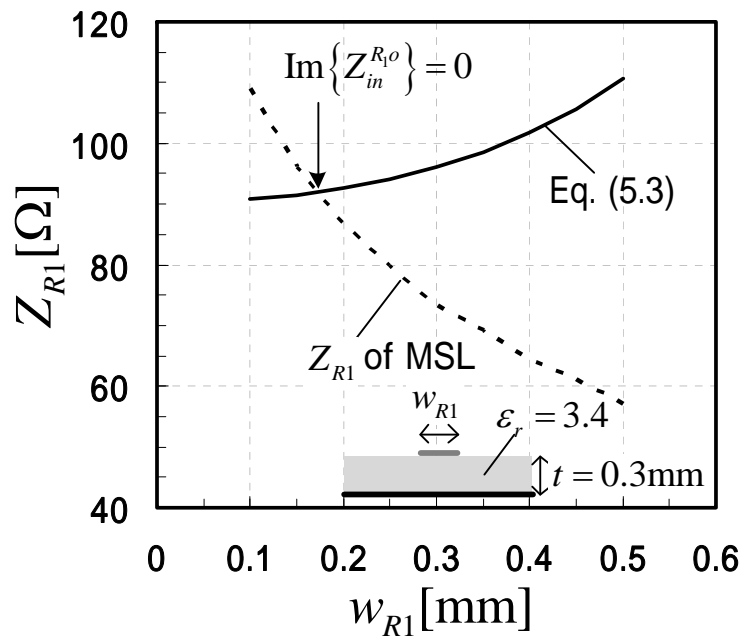


図 5-3 抵抗膜幅設計チャート

5.4.2. 等価回路による補償効果の検証

図 5-2(a)に示した奇モード励振時等価回路における反射係数 Γ_o についての周波数特性計算結果を図 5-4 に示す。図 5-4 において、実線は抵抗膜長を無視し、段間容量素子の無い理想回路による特性、点線は抵抗膜長を考慮した等価回路による特性である。また、点線 2 種は段間容量素子有無に相当し、 $\theta_{os} = 18\text{deg}$ が段間容量素子を適用した場合に相当する。ここで、抵抗膜幅には前節で求めた $w_{R1} = w_{R2} = 0.2\text{mm}$ を採用したため、 $Z_{R1} = Z_{R2} = 87\Omega$ として計算した。また、段間容量素子の幅も抵抗膜幅と同一とし、 $Z_{os} = 87\Omega$ とした。

図 5-4 より、段間容量素子を適用し、その電気長を適切に設計することにより、反射特性劣化分を改善できることが確認され、理想回路に近い特性に補償できていることがわかる。なお、段間容量素子適用前においては、理想特性に比べて周波数特性が高域側にシフトしており、図 5-2(a)において、電気長 90deg のインピーダンス変成器を構成する Line1 および Line2 の端部に誘導性素子が並列に付加されることにより、Line1 および Line2 の等価的な電気長が短く見えることによる影響と考えられる。

図 5-2(b)に示した偶モード励振時等価回路における反射係数 Γ_e についての周波数特性計算結果を図 5-5 に示す。図 5-5 において、実線は抵抗膜長を無視し、段間容量素子の無い理想回路による特性、点線は抵抗膜長を考慮し、図 5-4 に示した段間容量素子を適用した等価回路による特性である。また、点線 2 種は伝送線路 Line3 有無に相当し、 $\theta_3 = 18\text{deg}$ が Line3 を適用した場合に相当する。ここで、Line3 の特性インピーダンスは、図 5-2 (b)における入力ポート側負荷 ($2Z_0 = 100\Omega$) に比べて低い特性インピーダンスである $Z_3 = 70\Omega$ とした。

図 5-5 より、Line3 を適用し、その特性インピーダンスおよび電気長を適切に設計することにより、反射特性劣化分を改善できることが確認できる。しかしながら、理想特性に比べて周波数特性が低域側にシフトしており、高域において十分な補償が得られて

いないことがわかる。これは、図 5-2 (b)において、電気長90degのインピーダンス変成器を構成する Line1 および Line2 の端部に容量性素子が並列に付加されることにより、Line1 および Line2 の等価的な電気長が長く見えることによる影響と考えられ、図 5-4 にて決定した段間容量素子の値は偶モード励振時において過補償であることがわかる。本分配器では、偶奇モード励振時双方において反射特性改善設計が必要であるため、以降に示す構造設計においては、偶奇モード励振時双方にて同等レベルの反射特性を得る設計を行う。

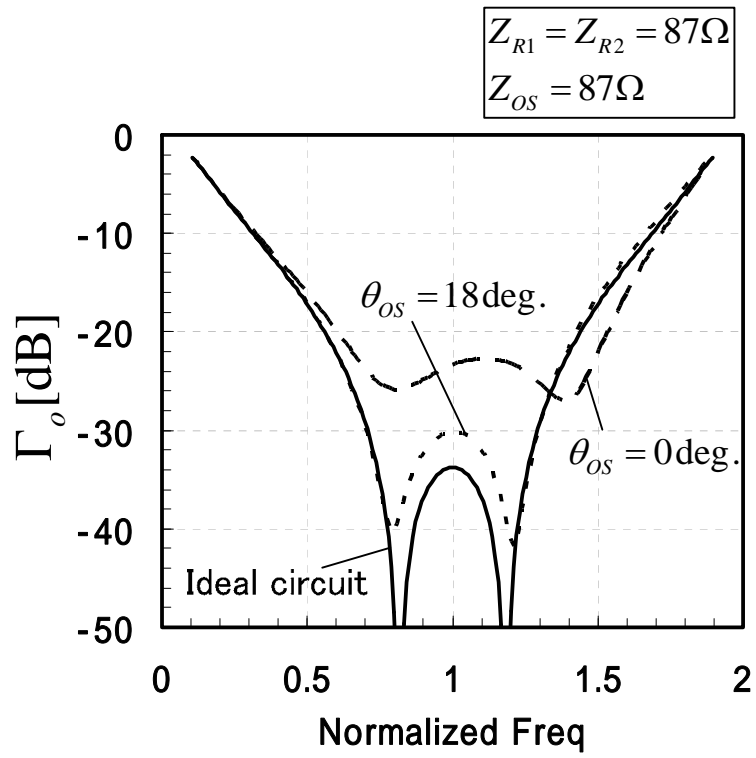


図 5-4 奇モード共振時反射特性等価回路計算結果

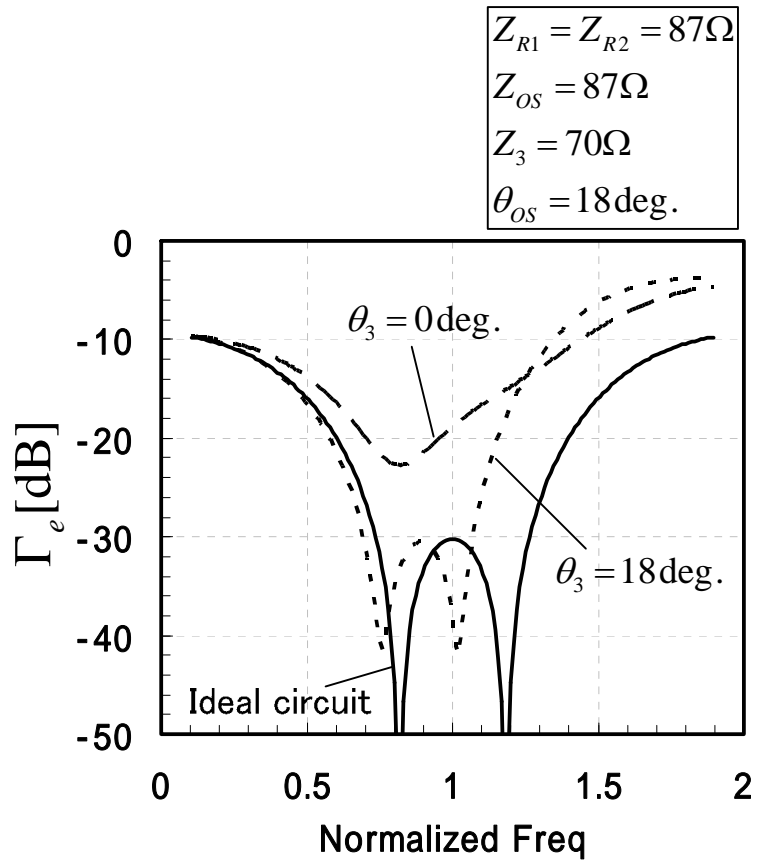


図 5-5 偶モード共振時反射特性等価回路計算結果

5.4.3. 偶奇モード励振による分配器構造設計

図 5-6(a)に偶奇モード励振設計構造を、図 5-6(b)に偶奇モード励振時反射特性計算結果をそれぞれ示す。図 5-6(a)に示す構造は、図 5-1 における対称面 A-A'面において切断した半割り構造であり、切断面に電気壁境界条件 (E-wall) を設定し奇モード励振設計を、切断面に磁気壁境界条件 (M-wall) を設定し偶モード励振設計をそれぞれ行う構造である。奇モード励振時においては、図 5-6 (a)に示す Port A をポートとする 1 ポート設計を、偶モード励振時においては、図 5-6(a)に示す Port A、Port B をポートとする 2 ポート設計をそれぞれ行う。図 5-6(b)には奇モード励振時 Port A における反射係数 Γ_o 、および偶モード励振時 Port B における反射係数 Γ_e の計算結果をそれぞれ示す。計算には電磁界シミュレーション Ansoft HFSS を用いた。

図 5-6(a)において、段間容量素子の幅 w_{os} は前節にて説明した等価回路と同様に抵抗膜幅と同一とし、段間容量素子の電気長に相当する l_{os} を設計パラメータとした。Line3 については、特性インピーダンスに関する w_3 および電気長に相当する l_3 をそれぞれ設計パラメータとした。上記 3 種の設計パラメータを図 5-6(a)に示す値に設計することにより、図 5-6(b)に示すように偶奇モード反射特性は比帯域 60%において-20dB 以下の良好な特性を示すことが確認できる。また偶奇モード両者の反射特性を同帯域幅において同等レベルに設計することが可能である。ここで、設計した l_{os} の値は、16.4degに相当し、前節の等価回路において求めた設計値18degに比べて短く、過補償を避けた設計となっている。

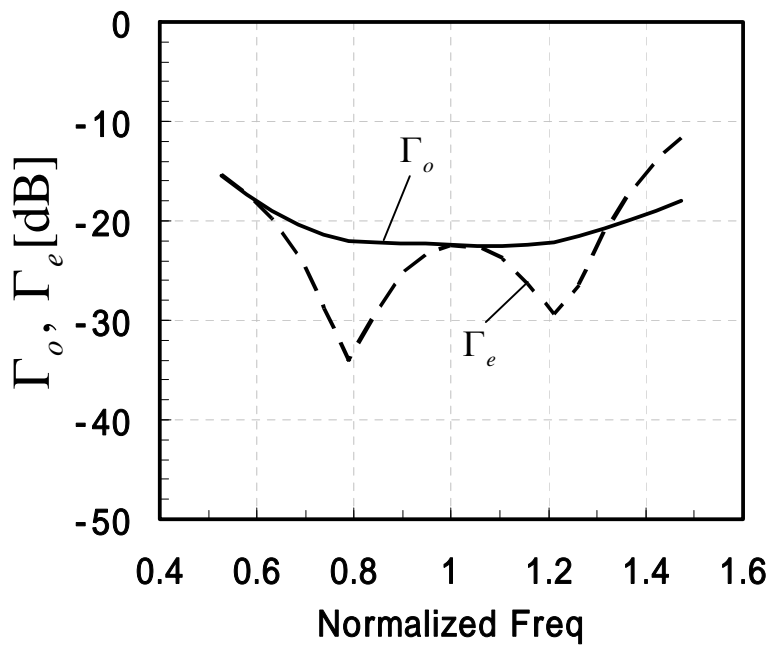
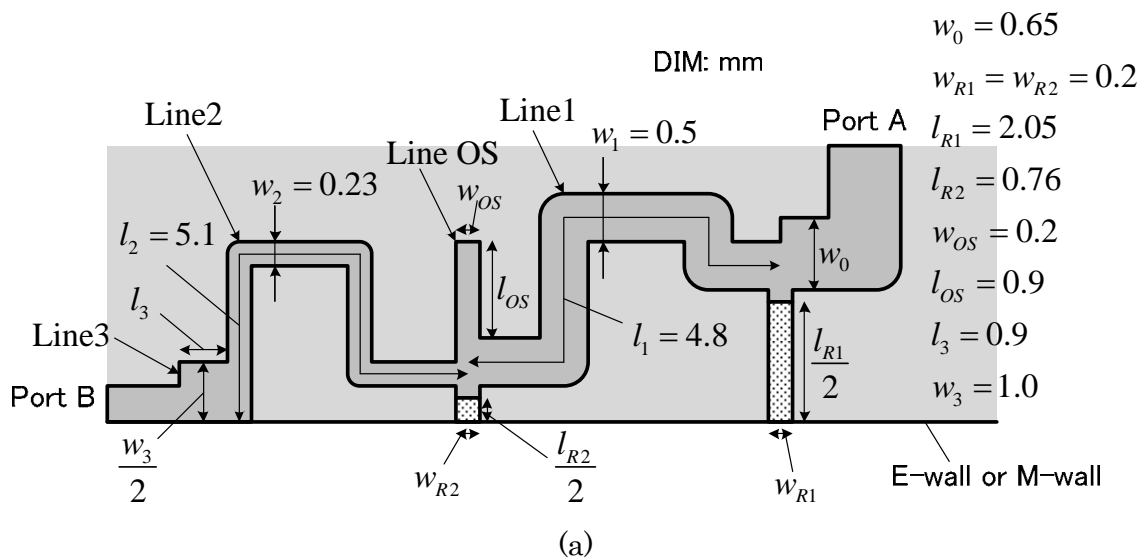
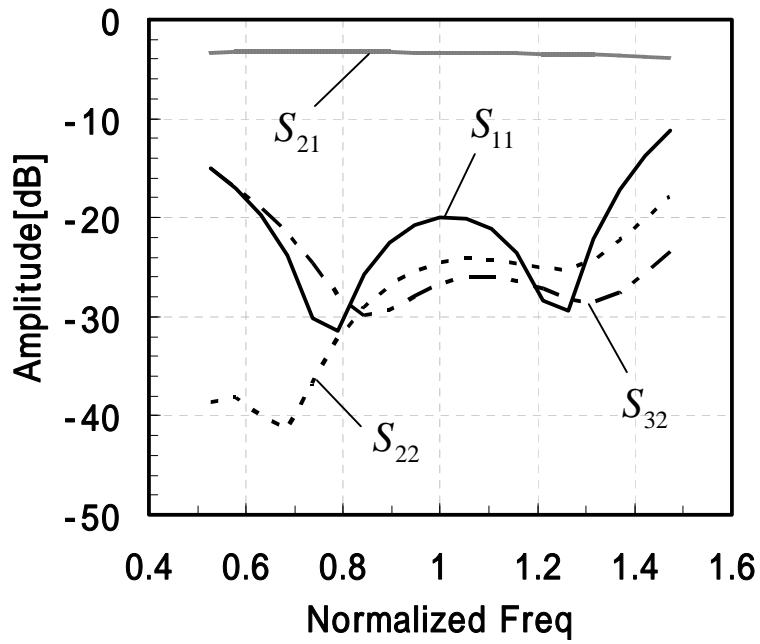


図 5-6 偶奇モード励振時反射特性計算結果

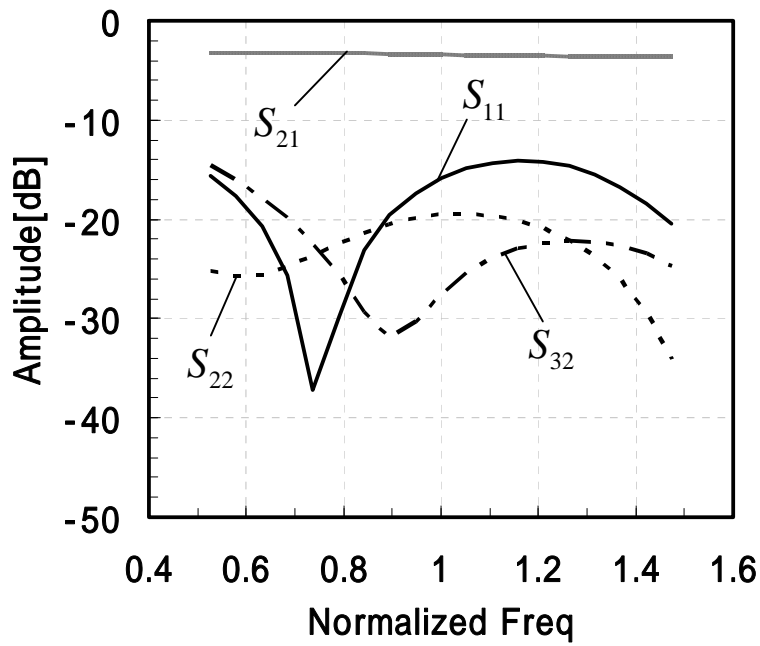
(a):偶奇モードシミュレーションモデル、(b):シミュレーション結果

5.4.4. 分配器特性補償効果

上記偶奇モード励振設計により得られた構造により、分配器全体特性を計算した。計算結果を図 5-7(a)に示す。また、比較のため、段間容量素子および Line3 を適用せずに構成した従来の分配器の全体特性計算結果を図 5-7(b)に示す。図 5-7(a)より、比帯域 60%において入力反射特性 -20.0dB 以下、出力反射特性 -24.3dB 以下、アイソレーション特性 21.5dB 以上、分配損を除いた挿入損失 0.45dB 以下の良好な結果が確認できる。一方、図 5-7(b)より、補償回路を適用せずに構成した分配器においては、周波数特性の高域側へのシフトが見られ、反射特性、アイソレーション特性の劣化が見られる。これに伴い反射特性 -20dB 以下の比帯域は 34%程度に低下している。上述したように、周波数特性高域シフトは奇モード励振時の補償が不足している状態を意味しており、今回提案した補償回路適用により、周波数特性の補償および反射特性、アイソレーション特性の振幅レベルの補償が実現できているものと考えられる。入力反射特性レベルで比較すると、補償回路適用により 6.0dB の改善効果が確認でき、補償回路の有効性を確認できた。



(a)



(b)

図 5-7 分配器特性計算結果

(a):補償回路有り、(b):補償回路無し

5.4.5. 試作評価結果

上記において設計した分配器を試作した。試作品外観写真を図 5-8 に示す。図 5-8 はマイクロストリップ線路形式で構成した分配器の表層パターンを示している。Port1 ～Port3 に GSG プローブパッドを設け、350um ピッチ GSG プローブにより測定を行った。また、校正によりプローブパッドの影響を除去し、分配器のみの特性を評価した。

図 5-9 に分配器試作品評価結果を示す。図 5-9 において、点は図 5-7(a)に示した計算値を、各線は実測値をそれぞれ示している。図 5-9 より、比帯域 60%において、入力反射特性-18.3dB 以下、出力反射特性-20.5dB 以下、アイソレーション特性 20.7dB 以上、分配損を除いた挿入損失 0.68dB 以下の良好な実測結果が得られた。また、反射特性-20dB 以下の比帯域は 57%確保できていることが確認された。入力反射特性、アイソレーション特性、分配特性については計算値と良く対応しているが、出力反射特性については、他の特性に比べ乖離が見られる。出力反射特性に影響を与える因子として、アイソレーション抵抗の抵抗値変動が考えられ、図 5-9 には設計値である $R_s = 25\Omega$ に加え、 $R_s = 30\Omega$ における出力反射特性計算値も示した。 $R_s = 30\Omega$ において、出力反射特性振幅レベルは上昇し、実測値と概ね対応する結果が得られており、上記乖離には抵抗値変動が起因しているものと考えられる。

上記のように、得られた実測値は出力反射特性において若干の乖離が見られるものの、計算値と概ね対応した良好な結果が得られており、提案した補償回路の有効性を実測結果からも確認することができた。

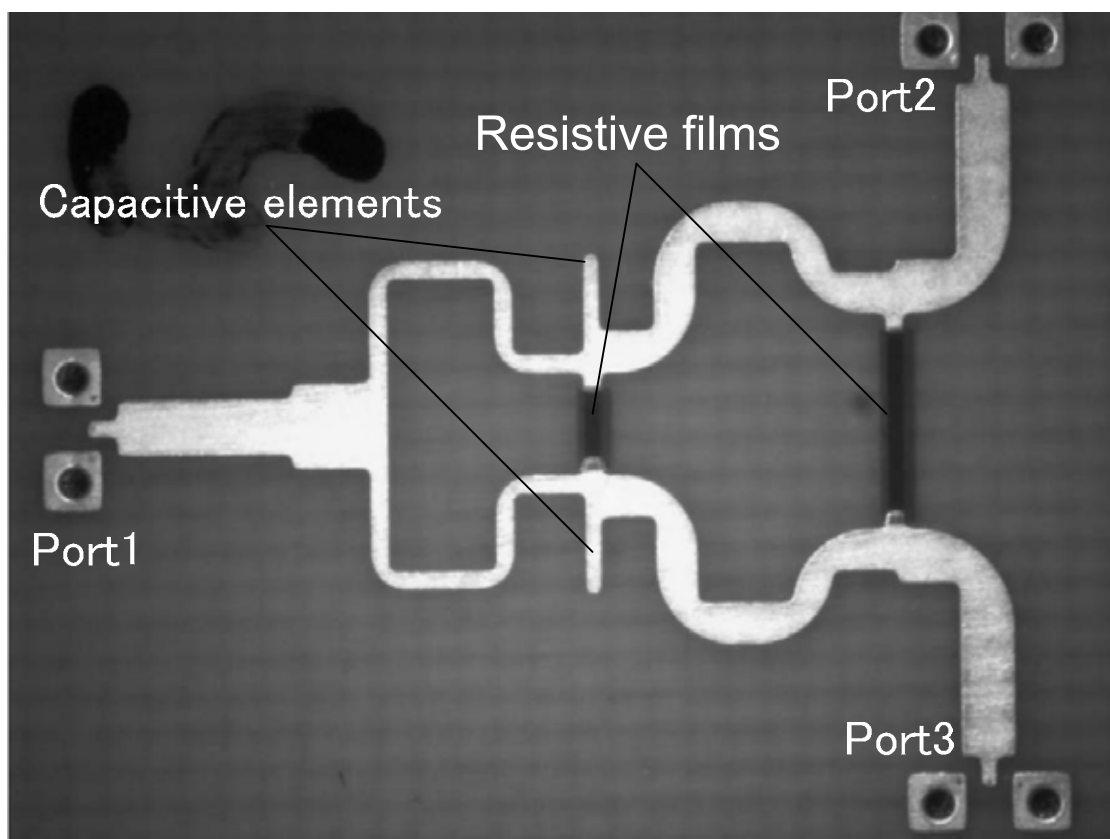


图 5-8 分配器试作品写真

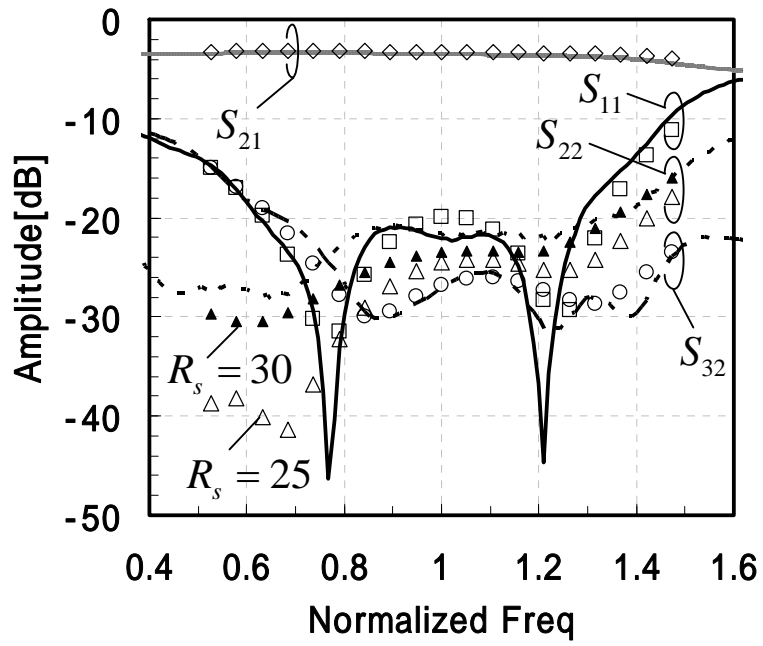


図 5-9 分配器試作品評価結果

(点：計算値、線：測定値)

5.5. むすび

抵抗膜長を補償する段間容量素子を有する 2 段ウィルキンソン型電力分配器を提案した。段間容量素子は奇モード励振時において低い抵抗値を実現する抵抗膜長を、偶モード励振時において高い抵抗値を実現する抵抗膜長をそれぞれ補償する回路として動作し、上記補償回路を実現するために必要な抵抗膜幅の設計方法を示した。提案回路の設計結果および実測結果より、同回路の有効性を示した。提案した補償回路は、通常のプリント基板製造プロセスで容易に製造が可能であり、高周波モジュールへの適用が容易である。

参考文献

- [5.1] E. J. Wilkinson, "An N-way hybrid power divider," IRE Trans. Microw. Theory Tech., vol. MTT-8, no. 1, pp. 116–118, Jan. 1960.
- [5.2] A. Lamminen, J. Saily, and A. Vimpari, "60-GHz patch antennas and arrays on LTCC with embedded-cavity substrates," IEEE Trans. Antennas Propag., vol. 56, no. 9, pp. 2865-2874, Sep. 2008.
- [5.3] P. Riemer, J. Humble, J. Prairie, J. Coker, B. Randall, B. Gilbert, and E Daniel, "Ka-band SiGe HBT power amplifier for single-chip T/R module applications," 2007 IEEE International Microwave Symposium, pp. 1071-1074, June 2007.
- [5.4] S. B. Cohn, "A class of broadband three-port TEM-mode hybrids," IEEE Trans. Microw. Theory Tech., vol. 16, no. 2, pp. 110-116, Feb. 1968.
- [5.5] D. Antsos, R. Crist, and L. Sukamto, "A novel Wilkinson power divider with predictable performance at K and Ka-band," 1994 IEEE International Microwave Symposium, pp. 907-910, May 1994.
- [5.6] Y. Tahara, H. Oh-hashii, and M. Miyazaki, "A novel three-port power divider with compensation networks for non-ideal isolation resistor," IEICE Trans. Electron., vol.E86-C, no.2, pp 139-143, Feb. 2003.
- [5.7] S. Horst, R. Bairavasubramanian, M. M. Tentzeris, and J. Papapolymerou, "Modified Wilkinson power dividers for millimeter-wave integrated circuits," IEEE Trans. Microw. Theory Tech., vol. 55, no. 11, pp. 2439-2446, Nov. 2007.

6. 抵抗値誤差を許容する多層基板内蔵ミリ波終端器

6.1. まえがき

低温焼成セラミック(LTCC)パッケージを使用した高周波フロントエンドモジュールは、高周波半導体チップの気密封止を可能とする構成が実現でき、様々な高周波モジュールに適用されている[6.1]。LTCC基板は、内層に抵抗膜を形成できることから、カップラのダミー終端に使用される終端器の形成が可能である。一方で、焼成時の抵抗膜の厚み制御は一般的に難しく、焼成後の抵抗膜は比較的大きいシート抵抗値誤差を生じ[6.2]、これが終端器特性劣化につながる。高周波モジュールの高品質化のためには、パッケージに内蔵している各回路の製造誤差に対する耐性を強化する必要があり、終端器に関しても抵抗値誤差を許容する構成が求められる。

マイクロ波帯において多用され、直流から高周波まで広帯域な終端特性が得られる先端短絡終端器[6.3]は、周波数がさらに高いミリ波帯用途に対しては以下の点で問題点を有している。線路の特性インピーダンスと抵抗値を等しく選ぶことにより構成する先端短絡終端器においては、抵抗膜や短絡導体の大きさが波長に比べて十分小さくなる周波数範囲で良好な終端特性を示す。通常使用されるLTCC基板で作製可能な抵抗膜、短絡導体の大きさは、ミリ波帯においては波長に対して無視できず、十分な終端性能を得るために周辺に整合回路を設ける必要がある。つまり、整合回路の帯域制限を受ける周波数帯においては、本来の先端短絡終端器のメリットである広帯域特性が損なわれる。

代替終端器構成として、先端開放終端器[6.4]が提案されている。先端開放終端器もまた、抵抗配置部周辺に整合回路を設ける必要があるものの、短絡導体は不要であり、また、抵抗膜サイズを極端に小さく形成する必要も無くなるため、通常のLTCC基板で

作製が可能である。さらに、先端開放終端器は、先端短絡終端器に比べて構成要素が少なく、製造誤差要因の削減にも有効である。上記の理由から、先端開放終端器はミリ波帯 LTCC パッケージ向けの終端器として有効な構成である。

本章では、抵抗値誤差を許容するのに適した多層 LTCC 基板内蔵ミリ波終端器の構成について提案する。抵抗膜外部に分岐部を有し、分岐部から延びる長さの異なる 2 本の信号線導体が抵抗膜とオーバーラップする構造を採用することで、抵抗値誤差許容を実現した。提案回路の有効性を設計、試作評価結果より確認する。

6.2. 構造

図 6-1 に LTCC 多層基板により構成した先端開放終端器構造を示す。LTCC は一層あたりの層厚は t 、比誘電率は $\epsilon_r = 7.1$ の基板を用いた。図 6-1(a)は抵抗膜外部に分岐部を持たない従来終端器を、図 6-1(b)は今回提案する抵抗膜外部に分岐部を有する終端器をそれぞれ示す。図 6-1(a)、図 6-1(b)ともに内層に形成した抵抗膜と接触する内層ストリップ導体を直径 ϕ_{via} の VIA ホールで表層のマイクロストリップ線路の信号線に接続した構成であり、入力ポートの特性インピーダンスは 50Ω である。抵抗膜は面積抵抗値 $R_s[\Omega/\text{sq}]$ のものをを用い、内層に形成している。

図 6-1(b)に示した提案終端器の構造は、信号線導体の分岐構造を抵抗膜外部に設けており、2 つの先端開放信号線がそれぞれ抵抗膜とオーバーラップする構成である。図 6-1(b)に示すように、一方の信号線導体長 $l_1^b + l_2^b + l_3^b$ は、他方の信号線導体長 $l_4^b + l_5^b + l_6^b + l_7^b$ と異なる。本構造は抵抗値誤差許容に有効な終端器構造であり、詳細を以降で述べる。

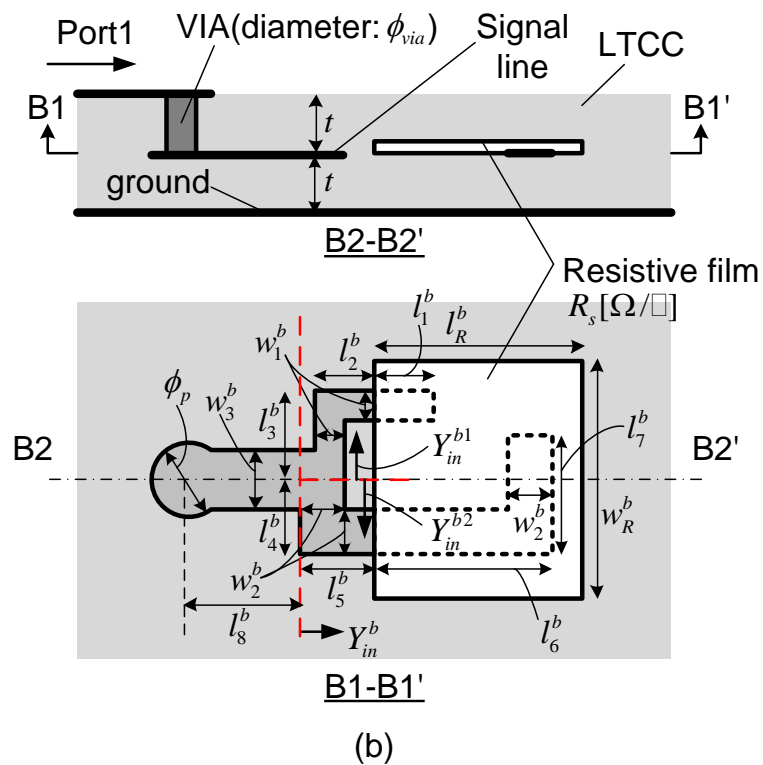
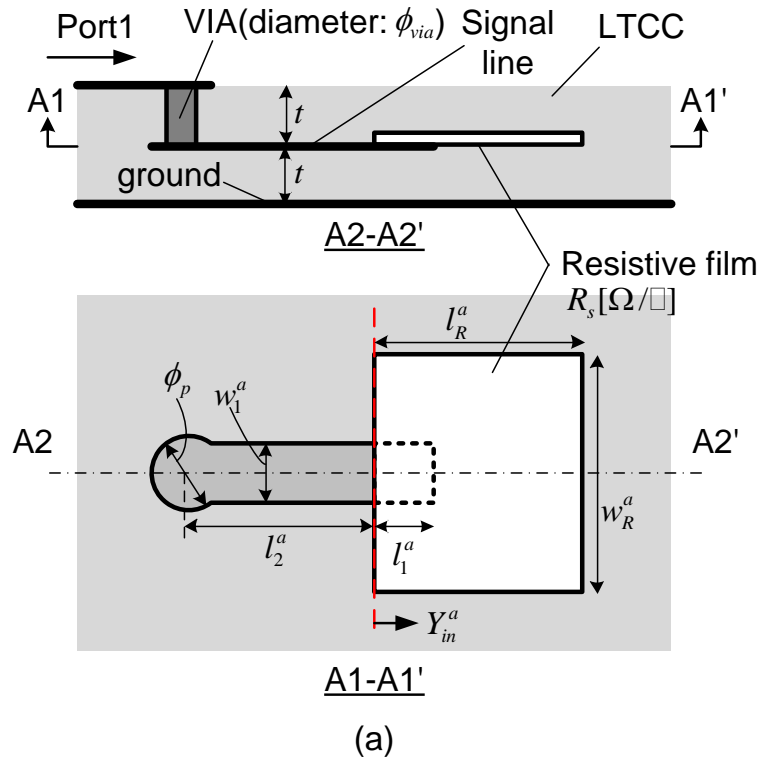


图 6-1 多層基板內藏終端器構造

(a): 従来終端器、(b): 提案終端器

6.3. 回路の特長

図 6-1(a)、図 6-1(b)に示した入力アドミタンス Y_{in}^a 、 Y_{in}^b に関する等価回路を図 6-2、図 6-3 に示す。図 6-2(a)、図 6-3(a)は基準の等価回路モデルであり、図 6-2(b)、図 6-3(b)は抵抗値誤差が生じた場合の等価回路モデルである。抵抗値誤差を ΔR_a 、 ΔR_b と定義し、ここでは誤差を+方向とした。 R_a 、 R_b は面積抵抗値 R_s から決まる等価抵抗値である。

図 6-2(a)、図 6-3(a)に示すように、内層信号線導体と抵抗膜のオーバーラップする領域は、伝送線路モデルとして表すことができ、その特性インピーダンスは Z_{a2} 、 Z_{b2} 、 Z_{b4} 、電気長は θ_{a1} 、 θ_{b1} 、 θ_{b3} である。信号線導体とオーバーラップしない抵抗膜部のモデルは、2つの伝送線路モデルと抵抗 R_a 、 R_b の直列接続として表すことができる[6.5]。上記伝送線路モデルの特性インピーダンスは Z_{a1} 、 Z_{b1} 、電気長は θ_a 、 θ_b である。本モデルは損失性伝送線路の簡易近似モデルである。図 6-3(a)において、抵抗膜とオーバーラップしない内層信号線導体配置部については、通常の伝送線路モデルとして表し、特性インピーダンスを Z_{b3} 、 Z_{b5} 、電気長を θ_{b2} 、 θ_{b4} とした。

信号線導体とオーバーラップしない抵抗膜部における等価的な特性インピーダンス Z_{a1} 、 Z_{b1} と電気長 θ_a 、 θ_b は、抵抗値 R_a 、 R_b の関数である。これは、抵抗膜上の電流分布が抵抗値によって変動するためである。抵抗値が R_a 、 R_b から $R_a + \Delta R_a$ 、 $R_b + \Delta R_b$ に高くなる場合、電流分布領域は小さくなる。即ち、特性インピーダンス Z_{a1} 、 Z_{b1} は $Z_{a1} + \Delta Z_{a1}$ 、 $Z_{b1} + \Delta Z_{b1}$ に大きい方向へ変動し、電気長は逆に θ_a 、 θ_b から $\theta_a - \Delta\theta_a$ 、 $\theta_b - \Delta\theta_b$ に小さい方向へ変動する。内層信号線導体と抵抗膜のオーバーラップする領域においては、特性インピーダンスが大きい方向へ変動し、電気長は信号線導体長で決まるため変動しない。

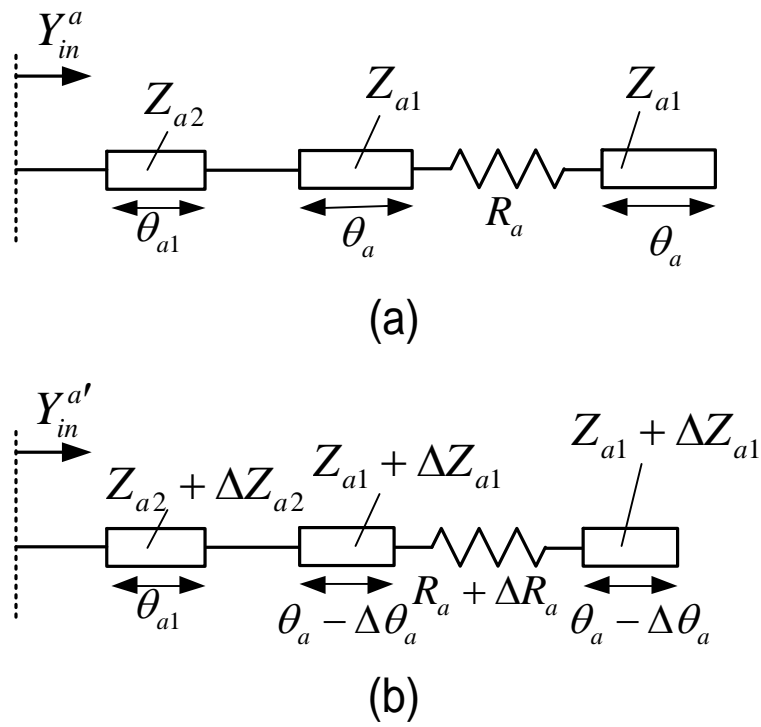


図 6-2 従来終端器の入力アドミタンス等価回路

(a): 抵抗値変動無し、(b): 抵抗値変動有り

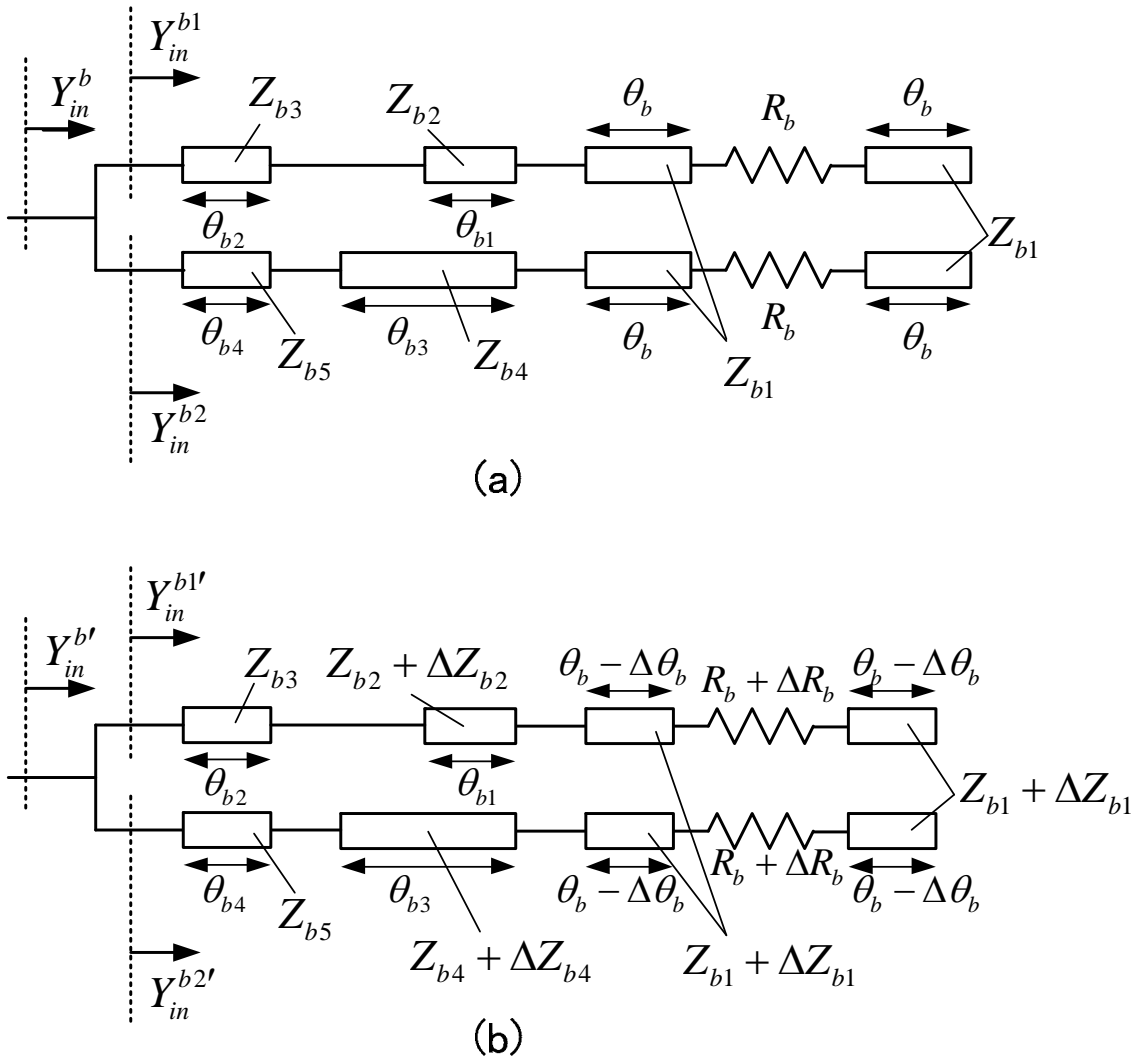


図 6-3 提案終端器の入力アドミタンス等価回路

(a): 抵抗値変動無し、(b): 抵抗値変動有り

抵抗値変動 ΔR_a , ΔR_b が図 6-2(a)、図 6-3(a)に生じた場合、等価回路モデルは図 6-2(b)、図 6-3(b)に変わる。図 6-2 より明らかなように、入力アドミタンス $Y_{in}^{a'}$ は元の値から変わるため、次の関係式が得られる。

$$Y_{in}^a - Y_{in}^{a'} \neq 0 \quad (6.1)$$

一方、抵抗値誤差許容条件は次式である。

$$Y_{in}^a \approx Y_{in}^{a'} \quad (6.2)$$

式(6.1)は図 6-2 の構造に関する基本条件となり、式(6.1)左辺の絶対値は抵抗値誤差が大きくなるに従って増加する。このため、抵抗値誤差 ΔR_a が大きい領域においては、式(6.2)の条件を満たすことができない。従って従来終端器においては、終端特性の変動を回避することが不可能となる。

図 6-3 に示した提案終端器においては、次の基本条件が成立する。

$$Y_{in}^{b1} - Y_{in}^{b1'} \neq 0, Y_{in}^{b2} - Y_{in}^{b2'} \neq 0 \quad (6.3)$$

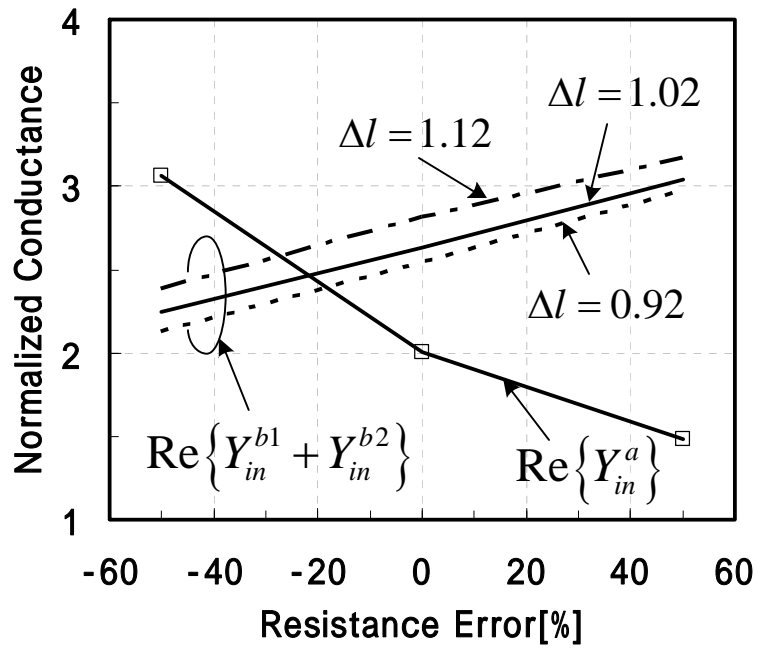
また、抵抗値誤差許容条件は次式である。

$$Y_{in}^{b1} + Y_{in}^{b2} \approx Y_{in}^{b1'} + Y_{in}^{b2'} \quad (6.4)$$

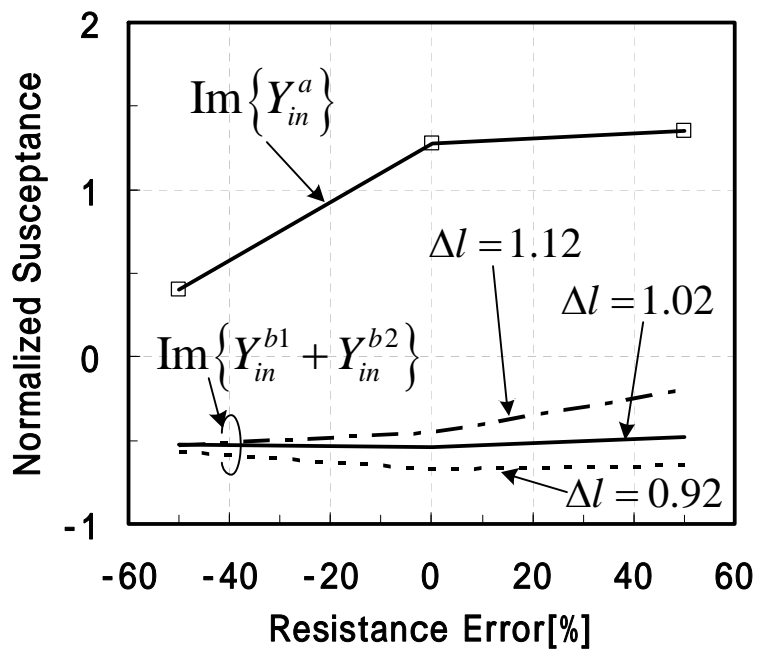
式(6.4)のように、提案終端器における抵抗値誤差許容条件は、分岐回路双方の入力アドミタンスの和が等しくなるようにすれば良いため、式(6.3)の拘束を回避可能である。実

際的设计においては、式(6.4)の条件に近付けるために、 Y_{in}^{b1} と Y_{in}^{b2} に適切な位相差を設定する必要がある。これは、位相差が小さい領域においては、図 6-2 と同様、抵抗値誤差許容条件を満たしにくくなるためである。設計初期値として、2つの分岐された線路長の差を 1/4 波長に設定することが望ましい。ミリ波用回路においては、上記位相差を発生させるための線路物理長はマイクロ波帯に比べて短く、回路規模増大への影響は軽微である。

図 6-4 に 38GHz における入力アドミタンスの電磁界シミュレーション結果を示す。電磁界シミュレーションには Ansoft HFSS を用いた。図 6-4(a)には規格化コンダクタンス $\text{Re}\{Y_{in}^a\}$, $\text{Re}\{Y_{in}^{b1} + Y_{in}^{b2}\}$ を、図 6-4(b)には規格化サセプタンス $\text{Im}\{Y_{in}^a\}$, $\text{Im}\{Y_{in}^{b1} + Y_{in}^{b2}\}$ をそれぞれ示す。シミュレーションにおいては、双方の入力アドミタンス Y_{in}^{b1} , Y_{in}^{b2} を独立に求め、入力ポートのインピーダンスを 50Ω とした。図 6-4 に示した線路長差 Δl は $\Delta l = (l_4^b + l_5^b + l_6^b + l_7^b) - (l_1^b + l_2^b + l_3^b)$ である。設計時の面積抵抗値は $R_s = 130[\Omega/\text{sq}]$ であり、抵抗値誤差を最大 $\pm 50\%$ と仮定した。図 6-4 より、提案終端器の規格化コンダクタンス $\text{Im}\{Y_{in}^{b1} + Y_{in}^{b2}\}$ および規格化サセプタンス $\text{Re}\{Y_{in}^{b1} + Y_{in}^{b2}\}$ の対抵抗値誤差感度は、従来終端器に比べて小さく抑えられていることが確認できる。線路長差 Δl は、提案終端器における設計パラメータであり、図 6-4 の結果より、特に規格化コンダクタンス特性において、 $\Delta l = 1.02\text{mm}$ が最も抵抗値誤差感度が低く、以降の設計において $\Delta l = 1.02\text{mm}$ を採用した。提案終端器の規格化コンダクタンス、規格化サセプタンスの従来終端器比の変動低減量はそれぞれ50%、96%である。



(a)



(b)

図 6-4 入力アドミタンスの電磁界シミュレーション結果 (周波数 : 38GHz)

(a):規格化コンダクタンス、(b):規格化サセプタンス

6.4. 設計結果

図 6-5 に 40GHz 帯における入力インピーダンスの電磁界シミュレーション結果を示す。電磁界シミュレーションには、Ansoft HFSS を用いた。図 6-5(a) は従来終端器の入力インピーダンス即ち $1/Y_{in}^a$ を、図 6-5(b) は提案終端器の入力インピーダンス即ち $1/Y_{in}^b$ をそれぞれ示す。抵抗値誤差を最大 $\pm 50\%$ と仮定した。表 6-1 には、設計した終端器の各パラメータ値を示す。提案終端器においては、前述した通り表 6-1 に示すように $\Delta l = 1.02\text{mm}$ となるように設計寸法を選択している。

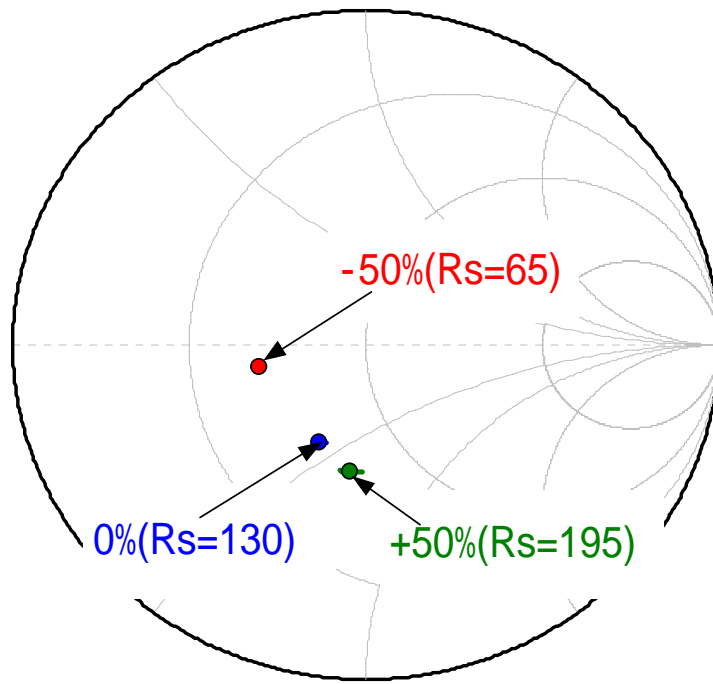
図 6-5 に示すように、提案終端器の入力インピーダンスの感度が、従来終端器に比べて小さく抑えられていることが確認できる。従来終端器においては、入力インピーダンスの変動が大きく、特に位相量の変動が大きいことがわかる。これは、抵抗値変動 -50% 時は抵抗膜部の等価的な電気長が長く、抵抗値変動 $+50\%$ 時は抵抗膜部の等価的な電気長が短く見え、分岐回路を持たない従来終端器において、上記影響が特に顕著であるためと考えられる。従来終端器、提案終端器ともに、図 6-5 に示した面積抵抗値 $R_s = 130$ に対して外部の受動回路で整合回路を構成するため、提案終端器の抵抗値誤差による終端特性の変動も同様に低減できるものと期待される。

図 6-6 に 40GHz 帯において設計した終端器特性の設計結果を示す。図 6-6(a) は従来終端器の反射特性 S_{11} を、図 6-6(b) は提案終端器の反射特性 S_{11} をそれぞれ示す。これまでの議論と同様、抵抗値誤差を最大 $\pm 50\%$ と仮定した。整合回路の設計パラメータは入力線路部の線路長 l_2^a, l_8^b および線路幅 w_1^a, w_3^b である。

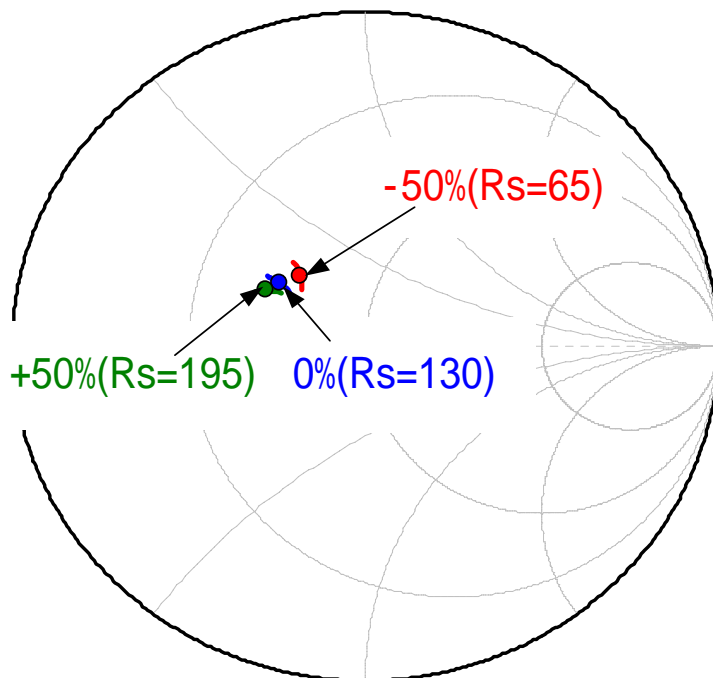
図 6-6(a) より、従来終端器においては、38GHz における反射特性が設計値 -30dB に対して、抵抗値誤差を最大 $\pm 50\%$ 時に最悪で -12dB まで劣化することがわかる。一方、図 6-6(b) より、提案終端器においては、設計値からの変動を低減できており、38GHz における反射特性最悪値を -24dB 確保できることが確認でき、従来比 12dB の改善効果が得られた。以上より、提案終端器の有効性を設計結果から確認することができる。

表 6-1 設計終端器の各パラメータ値

t [mm]	0.07	l_4^b [mm]	0.3
ϕ_p [mm]	0.21	l_5^b [mm]	0.37
ϕ_{via} [mm]	0.13	l_6^b [mm]	0.7
l_1^a [mm]	0.2	l_7^b [mm]	0.45
l_2^a [mm]	0.9	l_8^b [mm]	0.49
w_1^a [mm]	0.17	w_1^b [mm]	0.1
l_R^a [mm]	0.7	w_2^b [mm]	0.17
w_R^a [mm]	1.0	w_3^b [mm]	0.18
l_1^b [mm]	0.2	l_R^b [mm]	0.9
l_2^b [mm]	0.3	w_R^b [mm]	1.0
l_3^b [mm]	0.3		



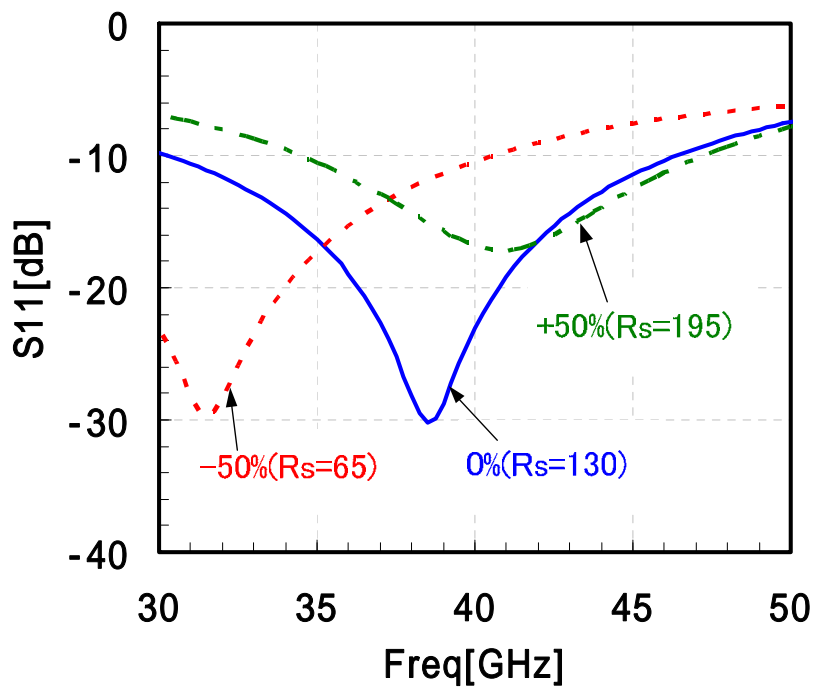
(a)



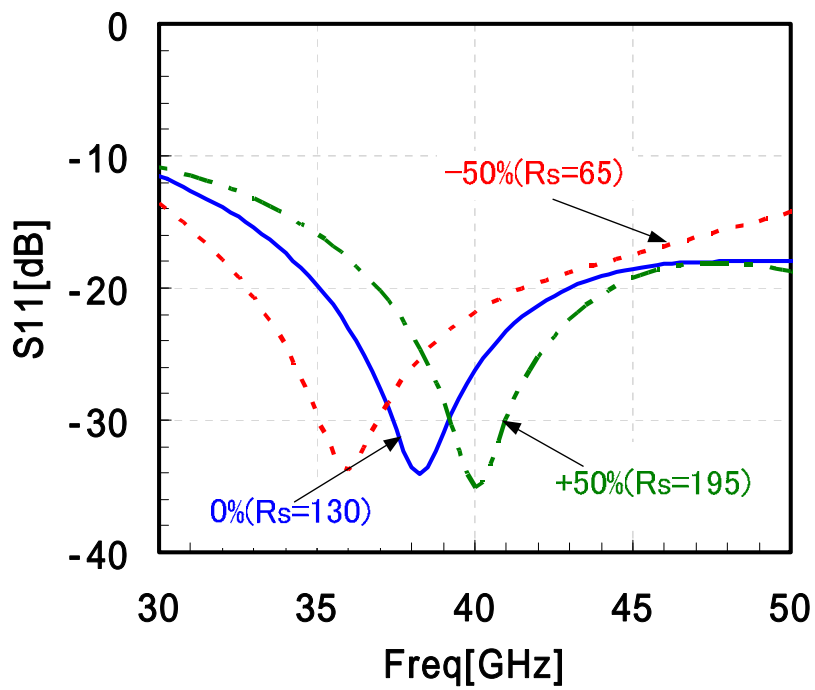
(b)

図 6-5 抵抗膜部からの反射特性シミュレーション結果(40GHz 帯)

(a):従来終端器、(b):提案終端器



(a)



(b)

図 6-6 終端器設計結果

(a):従来終端器、(b):提案終端器

6.5. 試作評価結果

図 6-7 に、終端器試作品の写真を示す。図 6-7(a)が従来終端器、図 6-7(b)が提案終端器の写真である。従来終端器の専有サイズは $1.6 \times 1.0\text{mm}^2$ 、提案終端器の専有サイズは $1.76 \times 1.0\text{mm}^2$ である。終端器特性の測定は、 $150\mu\text{m}$ ピッチの GSG プロブにより行い、校正によりプローブパッドおよび給電線路の影響を除去した。実測値の基準面は、図 6-7 に示した位置である。

図 6-8 に終端器測定結果を示す。図 6-8(a)には、従来終端器 35 サンプルの測定結果を、図 6-8(b)には、提案終端器 40 サンプルの測定結果をそれぞれ示す。図 6-8 には、図 6-6 に示したシミュレーション結果も併せて示す。図 6-8 より、終端器個体間のばらつきは、従来終端器、提案終端器ともに比較的小さいことがわかる。しかしながら、双方の終端器ともに、測定結果の周波数特性は、設計値に比べて高域にシフトしており、設計時に仮定した抵抗値誤差 $\pm 50\%$ の範囲を外れてシフトしていることがわかる。図 6-6 には、追加で実施した抵抗値誤差 $+120\%$ 時のシミュレーション結果を示す。本シミュレーション結果と測定結果は概ね対応し、試作品における抵抗値誤差は $+120\%$ つまり、面積抵抗値 $R_s = 286$ 程度に変動しているものと推定できる。

図 6-9 に、従来終端器 35 サンプル、提案終端器 40 サンプルの全測定値比較結果を示す。図 6-9 より、 30GHz から 50GHz における終端器特性は、提案終端器の特性が今回測定した測定値全数において良好であることが確認できる。設計周波数 38GHz においては、従来終端器 -7.87dB 以下から提案終端器 -11.7dB 以下と約 4dB の改善効果が確認できた。また、測定結果において反射特性の極小値を示す 44GHz においては、約 9dB の改善が得られている。以上より、試作評価結果においても、提案終端器構造が従来終端器に比べて抵抗値誤差に対して耐性を有することが確認できた。

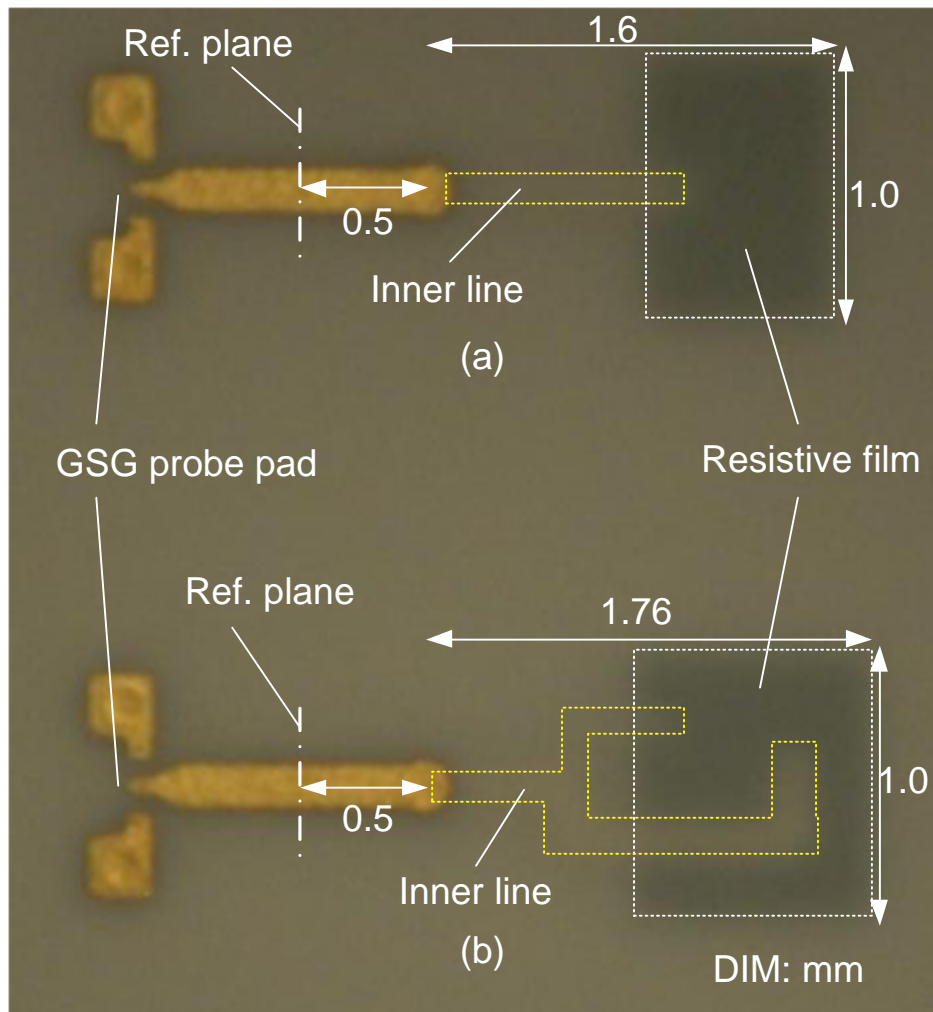
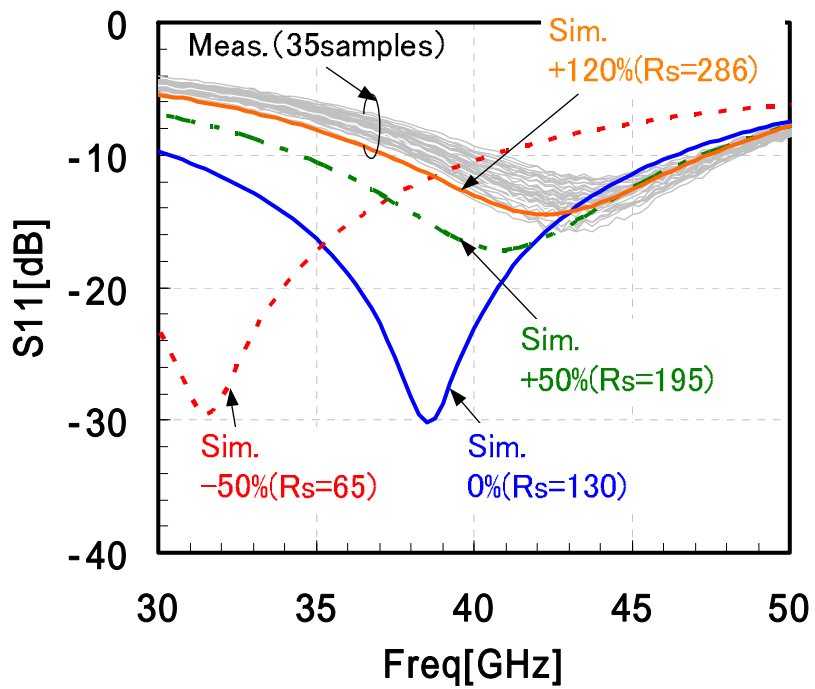
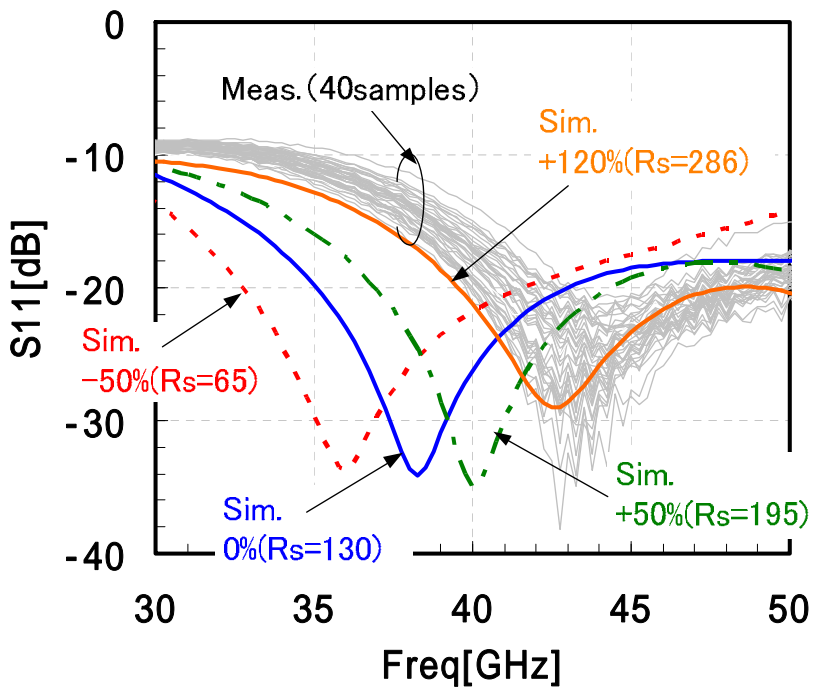


図 6-7 終端器試作品写真

(a):従来終端器、(b):提案終端器



(a)



(b)

図 6-8 終端特性測定結果

(a):従来終端器、(b):提案終端器

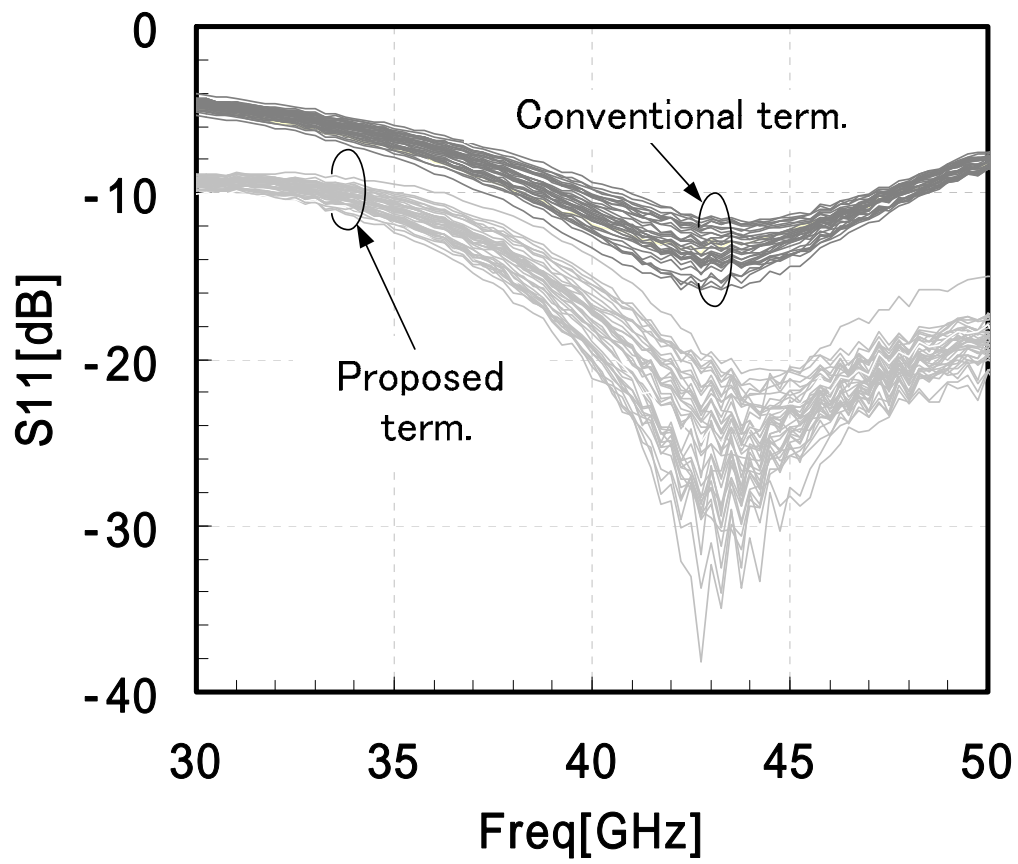


図 6-9 従来終端器と提案終端器の測定値比較結果

6.6. むすび

抵抗値誤差を許容する多層基板内蔵ミリ波終端器を提案した。抵抗膜外部に分岐部を設け、分岐部から延びる長さの異なる 2 本の信号線導体を抵抗膜とオーバーラップする構造を提案し、本構造の有効性を設計結果、試作評価結果により示した。提案する終端器構造は、製造誤差起因の設計値からの性能変動低減に有効であり、多層基板を用いた各種高周波モジュールの高品質化に有効である。

参考文献

- [6.1] I. Wolff, "Design and Technology of Microwave and Millimeterwave LTCC Circuits and Systems," Int. Symp. on Signals, Systems and Electronics (ISSSE) 2007, pp. 505-512, July 2007.
- [6.2] G. Wang, F. Barlow, and A. Elshabini, "Modeling and control of resistance tolerance for embedded resistors in LTCC," Proc. 52nd Electron. Comp. Technol. Conf., pp. 516-525, May 2002.
- [6.3] D. Lacombe, "A multioctave microstrip 50- Ω termination," IEEE Trans. Microw. Theory Tech., vol.20, no.4, pp. 290-291, April 1972.
- [6.4] M. Morgan, and S. Weinreb, "Octave-Bandwidth High-Directivity Microstrip Codirectional Couplers," 2003 IEEE MTT-S Int. Microwave Symp. Dig., pp. 1227-1230, June 2003.
- [6.5] S. Horst, R. Bairavasubramanian, M. M. Tentzeris, and J. Papapolymerou, "Modified Wilkinson Power Dividers for Millimeter-Wave Integrated Circuits," IEEE Trans. Microw. Theory Tech., vol.55, no.11, pp. 2439-2446, Nov. 2007.

7. 結論

本論文は、フェーズドアレー用高周波モジュールの高品質化を目的とし、「不要結合抑圧設計技術」、「製造誤差耐性設計技術」、「寄生成分補償設計技術」に関わる各技術課題に対して行った研究成果をまとめたものである。

2章では、「不要結合抑圧設計技術」を対象技術課題に据え、VIA ホール列による平行平板モード抑圧量の簡易評価式をモード整合法理論から導出し、電磁界シミュレーション結果との比較からその有効性について示した。VIA ホール列に対して垂直方向へ入射する場合について定式化を行い、斜め入射時に拡張する方法を提案した。提案した簡易評価式は、複雑な数値計算を必要とせず、複数の VIA ホールパラメータの組み合わせに対する平行平板モード抑圧量を容易に計算できる。このため、本簡易評価式を用いた高周波回路の設計は、多層基板内の最適な VIA ホール配置の検討に有効であり、多層基板を用いた高周波回路の小型化設計に対して非常に有用である。

3章では、「製造誤差耐性設計技術」を対象技術課題に据え、製造誤差耐性用サイドグラウンド壁を有するブロードサイド結合線路型カップラを提案し、その有効性を設計結果、試作評価結果を通して示した。層間の位置ずれ誤差および基板厚誤差双方に耐性を有するカップラ構成を検討した。層間の位置ずれ誤差に対しては信号線を斜め方向へシフトさせた結合線路を用い、かつ2つの結合線路を対称にタンデム接続した構成を採用することで誤差耐性を実現した。基板厚誤差に関しては、結合線路部に近接サイドグラウンド壁を配置する構成を採用することで誤差耐性を実現した。提案するカップラは上記製造誤差に耐性を有する構成であるため、多層基板を用いた各種高周波モジュールの高品質化に有効である。

4章では、「製造誤差耐性設計技術」ならびに「寄生成分補償設計技術」を対象技術課題に据え、信号線間交差部容量補償用近接グラウンドスルーホールを有する結合線路

型カプラを提案した。近接グラウンドスルーホール適用により発生する信号線導体ーグラウンド導体間容量は、主に偶モード励振時等価回路へ作用し、奇モード励振等価回路で発生する信号線間容量の影響を補償する効果があることを示した。提案回路の設計結果および試作評価結果より、同回路の有効性を示した。近接グラウンドスルーホールは簡素な構成であり、通常のプリント基板製造プロセスで容易に製造が可能であるため、多層基板を用いた高周波モジュールへの適用が容易である。

5章では、「寄生成分補償設計技術」を対象技術課題に据え、抵抗膜長を補償する段間容量素子を有する2段ウィルキンソン型電力分配器を提案した。段間容量素子は奇モード励振時において低い抵抗値を実現する抵抗膜長を、偶モード励振時において高い抵抗値を実現する抵抗膜長をそれぞれ補償する回路として動作し、上記補償回路を実現するために必要な抵抗膜幅の設計方法を示した。提案回路の設計結果および実測結果より、同回路の有効性を示した。提案した補償回路は、通常のプリント基板製造プロセスで容易に製造が可能であり、高周波モジュールへの適用が容易である。5章で示した電力分配器は、広帯域センサシステム向け高周波モジュールに適用されている技術である。

6章では、「製造誤差耐性設計技術」を対象技術課題に据え、抵抗値誤差を許容する多層基板内蔵ミリ波終端器を提案した。抵抗膜外部に分岐部を設け、分岐部から延びる長さの異なる2本の信号線導体を抵抗膜とオーバラップする構造を提案し、本構造の有効性を設計結果、試作評価結果により示した。提案する終端器構造は、製造誤差起因の設計値からの性能変動低減に有効であり、多層基板を用いた各種高周波モジュールの高品質化に有効である。

以上、フェーズドアレー用高周波モジュールの高品質化を目的に、各技術課題に対して行った研究成果をまとめた。本論文で述べた研究成果は、高性能化、小型軽量化、低価格化を同時に求められるフェーズドアレーアンテナの進化に寄与できる要素技術であるといえる。フェーズドアレーアンテナは、上記システム要求に応える形で、今後も

進化を継続するものと見られる。各要求を同時に満たすためにも、本論文で研究対象とした高品質化設計技術が益々重要になってくると考えられる。

研究業績一覽

論文

- [1] T. Yuasa, T. Nishino, and H. Oh-hashii, “Simple Design Formula for Parallel Plate Mode Suppression by Ground Via-Holes in Multi-layered Packages,” IEICE Trans. Electron., vol.E88-C, no.7, pp 1401-1405, July 2005.
- [2] T. Yuasa, Y. Tahara, and H. Oh-hashii, “A Strip Line Broadside Hybrid Coupler Tolerant to Displacement Error and Thickness Variation in Multi-Layered LTCC Substrate,” IEICE Trans. Electron., vol.E91-C, no.10, pp 1684-1689, Oct. 2008.
- [3] T. Yuasa, Y. Tahara, N. Yoneda, and H. Oh-hashii, “A Millimeter-wave Resistance Error Tolerant Termination in Multi-layered LTCC Substrate,” IEICE Trans. Electron., vol.E94-C, no.3, pp 321-326, March. 2011.
- [4] 湯浅健, 重永晃一, 田原志浩, 大和田哲, 米田尚史, 小西善彦, “抵抗膜長補償用段間容量素子を有する 2 段ウィルキンソン型電力分配器,” 電子情報通信学会和文論文誌 C, vol.95-C, no.1, pp1-8, 2012 年 1 月.
- [5] T. Yuasa, Y. Tahara, T. Owada, N. Yoneda, Y. Konishi, and M. Miyazaki, “A PCB Integrated Multi-layered Strip Line Tandem Coupler Using Compensating Ground Through-Hole Elements,” IEICE Trans. Electron., vol.E97-C, no.10, pp 1014-1020, Oct. 2014.

国際会議

- [1] T. Yuasa, T. Nishino, and H. Oh-hashii, “Simple design formula for parallel plate mode suppression by ground via-holes,” 2004 IEEE MTT-S Int. Microwave Symp. Dig., pp. 641-644, June 2004.
- [2] T. Yuasa, Y. Tahara, and H. Oh-hashii, “90 Degree Tandem Hybrid with Tolerance to Displacement Error and Thickness Variation in Multi-layered Substrate,” 2006 European Microwave Conference Dig., pp. 534-536, Sep. 2006.
- [3] T. Yuasa, Y. Tahara, N. Yoneda, and H. Oh-hashii, “A millimeter-wave resistance error tolerant termination in multi-layered LTCC substrate,” 2009 European Microwave Conference Dig., pp. 1010-1013, Oct. 2009.
- [4] T. Yuasa, Y. Tahara, T. Owada, and N. Yoneda, “Diagonally shifted coupled lines with adjacent ground through-holes on uncrossed signal line ends,” 2012 European Microwave Conference Dig., pp. 853-856, Oct. 2012.

特許

「結合線路および方向性結合器」特開 2006-148240

「終端器」特開 2009-147600、特許第 4884358 号

「電力分配合成器」特開 2010-251904

「方向性結合器」特開 2011-55404、特許第 5257303 号

謝辞

本研究をまとめるにあたり、終始懇切丁寧な御指導御鞭撻を賜りました、千葉大学大学院工学研究科教授 八代健一郎 博士、同科教授 橋本研也 博士に心から感謝いたします。

また、本論文をまとめるにあたり、有益な御討論御助言を頂きました千葉大学大学院工学研究科教授 鷹野敏明 博士、同科教授 工藤一浩 博士に深く感謝いたします。

本研究の機会を与えていただくとともに、御指導御鞭撻を賜りました元沖縄工業高等専門学校情報通信システム工学科教授 石田修己 博士（元 三菱電機株式会社）、東北大学電気通信研究所客員教授 高木直 博士（元 三菱電機株式会社）、金沢工業大学工学部電子情報通信工学科教授 牧野滋 博士（元 三菱電機株式会社）、広島工業大学工学部電気システム工学科教授 小西善彦 博士（元 三菱電機株式会社）、三菱電機株式会社電子システム事業本部技師長 宮崎守泰 博士、同社情報技術総合研究所アンテナ技術部長 宮下裕章 博士に深く感謝いたします。

本研究を遂行するにあたり、詳細にわたり御指導いただきました、三菱電機株式会社情報技術総合研究所EMC技術センター長 大橋英征 氏、同社情報技術総合研究所戦略部企画グループ専任 米田尚史 博士、同社鎌倉製作所宇宙システム第二部専任 西野有 博士、同社通信機製作所技術部アナログ技術第一課チームリーダー 大和田哲氏、同社情報技術総合研究所アンテナ技術部給電回路グループマネージャー 田原志浩 博士に深く感謝いたします。

本研究を遂行するにあたり、御指導ならびに有益な御助言をいただきました、三菱電機株式会社通信機製作所技術部アナログ技術第一課チームリーダー 重永晃一 氏に深く感謝いたします。また、本論文をまとめる機会を与えていただきました、三菱電機株式会社名古屋製作所FAシステム第一部FA開発第二課長 小林民樹 氏に深く感

謝いたします。