

電子走査アレーアンテナの高性能化に向けた
マイクロ波制御回路技術に関する研究

2024 年 8 月

千葉大学大学院融合理工学府
基幹工学専攻 電気電子工学コース
平井 暁人

(千葉大学審査学位論文)

電子走査アレーアンテナの高性能化に向けた
マイクロ波制御回路技術に関する研究

2024 年 8 月

千葉大学大学院融合理工学府
基幹工学専攻 電気電子工学コース
平井 暁人

Research on microwave control circuit technology for improving the performance of active electronically steered array antennas

Akihito Hirai

Abstract

Active Electrical Steered Array (AESA) antennas with microwave modules connected to each element antenna allow for high-speed beam steering by electronic control of the excitation phase. Furthermore, optimizing the excitation amplitude of each element antenna enables low sidelobe. Therefore, AESA is suitable for various applications such as radar, communication, and remote sensing. Wideband, high-precision beam control, low sidelobe, low power consumption, and cost reduction are essential technical challenges for social implementation in various scenes. The key to achieving high performance of AESA is the enhancement of microwave modules because the microwave module determines the beam quality, such as beam direction accuracy and sidelobe. Microwave modules consist of microwave circuits such as phase shifters that control the phase of microwaves, variable gain amplifiers that control the amplitude of microwaves, and phase detectors that detect phase differences between adjacent modules. These microwave control circuits require wideband, high-precision phase control and detection, amplitude control implementation, low power consumption, and cost reduction.

This research aims to enhance the phase and amplitude control related to microwave control circuit technologies, particularly phase shifting, phase detection, and variable gain technologies used in MMIC with silicon semiconductors for high-performance AESA microwave modules. In particular, we focused on microwave control circuits such as a wideband phase shifter, a high-precision phase detector, and a high-precision variable gain phase shifter. For the wideband phase shifter, we proposed a "phase shifter using a g_m -C polyphase filter" which uses the transistors and capacitors in the IQ generator of vector-sum phase shifters (VSPSs). The proposed VSPS demonstrated a low phase shift error of less than one degree in the C-band. For a high-precision phase detector, we proposed a "phase detector using a fully symmetric mixer and tunable LPF". The proposed phase detector demonstrated a phase detection error of less than two degrees in the C-X band. For a high-precision variable gain phase shifter, we proposed a "variable gain phase shifter with phase compensation using varactors," which is particularly effective in higher frequency bands. The proposed variable gain phase shifter achieved an error of less than 0.75 degrees in the Ka-band.

For future applications, high-precision beam control and low sidelobe of AESA will become increasingly important. Along with that, the importance of phase shifting technology, phase detection technology, variable gain technology, and variable gain phase shifting technology will also be essential for the future. This research is effective for the future development of various AESA applications.

内容

1 章 序論.....	1
1.1. 研究背景.....	1
1.1.1. 電子走査アレーアンテナ(AESA)	1
1.1.2. AESA におけるマイクロ波制御回路の技術動向	5
1.2. 従来技術の課題と開発する技術	10
1.3. 論文の構成	12
1.4. 参考文献.....	14
2 章 位相制御、振幅制御に関わるマイクロ波制御回路の原理.....	18
2.1. 移相器	18
2.2. 位相検出器	20
2.3. 可変利得増幅器.....	21
2.4. 参考文献.....	23
3 章 g_m -C ポリフェーズフィルタを用いた広帯域な移相器.....	26
3.1. まえがき	26
3.2. 移相器の回路構成と設計法.....	27
3.2.1. 従来回路の問題点	27
3.2.2. 提案する回路構成と動作原理・設計法	29
3.3. 試作結果.....	40
3.3.1. 試作回路.....	40
3.3.2. 測定結果.....	45
3.4. むすび	55
3.5. 参考文献.....	57
4 章 完全対称型ミキサとチューナブル LPF を用いた高精度な位相検出器	60
4.1. まえがき	60
4.2. 位相検出器の回路構成と設計法	61
4.2.1. 従来回路の問題点	61
4.2.2. 提案する回路構成と動作原理・設計法	62
4.3. 試作結果.....	70
4.3.1. 試作回路.....	70
4.3.2. 測定結果.....	72
4.4. むすび	78
4.5. 参考文献.....	79
5 章 バラクタによる位相補償を適用した高精度な可変利得移相器.....	83

5.1.	まえがき	83
5.2.	可変利得移相器の回路構成と設計法	84
5.2.1.	従来回路の問題点	84
5.2.2.	提案する回路構成と動作原理・設計法	84
5.3.	試作結果.....	95
5.3.1.	試作回路.....	95
5.3.2.	測定結果.....	99
5.4.	むすび	109
5.5.	参考文献.....	110
6 章	結論.....	114
6.1	参考文献.....	116
	謝辞.....	117
	業績一覧	118

1章 序論

1.1. 研究背景

1.1.1. 電子走査アレーアンテナ(AESA)

電子走査アレーアンテナ(AESA: Active Electrical Steered Array)は、APAA(Active Phased Array Antenna)とも呼ばれ複数の素子アンテナと、各々の素子アンテナに接続されたマイクロ波モジュールを備えた高機能なアレーアンテナである[1.1]。図 1-1 に送信 AESA の構成例を示す。AESA は、マイクロ波モジュールに備えられた移相器(PS: Phase Shifter)により各素子アンテナの励振位相を電子的に変えることでビーム方向を制御できるため、高速なビーム操作が可能となる[1.2]。図 1-2 に励振位相制御によるビーム方向制御の例を示す。図 1-2 は 1 次元 16 素子アンテナ(素子数 $N=16$)の例で、素子アンテナの間隔は半波長としている。図 1-2(a)に示すように隣接するマイクロ波モジュールの出力信号の位相差($\Delta\Phi$)を、移相器により 0° に設定した場合、図 1-2(b)のアンテナパターンに示すように、各アンテナ素子からのビーム複数放射が合成され最もエネルギーが集まるビームの方向、すなわち有効放射パターン(メインローブ)の方向 θ は正面方向(0°)となる。一方、 $\Delta\Phi$ を 156° とした場合、メインローブは $+60^\circ$ の方向に形成される。このように、AESA は各素子アンテナの励振位相を移相器によって電子的に変えることで、機械的な駆動を伴うことなくメインローブの方向 θ を所望の方向にむけることが可能となる。さらにマイクロ波モジュールに可変利得増幅器(VGA: Variable Gain Amplifier)を備えることにより、各素子アンテナの励振振幅を精度よく制御することができ、励振振幅分布を最適化することで所望方向以外にエネルギーが集まる現象であるサイドローブを抑制することが可能となる[1.3]。図 1-3 に励振振幅制御によるサイドローブ抑制の例を示す。図 1-2 と同様のアンテナ構成で 16 素子をすべて等振幅で励振したときと、ガウシアン分布で励振したときのアンテナパターンの計算結果である。16 素子全て等振幅で励振した場合、メインローブの隣に形成されるサイドローブが -13 dB となるのに対し、ガウシアン分布で励振した場合には、サイドローブを -29 dB まで抑制することができ所望方向以外への干渉の低減が可能となる。

上記に示す特徴により AESA は図 1-4 に示すような様々なアプリケーションに応用されている[1.4]。AESA はレーダ用アンテナとして、国内では 1970 年～1980 年代に X 帯(8～12 GHz)で実用化された[1.5]。AESA は、機械駆動型のアンテナに比べビーム走査速度を大幅に向上できるため移動・固定レーダにおいて主流となっており[1.6]、気象レーダでは天候把握におけるリアルタイム性向上の恩恵をもたらしている。近年では、車載レーダに代表されるミリ波帯(30 GHz～)以上でのアプリケーションに適用されており、距離分解能の観点から、より広い周波数帯域幅への要求が生じている[1.7]。通信分野においては、AESA は特に衛星通信(SATCOM: Satellite Communications)や航空機通信、地上移動体通信といった移動体通信分野に応用されている。2008 年に Ka 帯(26～40 GHz)超高速インターネット

通信衛星が打ち上げられ、日本列島全域を含む広範囲な地域で通信回線を確保できるようになった[1.8]。近年では周波数資源の枯渇に伴い Q(33~50 GHz)/V(40~75 GHz)/E(71-76/81-86 GHz)/W(75~110 GHz)帯といったより高い周波数帯での動作、またさらなる高速通信実現のためのより広い周波数帯域幅の確保にむけた開発が加速している[1.9]。地上移動体通信においても AESA の実用化が進んでおり、第 5 世代移動通信システム(5G)における適用[1.10]、さらには、その後継となり 2030 年代に導入が想定されている次世代の情報通信インフラである B5G/6G での候補となっているサブテラヘルツ帯においても必須の技術として開発が加速している[1.11]。リモートセンシング分野においては、2006 年に打ち上げられた陸域観測技術衛星だいち(開発名 ALOS : Advanced Land Observing Satellite)[1.12]や、また、その後継として 2014 年に打ち上げられただいち 2 号機(開発名 : ALOS2)には、L 帯(0.5~2 GHz)の AESA により高分解能を可能とした SAR(Synthetic Aperture Radar)センサが搭載され、地図作成、地域観測、災害状況把握などに貢献している[1.13]。

以上のように、AESA はレーダ、通信、リモートセンシングといった様々なアプリケーションで応用されており、広帯域化やビーム制御高精度化、低サイドローブ化、低消費電力化、低コスト化といった高性能化は、AESA の広いシーンにおける社会実装のための重要な技術課題である。

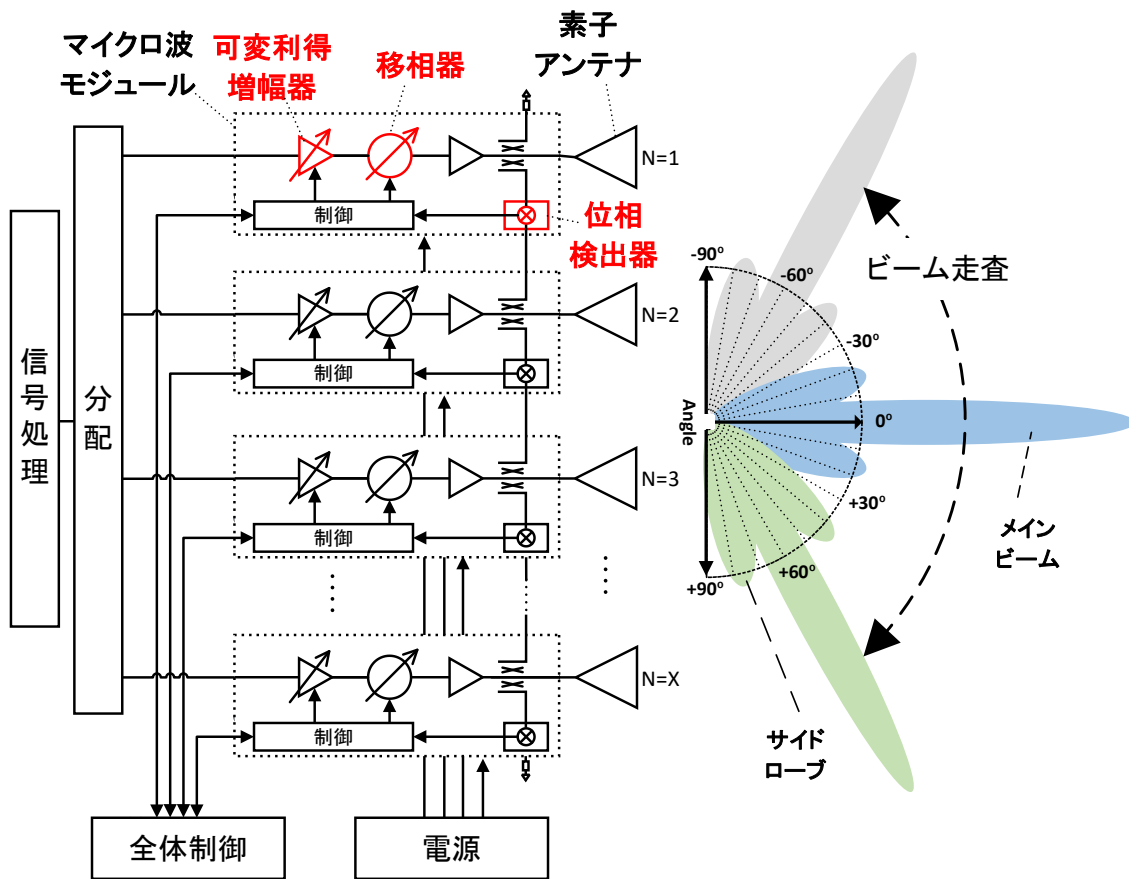
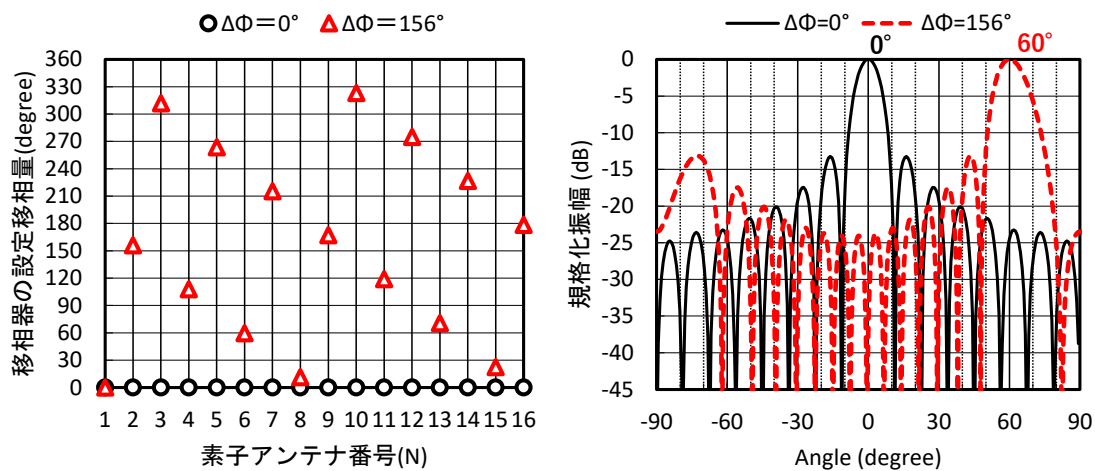


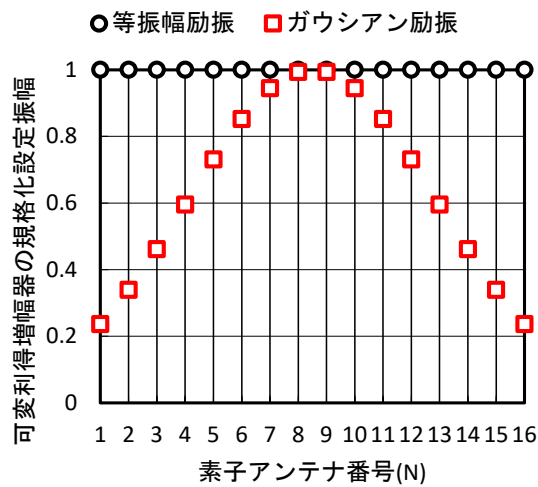
図 1-1 送信 AESA の構成例



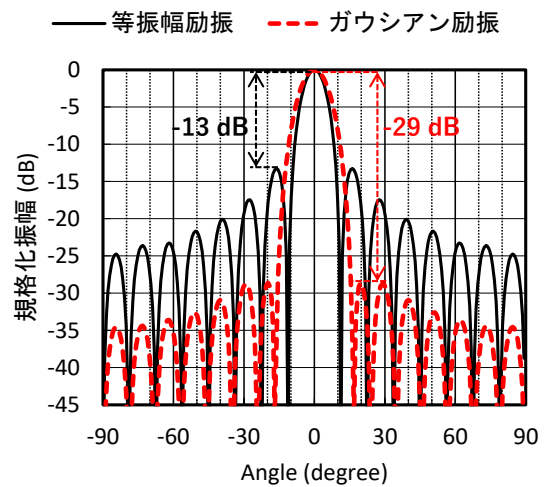
(a) 移相器の設定移相量

(b) アンテナパターン

図 1-2 励振位相制御によるビーム方向制御の例



(a) 可変利得増幅器の設定振幅



(b) アンテナパターン

図 1-3 励振振幅制御によるサイドローブ抑制の例

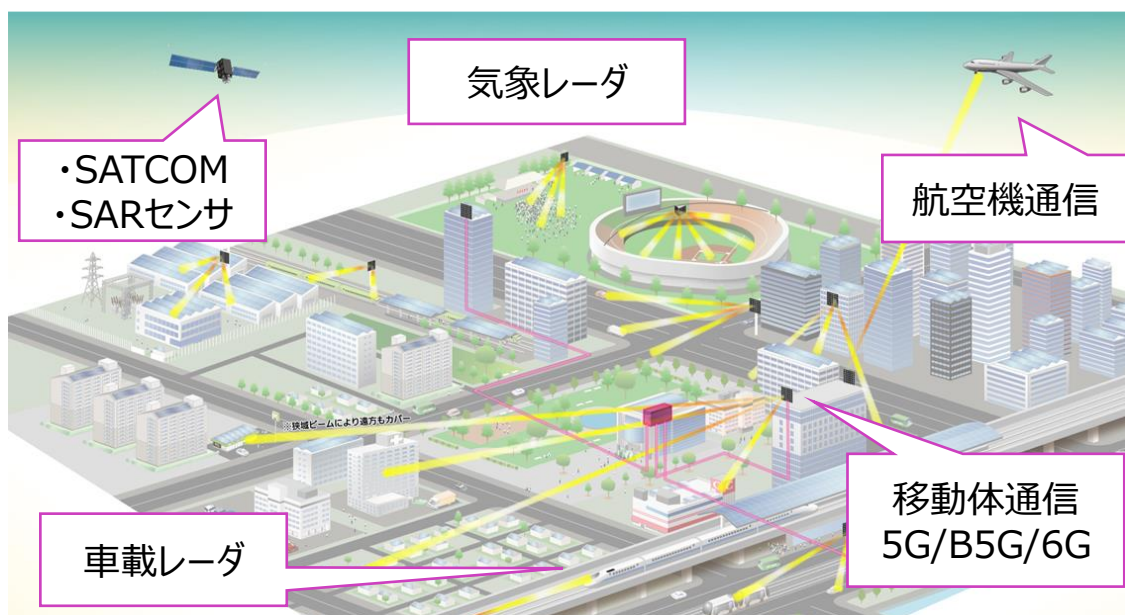


図 1-4 AESA のアプリケーション例[1.4]

1.1.2. AESA におけるマイクロ波制御回路の技術動向

AESA を構成するコンポーネントにおいて、特に重要なものに図 1-1 内に示すマイクロ波モジュールがある。マイクロ波モジュールには、制御部からの制御信号を用いてマイクロ波の位相を制御する移相器、振幅を制御する可変利得増幅器、隣接するモジュール毎の位相差を検出する位相検出器などのマイクロ波制御回路から構成される。マイクロ波制御回路が AESA のビーム制御の基本機能を司り、ビーム方向の正確性、サイドローブ量といったビーム品質を決定するため、AESA の広帯域化やビーム制御高精度化、低サイドローブ化、低消費電力化、低コスト化といった高性能化のためには、マイクロ波制御回路の広帯域化、位相制御・位相検出の高精度化、振幅制御の実装、低消費電力化、低コスト化といった高性能化が必要となる。低コスト化においては、半導体に実装されるマイクロ波制御回路のコストはチップサイズに依存するため、回路サイズの小型化が重要となる。

マイクロ波制御回路は、その時々を実現可能なデバイスの特徴に応じた開発がなされてきた[1.14]。初期のマイクロ波制御回路は、低損失で、高い電力特性を有する受動デバイスであるフェライトデバイスを用いたものが主流であり、1950 年代～1960 年代に盛んに研究された[1.15][1.16]。その後、高性能化のために増幅器を搭載した能動回路によるマイクロ波モジュールの開発が進み、同時に小型、軽量、低消費電力化が要求されるようになった。

フェライトデバイスでは不可能であった小型、軽量、低消費電力を実現するため、1970 年代以降から半導体デバイスを装荷したマイクロ波集積回路(MIC: Microwave Integrated Circuit)が盛んに開発されるようになった[1.17][1.18]。初期の半導体デバイスとしては、構造が比較的簡単で高周波特性の優れた PIN ダイオードなどのダイオードが用いられた。これにより、マイクロ波回路単体で数 cm～10 cm 角への小型化が可能になったものの、ダイオードは電流駆動型デバイスであったため多数のマイクロ波モジュールを用いる AESA では消費電力が大きくなるという問題があった。

1980 年代以降、電圧駆動で電力を消費しない半導体デバイスである電界効果トランジスタ (FET: Field Effect Transistor) [1.19]の利用が主流となった。さらにガリウム砒素(GaAs)などの化合物半導体基板上に、容量やインダクタといったトランジスタ以外の受動デバイスも集積した MMIC (Monolithic Microwave Integrated Circuit) が登場する。これにより、一つのマイクロ波モジュールは 10 cm 角程度に小型化できるようになり、また、それに伴う軽量化、低消費電力化が進むとともに、その優れた量産均一性はアレーアンテナを均一動作させる上での画期的な進歩を起こした[1.20][1.21]。

1990 年代になると FET より電子移動度が高い HEMT(High Electron Mobility Transistor)[1.22]が実用化され、マイクロ波制御回路の高周波化が進むとともに、必要となるマイクロ波制御回路を MMIC 内に搭載することによる高度なチップ集積化による小型化が進み、数 cm 角のマイクロ波モジュールが登場する[1.23]。一方、マイクロ波制御回路の制御に必要な電力管理、移相量や振幅の設定、AESA として動作するための校正データの記憶などに必要となるデジタル制御回路は化合物半導体基板上では実現できず、マイ

クロ波モジュール内に別チップが必要となる。そのため、化合物半導体では1チップでマイクロ波モジュールを実現することによる数 cm 角以下への小型化は困難であった[1.24]。

2000 年代になると、シリコン半導体(Si)がマイクロ波帯の周波数で動作可能となり、MOSFET(Metal Oxide Semiconductor Field Effect Transistor)や HBT(Heterojunction Bipolar Transistor)といったシリコントランジスタが登場し、P 型と N 型の MOSFET を使用可能な CMOS(Complementary Metal-Oxide-Semiconductor)や、CMOS より高速な HBT、HBT と、HBT より低消費電力な CMOS を同時に使用可能な BiCMOS(Bipolar CMOS)を用いたマイクロ波制御回路の開発が活発化していった[1.25]。化合物半導体と比較しシリコン半導体には、マイクロ波制御回路のみならず、その制御に必要なデジタル制御回路を同じチップ内に搭載できる。その集積度の高さ、微細化による高周波数への拡張性、大ウェハ径による低コスト化と優れた量産性から、数 GHz 以上のマイクロ波やミリ波帯をターゲットに盛んに開発が行われた[1.26]。2010 年代以降、シリコン半導体の微細化に伴うさらなる高周波化、小型化が進み、4 素子~16 素子分のアンテナに対応する複数のマイクロ波モジュールを 1cm 角以下の 1 チップに搭載したビームフォーミング IC と呼ばれる高集積化技術が盛んに開発された[1.27]。これらのマイクロ波モジュールの高集積化技術の進化に加え、樹脂基板への半導体チップの実装技術の進化により、樹脂基板の表面にアンテナを形成し、裏面にシリコン 1 チップによるマイクロ波モジュールを表面実装するのみという、非常にシンプルな構造をしたフラットパネル型 AESA が誕生しさらなる低コスト化が進んだ。これらの恩恵により、5G、航空機搭載衛星通信といったより低コスト化が求められるアプリケーションへの適用に繋がっている[1.28] [1.29]。

このように、マイクロ波モジュール、マイクロ波制御回路の歴史はデバイスの発展とともにあるが、一方でデバイスに適したマイクロ波制御回路の回路構成、および設計法も同時に発展してきた。

表 1-1 にマイクロ波モジュール、マイクロ波制御回路の開発の歴史を示す。フェライトデバイスを用いた初期の分布定数型移相器では、必要となる耐電力特性と所望の移相量特性を同時に得るための伝送線路の回路構成、設計法が研究された[1.14]。MIC においては、初期の半導体デバイスである PIN ダイオードを用いた移相器において、低通過損で所望の移相量特性を得るための回路構成、設計法が研究された[1.30]。PIN ダイオードによる可変減衰器では、PIN ダイオードの実装に伴う寄生成分を考慮しつつ広帯域特性を得るための MIC 可変減衰器の回路構成、設計法などが研究された[1.17]。化合物半導体を用いた MMIC へと移行してくると、FET を用いた単純で広帯域なバイアス回路を構成するとともに、1 つの回路に多数の FET と、集中定数の受動素子を配列する回路構成、設計法が登場し、その一例として MIC 移相器では実現が難しかった直流~50 GHz という非常に広帯域な MMIC 可変利得減衰器が報告された[1.31]。FET を用いた移相器では従来の分布定数型の受動素子を集中定数型におきかえることで、個別の回路サイズとしては数 mm~1 cm 角程度で、数⁰-rms の移相量誤差を実現する MMIC 移相器が実現された[1.32]。

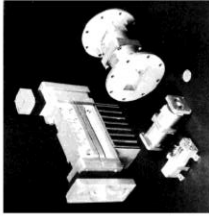
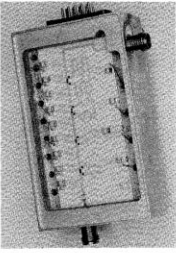
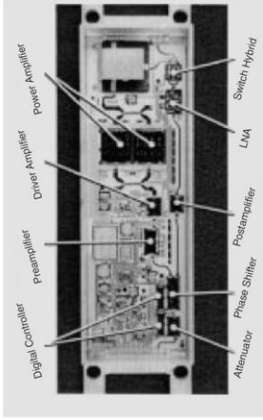
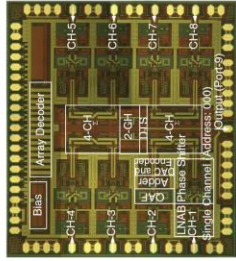
シリコン半導体が登場すると、MMIC 内で用いることができるデバイスの自由度が飛躍的に向上し、化合物半導体において主要な方式であった受動素子だけでなく、能動素子を用いた回路構成、設計法が登場する。これにより、個別の回路サイズとしては数 100 μm 角以下、数 10mW 以下での能動素子による MMIC 移相器の登場し、また、これまでの主要な回路構成である可変減衰器から通過利得を有する能動素子による MMIC 可変利得増幅器への回路構成の移行が進み、マイクロ波制御回路の小型化、低消費電力化といった高性能化が加速していく。さらには、これまで使用できるデバイスの制限から困難であった複数のマイクロ波モジュールの位相差を検出する小型な位相検出技術が登場し、AESA の高機能化もさらに加速していくこととなる。

移相器では、ベクトル合成型移相器(VSPS: Vector Sum Phase Shifter)[1.33]という回路構成が新たに実用化され、1.5°-rms 程度の低移相量誤差を実現する設計法[1.34]や、X 帯～Ka 帯まで対応可能な広帯域な回路構成、設計法[1.35]が開発された。可変利得増幅器では、電流の量を変更するカレントステアリング方式[1.36]や負荷をデジタル信号によって変更する方式[1.37]といった回路構成、設計法が登場し、制御設定値に対し出力が 10・LOG(制御設定値)で変化できるものや、78 dB 以上の非常に広い振幅制御範囲を有するもの、設定値に対しての振幅設定誤差が低い制御技術[1.38]など、高性能化を実現する回路構成、設計法が開発された。近年では移相器と可変利得増幅器を一つの回路で構成する可変利得移相器(VGPS: Variable Gain Phase Shifter)という回路構成も提案され、さらに小型で低消費電力な回路構成、設計法が提案されている[1.39]。また、複数のマイクロ波モジュールを 1 チップに搭載したビームフォーミング IC においては、移相器や可変利得増幅器を一つのチップ内に複数実装し、それらに高周波数信号を分配・合成する回路や制御・電源回路も含め実装する回路構成が開発され、チップサイズ数 mm^2 の中に 4～16 素子分のマイクロ波モジュールを搭載し、送信 1 素子あたりで 100～200 mW、受信 1 素子あたりで 50～100 mW という非常に低い消費電力でマイクロ波モジュールを実現している[1.39]。位相検出技術については、近年の AESA の大規模化に伴う新たな課題に対する解決案として開発されている。AESA の大規模化に伴い、アンテナ開口の温度差分布やマイクロ波モジュールの製造ばらつきに起因するマイクロ波モジュール毎の設定移相量ばらつきが無視できなくなり、ビーム方向やヌル点方向の角度誤差が生じビーム品質が劣化するという問題が生じている。この問題に対し、マイクロ波モジュール内やビームフォーミング IC 内に小型な位相検出器を設け素子アンテナの励振位相の誤差を検出し、移相量制御値に反映させることで AESA の励振位相の高精度化を実現する技術が報告されている[1.41]。本機能は、Built-In Self-Test 機能として近年注目されている技術であり、大規模 AESA や 1～2°以下の低い移相量誤差が求められる AESA を実現する際に必要な技術となっている[1.42]。

このように、マイクロ波制御回路に適した回路構成、設計法は新しいデバイスが実用化されるたびに研究されてきており、回路構成、設計法の研究はマイクロ波制御回路の発展に不可欠であり、今後も重要である。高性能なデバイス実用化に加え、そのデバイスを使いこな

す回路構成、設計法が、マイクロ波モジュールの高性能化をもたらし、更には AESA の高性能化を可能にすると考えられる。

表 1-1 マイクロ波モジュール、マイクロ波制御回路の開発の歴史

	～1960	1970	1980	1990	2000	2010	2020
	・フェライト						
デバイス技術		・ Si-PINダイオード ・ ショットキーバリアダイオード ・ バラクタダイオード	・ GaAs-MESFET	・ GaAs-HEMT		・ Si-CMOS ・ Si-BiCMOS	
	・ 分布定数型移相器 ・ 数10 cm角/マイクロ波回路						
回路構成・設計法	 マイクロ波回路 (移相器)単体写真 (6 cm×17 cm×20 cm) [1.13]	 マイクロ波回路 (移相器)単体写真 (3 cm×5 cm×1 cm) [1.16] Fig. 11. Photograph of 1.4cm x 5cm x 1cm aluminum alloy, epoxy phase shifter. (Version of this component were reported in the 1960s by the author, Washington, D. C., under Contract N00014-72-C-0013.)	 マイクロ波モジュール(1素子分)写真 (1.6 cm×4.6 cm×0.5 cm)[※] [1.22]	 ビームフォーマーIC (マイクロ波モジュール8素子分)写真 (2.5 mm×2.5 mm×1.0 mm) [1.23]			
		・ MIC移相器 ・ MIC可変減衰器 ・ 数 cm角/マイクロ波回路	・ 集中定数を含む受動素子によるMMMIC移相器 ・ 集中定数を含む受動素子によるMMMIC可変減衰器 ・ 数 cm角/マイクロ波モジュール			・ 能動素子によるMMMIC移相器 ・ 能動素子によるMMMIC可変利得増幅器 ・ 小型な位相検出技術 ・ ～1 cm角/～16素子のビームフォーマーIC ・ ≒100 mW/1素子	

※写真からの見積もり

1.2. 従来技術の課題と開発する技術

前節で述べた技術動向を踏まえ、高性能な AESA 用マイクロ波モジュールを実現するために、AESA のビーム品質を左右するマイクロ波の位相制御、振幅制御に関わるマイクロ波制御回路技術のうち、特にシリコン半導体での MMIC で用いられる移相技術、位相検出技術、可変利得技術に対する研究開発を目的とする。図 1-5 に各課題と開発する技術について示す。ここでは、以下の 3 つを研究対象とし開発する技術として位置付ける。

開発する技術[1] : 広帯域な移相技術

開発する技術[2] : 高精度な位相検出技術

開発する技術[3] : 高精度な可変利得移相技術

開発する技術[1] : 広帯域な移相技術

マイクロ波の位相を制御する移相器は、正確なビーム制御機能を実現するための重要な回路の一つである。ここでは、AESA の広帯域化をメインターゲットとし、広帯域に低移相量誤差を実現する移相技術の開発を実施する。シリコンデバイスで主要な移相器の方式であるベクトル合成型において、直交信号を生成する I/Q 生成器が必要となる。I/Q 生成器は受動回路のため、一定の移相量誤差を実現する周波数帯域と通過損失量はトレードオフの関係となり、ある周波数範囲で低移相量誤差を実現する場合に通過損失が増大する。その通過損失を補償する増幅回路が必要となるため消費電力が増加し、結果、帯域内移相量誤差と消費電力がトレードオフの関係となる。そこで、このトレードオフを解消し、広帯域に低移相量誤差性能を実現する移相器の回路構成、設計法を開発する。

開発する技術[2] : 高精度な位相検出技術

AESA のビーム制御高精度化をメインターゲットとし、隣接するモジュール間の位相を高精度に検出する位相検出技術の開発を実施する。前節で示したように多数の素子アンテナからなる大規模アレーアンテナでは、各マイクロ波モジュール出力における励振位相が、モジュールの温度や製造ばらつきによって変動し、ビーム特性が変化するという問題がある。高精度な励振位相分布を実現するためには、励振位相を高精度に管理する必要がある。励振位相を高精度に管理するための一つの手段として、隣接モジュール間の高精度な位相検出器がある。そこで、隣接モジュール間の位相を高精度に検出する位相検出器の回路構成、設計法を開発する。

開発する技術[3] : 高精度な可変利得移相技術

AESA の低サイドローブ化のため、マイクロ波の振幅制御を小型に実装する技術開発を実施する。AESA を構成する素子アンテナ間の距離は半波長が基本となるため、特にミリ波以

上の高周波帯において小さな実装技術が必要となる。例えば 30 GHz では半波長は 5 mm となり、25 mm² 以下という限られた面積に移相機能と可変利得機能の 2 つを実装する必要がある。移相機能と可変利得機能を同一回路で実装する可変利得移相器によって小型化が可能だが、利得制御に伴って通過位相が変化し移相量誤差の劣化要因となる。そこで、高精度な可変利得移相器の回路構成、設計法を開発する。

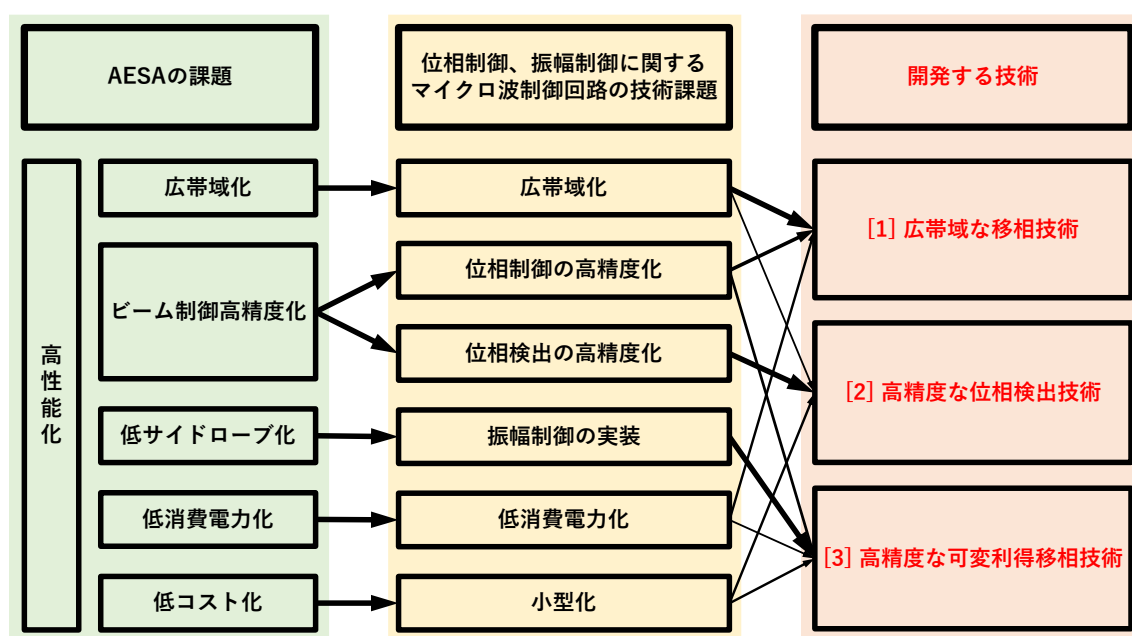


図 1-5 各課題と開発する技術

1.3. 論文の構成

本研究の目的は、上記で述べたマイクロ波制御回路技術の技術課題を解決することである。図 1-6 に本論文の構成を示す。第 1 章では序論、第 2 章では位相制御、振幅制御に関わるマイクロ波制御回路の原理について示す。第 3 章～第 5 章は、1.2 節で示した高性能な AESA 用マイクロ波モジュールを実現するために必要となる、「開発する技術[1]～[3]」について実施した研究結果について示す。具体的には、第 3 章では「開発する技術[1]：広帯域な移相技術」、第 4 章では「開発する技術[2]：高精度な位相検出技術」、第 5 章では「開発する技術[3]：高精度な可変利得移相技術」に関する研究についてそれぞれ示し、第 6 章で結論を示す。以下に、各章の概要を述べる。

第 1 章は序論であり、マイクロ波の位相制御、振幅制御に関わるマイクロ波制御回路の研究背景と、従来技術の課題、開発する技術について示す。

第 2 章はマイクロ波の位相制御、振幅制御に関わるマイクロ波制御回路である、移相器、位相検出器、さらに、可変利得移相器のベースとなる可変利得増幅器の動作原理について述べる。

第 3 章は広帯域な移相技術について述べる。広帯域な移相技術として、ベクトル合成型の移相器において一般的に用いられる抵抗と容量で構成される I/Q 生成器の抵抗をトランジスタに置き換えた「 g_m -C ポリフェーズフィルタを用いた広帯域な移相器」を提案する。本回路の周波数特性および最大利得、移相量誤差、調整可能な周波数範囲を理論的に示し、広帯域に低移相量誤差を実現する方法を示す。提案する移相器を S 帯で試作した結果について述べ、提案する回路構成と設計法の有効性を示す。

第 4 章では、高精度な位相検出技術について述べる。高精度な位相検出技術として、「完全対称型ミキサとチューナブル LPF(Low Pass Filter)を用いた高精度な位相検出器」を提案する。完全対称型ミキサと 45° 移相器による位相検出器の検出特性が入力振幅に依存しないことに着目し、 45° 移相器にチューナブルな LPF を適用することで、高精度な位相検出が実現可能となる位相検出器の回路構成と設計法を提案する。提案する位相検出器を C-X 帯で試作した結果について述べ、本回路構成と設計法の有効性を示す。

第 5 章では、特に小型な実装が必要となる、より高い周波数帯において有効となる高精度な可変利得移相技術として、「バラクタによる位相補償を適用した高精度な可変利得移相器」を提案する。制御時の入力容量変化によって可変利得移相器の通過位相特性が変化することに着目し、入力段にチューナブルデバイスであるバラクタを搭載した、高精度な可変利得移相器の回路構成と設計法を提案する。提案する設計法に基づき Ka 帯で試作した結果について述べ、本回路構成と設計法の有効性を示す。

第 6 章は結論であり、本研究で得られた成果を要約する。

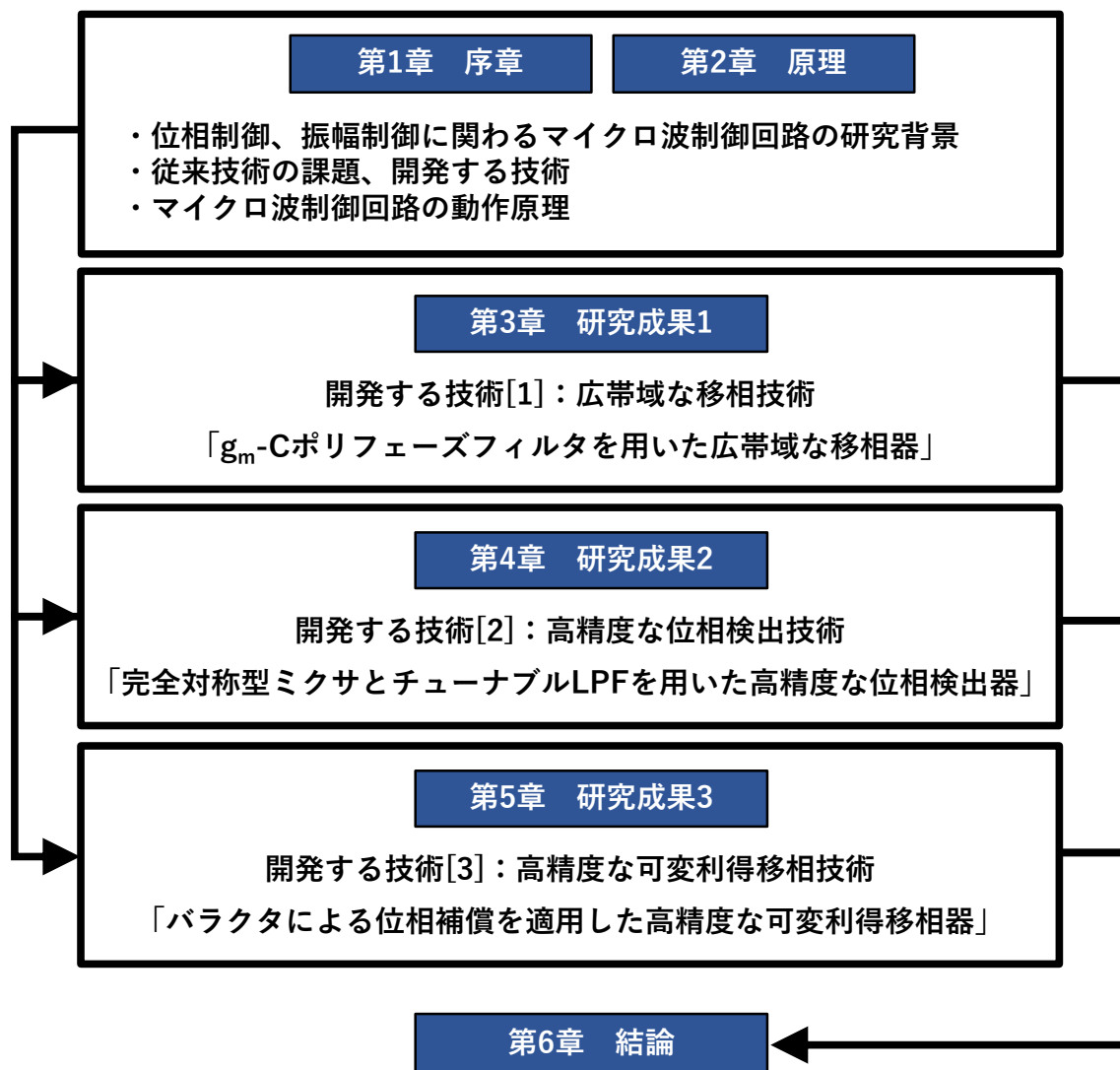


図 1-6 論文の構成

1.4. 参考文献

- [1.1] 高橋 徹, "電子情報通信学会『知識の森』(<http://www.ieice-hbkb.org/>) 4 群-2 編-7 章 アレーアンテナ"
- [1.2] A. A. Oliner and G.H Knittel, Phased Array Antennas, Artech House Inc., Apr. 1972
- [1.3] N. Herscovici, "Low-sidelobe arrays fed by a uniform-distribution feeding network," in IEEE Antennas and Propagation Magazine, vol. 39, no. 3, pp. 72-74, June 1997, doi: 10.1109/74.598563.
- [1.4] 三菱電機株式会社 通信システム事業部 NTT 営業部 2015 年 3 月 2 日 ニュースリリース NTT ドコモとの 5G 実験協力に合意、概要を「MWC2015」で紹介, <http://www.mitsubishielectric.co.jp/news/2015/0302-b.html>
- [1.5] I. Chiba, Y. Konishi and T. Nishino, "Progress of phased array systems in Japan," 2010 IEEE International Symposium on Phased Array Systems and Technology, Waltham, MA, USA, 2010, pp. 19-28, doi: 10.1109/ARRAY.2010.5613395.
- [1.6] E. Rai, S. Nishimoto, T. Katada and H. Watanabe, "Historical overview of phased array antennas for defense application in Japan," Proceedings of International Symposium on Phased Array Systems and Technology, Boston, MA, USA, 1996, pp. 217-221, doi: 10.1109/PAST.1996.566088.
- [1.7] M. Maggi et al., "Millimeter-Wave Phased Arrays and Over-the-Air Characterization for 5G and Beyond: Overview on 5G mm-Wave Phased Arrays and OTA Characterization," in IEEE Microwave Magazine, vol. 23, no. 5, pp. 67-83, May 2022, doi: 10.1109/MMM.2022.3148328.
- [1.8] 北尾, 針生, 白松, "超高速インターネット衛星 WINDS 搭載 K 帯アクティブフェーズドアレーアンテナ(APAA),"三菱電機技報, Vol.79, No.8, pp.31-34, 2005
- [1.9] P. Harati et al., "Is E-Band Satellite Communication Viable?: Advances in Modern Solid-State Technology Open Up the Next Frequency Band for SatCom," in IEEE Microwave Magazine, vol. 18, no. 7, pp. 64-76, Nov.-Dec. 2017, doi: 10.1109/MMM.2017.2738898.
- [1.10] W. Hong et al., "mmWave 5G NR Cellular Handset Prototype Featuring Optically Invisible Beamforming Antenna-on-Display," in IEEE Communications Magazine, vol. 58, no. 8, pp. 54-60, August 2020, doi: 10.1109/MCOM.001.2000115.
- [1.11] C. Han, L. Yan and J. Yuan, "Hybrid Beamforming for Terahertz Wireless Communications: Challenges, Architectures, and Open Problems," in IEEE Wireless Communications, vol. 28, no. 4, pp. 198-204, August 2021, doi: 10.1109/MWC.001.2000458.

- [1.12] 村上, 川西, 伊藤, 島田, “フェーズドアレイ方式 L バンド合成開口レーダ PALSAR,” 信学技報 SANE2006-66, pp. 11-14, 2006
- [1.13] 大内, “リモートセンシングのための合成開口レーダの基礎,” 東京電機大学出版局, 2004
- [1.14] 半谷, “アクティブフェーズドアレイアンテナ用マイクロ波制御回路に関する研究,” 東北大学大学院 工学研究科 博士論文, 2012
- [1.15] S. K. Koul, B. Bhat, Microwave and Millimeter Wave Phase Shifters : Dielectric and Ferrite Phase Shifters, Artech House Inc., 1991
- [1.16] C. L. Hogan, "The ferromagnetic Faraday effect at microwave frequencies and its applications: The microwave gyrator," in The Bell System Technical Journal, vol. 31, no. 1, pp. 1-31, Jan. 1952, doi: 10.1002/j.1538-7305.1952.tb01374.x.
- [1.17] H. C. Okean and R. Pflieger, "Octave Band MIC Electronically Variable Attenuators Using PIN Diodes," 1971 IEEE GMTT International Microwave Symposium Digest, Washington, DC, USA, 1971, pp. 180-181, doi: 10.1109/GMTT.1971.1122956.
- [1.18] J. F. White, "Diode Phase Shifters for Array Antennas," in IEEE Transactions on Microwave Theory and Techniques, vol. 22, no. 6, pp. 658-674, Jun. 1974, doi: 10.1109/TMTT.1974.1128309.
- [1.19] 葛原, “基礎講座 02 トランジスタ入門” MWE 2010 基礎講座, Dec, 2010
- [1.20] H. Howe, "Microwave Integrated Circuits - An Historical Perspective," in IEEE Transactions on Microwave Theory and Techniques, vol. 32, no. 9, pp. 991-996, September 1984, doi: 10.1109/TMTT.1984.1132812.
- [1.21] K. Wilson, "GaAs monolithic microwave integrated circuits," in Electronics and Power, vol. 33, no. 4, pp. 249-251, April 1987, doi: 10.1049/ep.1987.0164.
- [1.22] T. Mimura, S. Hitamizu, T. Fuji and K. Nanbu, “A New Field-Effect Transistor with Selectivity Doped GaAs/n-AlxGal-x As Heterojunctions,” Jpn. J. Appliphis., vol. 19, pp. 225-227, May 1980
- [1.23] F. E. van Vliet and A. de Boer, "Fully-integrated core chip for X-band phased array T/R modules," 2004 IEEE MTT-S International Microwave Symposium Digest (IEEE Cat. No.04CH37535), Fort Worth, TX, USA, 2004, pp. 1753-1756 Vol.3, doi: 10.1109/MWSYM.2004.1338936.
- [1.24] B. A. Kopp, M. Borkowski and G. Jerinic, "Transmit/receive modules," in IEEE Transactions on Microwave Theory and Techniques, vol. 50, no. 3, pp. 827-834, March 2002, doi: 10.1109/22.989966.
- [1.25] G. M. Rebeiz and K. -j. Koh, "Silicon RFICs for phased arrays," in IEEE Microwave Magazine, vol. 10, no. 3, pp. 96-103, May 2009, doi: 10.1109/MMM.2009.932078.

- [1.26] D. J. Carlson, C. Weigand and T. Boles, "MMIC based phased array radar T/R modules," The 7th European Radar Conference, Paris, France, 2010, pp. 455-458.
- [1.27] B. Sadhu, X. Gu and A. Valdes-Garcia, "The More (Antennas), the Merrier: A Survey of Silicon-Based mm-Wave Phased Arrays Using Multi-IC Scaling," in IEEE Microwave Magazine, vol. 20, no. 12, pp. 32-50, Dec. 2019, doi: 10.1109/MMM.2019.2941632.
- [1.28] J. -C. S. Chieh et al., "Development of Flat Panel Active Phased Array Antennas Using 5G Silicon RFICs at Ku and Ka-Bands," in IEEE Access, vol. 8, pp. 192669-192681, 2020, doi: 10.1109/ACCESS.2020.3032841.
- [1.29] S. Das et al., "A Flat-Panel 8×8 Wideband K-/Ka-Band Dual Circularly Polarized Phased Array Antenna for CubeSat Communications," in IEEE Transactions on Antennas and Propagation, vol. 71, no. 5, pp. 4153-4166, May 2023, doi: 10.1109/TAP.2023.3255640.
- [1.30] B. Glance, "A Fast Low-Loss Microstrip p-i-n Phase Shifter," in IEEE Transactions on Microwave Theory and Techniques, vol. 27, no. 1, pp. 14-16, Jan. 1979, doi: 10.1109/TMTT.1979.1129551.
- [1.31] H. Kondoh, "DC -50 GHz MMIC variable attenuator with a 30 dB dynamic range," 1988., IEEE MTT-S International Microwave Symposium Digest, New York, NY, USA, 1988, pp. 499-502 vol.1, doi: 10.1109/MWSYM.1988.22083.
- [1.32] C. F. Campbell and S. A. Brown, "A compact 5-bit phase-shifter MMIC for K-band satellite communication systems," in IEEE Transactions on Microwave Theory and Techniques, vol. 48, no. 12, pp. 2652-2656, Dec. 2000, doi: 10.1109/22.899026.
- [1.33] S. J. Kim and N. H. Myung, "A new active phase shifter using a vector sum method," in IEEE Microwave and Guided Wave Letters, vol. 10, no. 6, pp. 233-235, June 2000, doi: 10.1109/75.852426.
- [1.34] A. Asoodeh and M. Atarodi, "A Full 360° Vector-Sum Phase Shifter With Very Low RMS Phase Error Over a Wide Bandwidth," in IEEE Transactions on Microwave Theory and Techniques, vol. 60, no. 6, pp. 1626-1634, June 2012, doi: 10.1109/TMTT.2012.2189227.
- [1.35] K. -J. Koh and G. M. Rebeiz, "0.13- μ m CMOS Phase Shifters for X-, Ku-, and K-Band Phased Arrays," in IEEE Journal of Solid-State Circuits, vol. 42, no. 11, pp. 2535-2546, Nov. 2007, doi: 10.1109/JSSC.2007.907225.
- [1.36] D. Coffing, E. Main, M. Randol and G. Szklarz, "A variable gain amplifier with 50-dB control range for 900-MHz applications," in IEEE Journal of Solid-State Circuits, vol. 37, no. 9, pp. 1169-1175, Sept. 2002, doi: 10.1109/JSSC.2002.801205.

- [1.37] Tae Wook Kim and Bonkee Kim, "A 78-dB gain range low power CMOS RF digitally programmable gain amplifier for mobile terrestrial D-TV tuner IC," in IEEE Microwave and Wireless Components Letters, vol. 16, no. 4, pp. 185-187, April 2006, doi: 10.1109/LMWC.2006.872130.
- [1.38] Q. Zhang et al., "A Ka-Band CMOS Phase-Invariant and Ultralow Gain Error Variable Gain Amplifier With Active Cross-Coupling Neutralization and Asymmetric Capacitor Techniques," in IEEE Transactions on Microwave Theory and Techniques, vol. 70, no. 1, pp. 85-100, Jan. 2022, doi: 10.1109/TMTT.2021.3125326.
- [1.39] B. Sadhu, et al., "7.2 A 28GHz 32-element phased-array transceiver IC with concurrent dual polarized beams and 1.4° beam-steering resolution for 5G communication," 2017 IEEE International Solid-State Circuits Conference (ISSCC), pp. 128-129, 2017, doi: 10.1109/ISSCC.2017.7870294.
- [1.40] K. Kibaroglu, M. Sayginer, and G. M. Rebeiz, "A low-cost scalable 32-element 28-GHz phased array transceiver for 5G communication links based on a 2×2 beamformer flip-chip unit cell," IEEE J. Solid-State Circuits, vol. 53, no. 5, pp. 1260-1274, 2018, doi: 10.1109/JSSC.2018.2791481.
- [1.41] T. Shimura et al., "Millimeter-wave TX phased array with phase adjusting function between transmitters for hybrid beamforming with interleaved subarrays," 2016 46th European Microwave Conference (EuMC), London, UK, 2016, pp. 1572-1575, doi: 10.1109/EuMC.2016.7824658.
- [1.42] O. Inac, D. Shin and G. M. Rebeiz, "A Phased Array RFIC With Built-In Self-Test Capabilities," in IEEE Transactions on Microwave Theory and Techniques, vol. 60, no. 1, pp. 139-148, Jan. 2012, doi: 10.1109/TMTT.2011.2170704.

2章 位相制御、振幅制御に関わるマイクロ波制御回路の原理

ここでは、図 1-1 内に示すマイクロ波モジュール内の移相器、位相検出器、可変利得増幅器といったマイクロ波制御回路の原理を示す。ここでは、シリコンデバイスで実現するマイクロ波制御回路の主要な方式として、移相器についてはベクトル合成型移相器、位相検出器についてはミキサをベースとしたアナログ位相検出器、可変利得増幅器についてはエミッタ接地回路、ベース接地回路を用いたものについて示す。

2.1. 移相器

移相器は様々な種類のものが提案されており、ベクトル合成型移相器、LC 回路を用いたもの、APN(All Pass Network)型、実時間遅延を用いたもの、反射型などがある。一般に、シリコン技術を使用したベクトル合成型移相器は、シリコンプロセスにおいて容易に実装できるデジタル回路を用いた高い振幅設定分解能を有する可変利得増幅器の適用による高い移相量設定分解能、I/Q(In-phase/Quadrature)誤差の低い I/Q 生成器による低移相量誤差、能動回路による正の通過振幅、インダクタを用いないことによる小型な実装といった特徴を有するため、大規模な AESA システムに適した方式となっている[2.1]-[2.13]。図 2-1 にベクトル合成型移相器(VSPS)の構成を示す。VSPS は I/Q 生成器(IQ Gen.)、2 つの可変利得増幅器 I-VGA、Q-VGA と合成回路(+)からなる。入力信号 $\sin \omega t$ は、I/Q 生成器によってそれぞれ振幅が等しく位相が 90° 異なる $0^\circ(I) : \sin \omega t$ と、 $90^\circ(Q) : \cos \omega t$ の 2 つの直交信号に分配される。それぞれの信号は、I-VGA、Q-VGA において移相したい角度 θ に対応する $\cos \theta$ と $\sin \theta$ の振幅の重みづけが行われ、 $\cos \theta \cdot \sin \omega t$ 、 $\sin \theta \cdot \cos \omega t$ となる。その後、合成器によって 2 つの信号は合成され $\sin(\omega t + \theta)$ となり、入力信号 $\sin \omega t$ に対し θ 移相した出力信号を得る。I/Q 生成器には抵抗と容量の受動素子で構成されるポリフェーズフィルタが一般的に用いられる[2.14]-[2.16]。VGA の詳細は 2.3 節で示す。

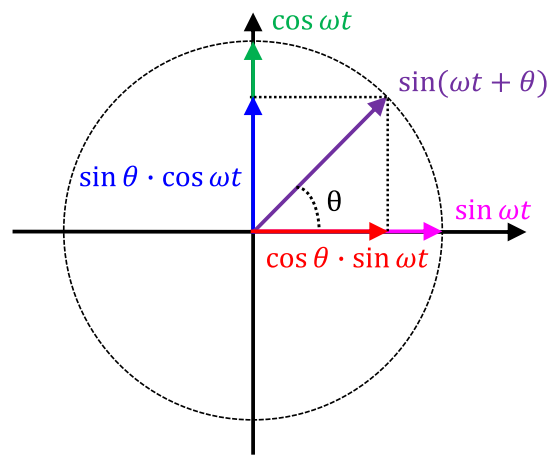
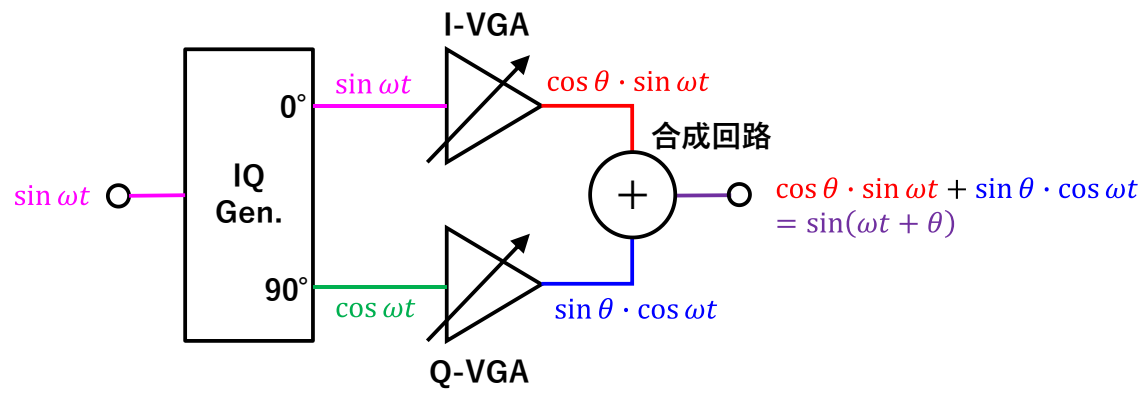


図 2-1 ベクトル合成型移相器(VSPS)の構成

2.2. 位相検出器

高周波信号の位相検出器は、高周波動作に対応するためミクサをベースとしたアナログ位相検出器が広く用いられている[2.17]-[2.22]。ミクサをベースとしたアナログ位相検出器の構成を図 2-2 に示す。本位相検出器は、2つの入力信号 $A \cos \omega t$ と $B \cos(\omega t + \phi)$ の位相差 ϕ に応じた直流の電圧を出力する。ミクサは二つの入力信号の積を出力するため、上側のミクサの出力信号は以下の式で表される。

$$A \cos \omega t \times B \cos(\omega t + \phi) = \frac{AB}{2} \{ \cos(\phi) + \cos(2\omega t + \phi) \} \quad (2-1)$$

上式の第二項は出力に設置した LPF によって抑圧されるため、第一項のみが出力される。第一項は、二つの信号の位相差 ϕ に対し余弦に比例する電圧($\cos \phi$)となる。一方、下側のミクサは片方の入力に 90° 移相器(90°)を設置されており、入力される 2 つの信号の位相差の正弦に比例する電圧($\sin \phi$)を出力する。2 つの出力の逆正接をとることで、検出位相差 ϕ_d を求めることが可能となる。本構成は 90° 移相器の通過利得の影響によって位相差の正弦に比例する電圧($\sin \phi$)が変動し検出誤差となる。

$$\phi_d = \tan^{-1} \left(\frac{\sin \phi}{\cos \phi} \right) \quad (2-2)$$

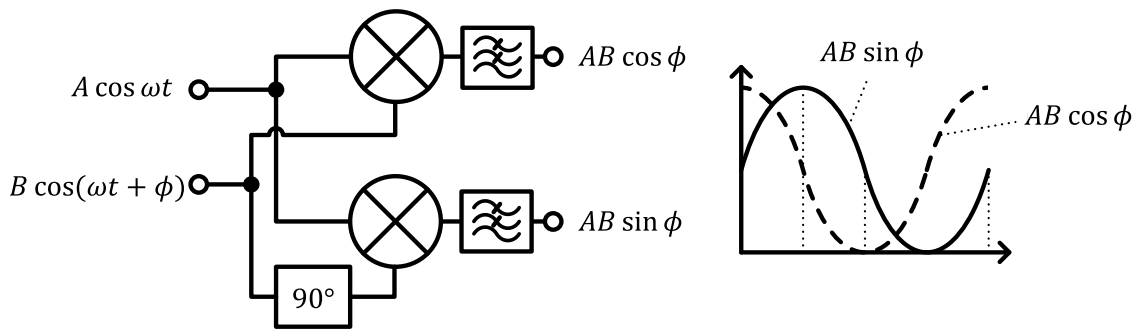


図 2-2 ミクサをベースとしたアナログ位相検出器の構成

2.3. 可変利得増幅器

シリコン半導体内においてよく用いられる可変利得増幅器としては、エミッタ接地回路を用いたコモンエミッタ型 VGA と、ゲート接地回路を用いたコモンゲート型 VGA がある [2.23]-[2.26]。図 2-3 に完全差動型のコモンエミッタ型 VGA の回路構成を示す。コモンエミッタ型 VGA は、エミッタ接地差動対を 2 つ用いて、2 つの出力を逆相合成する構成をとる。それぞれのテール電流 I_{REF_P} 、 I_{REF_N} の大きさを調整し正相信号と逆相信号の振幅調整した後に合成することで可変利得機能を実現する。入力電圧に対する出力電流の利得 G_{VGA_CE} は以下の式で表され、トランジスタのトランスコンダクタンスの差に比例する。

$$G_{VGA_CE} = \frac{\Delta I_{out}}{\Delta V_{in}} = \frac{I_{out_P} - I_{out_N}}{V_{in_P} - V_{in_N}} = g_{m_P} - g_{m_N} \quad (2-3)$$

トランスコンダクタンスは、以下のようにトランジスタのテール電流 I_{REF_P} 、 I_{REF_N} に比例する。

$$g_{m_P} \propto I_{REF_P}, \quad g_{m_N} \propto I_{REF_N} \quad (2-4)$$

双方のトランジスタのテール電流 I_{REF_P} 、 I_{REF_N} が等しいときに、正相と逆相が全く等しい振幅となり、出力は打ち消されゼロとなる。このように、コモンエミッタ型 VGA はテール電流で利得制御が可能となるため、シリコンプロセスにおいて容易に実装できるディジタル回路を用いた高い振幅設定分解能を実現することが可能となる。

図 2-4 に完全差動型のコモンベース型 VGA の回路構成を示す。コモンベース型 VGA は、2 つのベース接地の差動対を用いる。差動対のベース端子制御電圧 CNT_P 、 CNT_N の差分電圧 $V_c = CNT_P - CNT_N$ で、出力電流 I_{out_P} 、 I_{out_N} を制御することにより可変利得機能を実現する。ここで、入力電圧に対する出力電流の利得 G_{VGA_CB} は以下の式で表される。

$$G_{VGA_CB} = \frac{\exp\left(\frac{V_c}{V_t}\right)}{\exp\left(\frac{V_c}{V_t}\right) + 1} \quad (2-5)$$

ここで、 V_t は熱電圧 ($\approx 26 \text{ mV@300 K}$) である。 $V_c=0$ のときに利得は $1/2$ (-6 dB) となる。利得の特性は V_c に対し出力が $10 \cdot \log(V_c)$ で変化するため、制御性が良いという特徴を有する [2.27]。コモンエミッタ型 VGA とコモンベース型 VGA の両者を組み合わせことで移相機能と可変利得機能の二つを一つの回路で実現する可変利得移相器という回路構成も提案されている [2.28]。

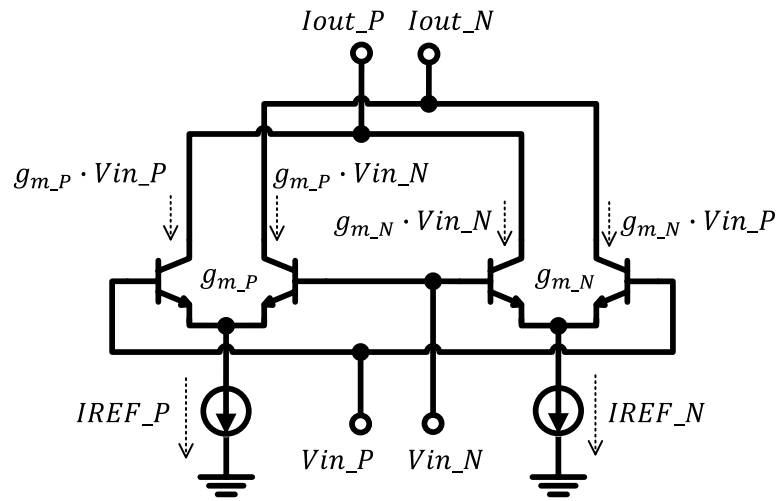


図 2-3 コモンエミッタ型 VGA の回路構成

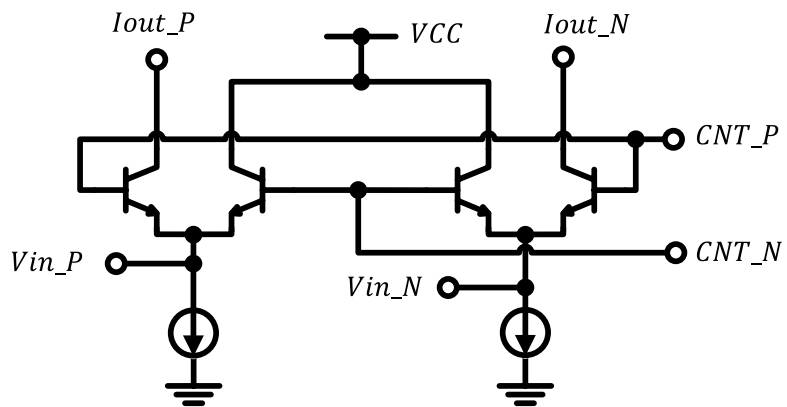


図 2-4 コモンベース型 VGA の回路構成

2.4. 参考文献

- [2.1] Kalyoncu, E. Ozeren, and A. Burak, "A Phase-Calibration Method for Vector-Sum Phase Shifters Using a Self-Generated LUT," *IEEE Tran. Circuits Syst. I, Reg. papers*, vol. 66, no. 4, pp. 1632-1642, Apr. 2019.
- [2.2] J. Pang et al., "A 28-GHz CMOS Phased-Array Transceiver Based on LO Phase-Shifting Architecture with Gain Invariant Phase Tuning for 5G New Radio," *IEEE J. Solid-state Circuits*, vol. 54, no. 5, pp. 1228-1242, May 2019.
- [2.3] I. Kalyoncua. Burak, M. Kaynak, and Y. Gurbuz, "A 26-GHz Vector Modulator in 130-nm SiGe BiCMOS Achieving Monotonic 10-b Phase Resolution Without Calibration," in *Proc. IEEE RFIC*, June 2019.
- [2.4] Y. Wang et al., "A 39GHz 64-Element Phased-Array CMOS Transceiver with Built-in Calibration for Large-Array 5G NR," in *Proc. IEEE RFIC*, June 2019.
- [2.5] B. Sadhu et al., "A 28-GHz 32-Element TRX Phased-Array IC With Concurrent Dual-Polarized Operation and Orthogonal Phase and Gain Control for 5G Communications," *IEEE J. Solid-state Circuits*, vol. 52, no. 12, pp.3373-3391, Dec. 2017.
- [2.6] H. Zijie, K. Mouthaan, "A 0.5–6 GHz 360° vector-sum phase shifter in 0.13- μ m CMOS," in *Proc. IEEE IMS*, June 2014.
- [2.7] M. Mohsenpour, C. E. Saavedra, "Variable 360° Vector-Sum Phase Shifter with Coarse and Fine Vector Scaling," *IEEE Trans. Microw. Theory and Techn.*, vol. 64, no. 7, pp. 2113-2120, July 2016.
- [2.8] T. Yan, W. Lin, and C. Kuo, "A 0.75-2.67 GHz 5-bit Vector-Sum Phase Shifter," in *Proc. European Microwave Integrated Circuits Conference*, Oct. 2013, pp. 196 – 199.
- [2.9] E. V. Balashov, I. A. Romyancev, "A Fully Integrated 6-bit Vector-Sum Phase Shifter in 0.18 μ m CMOS," in *Proc. 2015 International Siberian Conference on Control and Communications*, May 2015.
- [2.10] Y. Xu, J. Xia, S. Boumaiza, "A 0.6-2.8GHz CMOS RF Vector Multiplier with Low RMS Magnitude and Phase Errors and High P1dB," in *Proc. IEEE IMS*, June 2017, pp. 2015-2017.
- [2.11] J. Xia, Y. Xu, H. Huang, S. Boumaiza, "A 0.1-5.7 GHz CMOS Phase Shifter with 0.27dB/1.8° RMS Magnitude/Phase Errors and Enhanced Linearity," in *Proc. IEEE 19th Topical Meeting on Silicon Monolithic Integrated Circuits in RF System (SiRF)*, Jan. 2019, pp. 1-3.
- [2.12] A. Asoodeh and M. Atarodi, "A Full 360 Vector-Sum Phase Shifter with Very Low

- RMS Phase Error Over a Wide Bandwidth," IEEE Trans. Microw. Theory and Techn., vol. 60, pp. 1626-1634, June 2012.
- [2.13] F. Albar, A. Mortazawi, "A Frequency Tunable 360° Analog CMOS Phase Shifter with an Adjustable Amplitude," IEEE Tran. Circuits Syst. II: Exp. Briefs, vol. 64, no. 12, pp. 1427-1431, Dec. 2017.
 - [2.14] A. Asoodeh and S. Mirabbasi, "On the Design of nth-Order Polyphase All-Pass Filters," IEEE Tran. Circuits Syst. I, Reg. Papers, vol. 66, no. 1, pp. 133146, Jan. 2019.
 - [2.15] J. Kaukuvuori, K. Stadius, J. Ryynanen, and K. Halonen, "Analysis and design of passive polyphase filters," IEEE Trans. Circuits Syst. I, Reg. Papers, vol. 55, no. 10, pp. 30233037, Nov. 2008.
 - [2.16] M. Momeni and M. Moezzi, "A low loss and area efficient RC passive poly phase filter for monolithic GHz vector-sum circuits," IEEE Trans. Circuits Syst. II, Exp. Briefs, vol. 66, no. 7, pp. 11341138, Jul. 2019.
 - [2.17] L. Wua. Li, and H. C. Luong, "4-Path 42.8-to-49.5 GHz LO Generation," IEEE J. Solid-state Circuits, vol. 48, no. 10, pp. 2309-2322, Oct. 2013.
 - [2.18] A. Hirai, K. Tsutsumi, Y. Takahashi, H. Nakamizo, K. Tajima, E. Taniguchi, M. Hieda, and M. Nakayama, "Fast and Highly Accurate RF Phase Detector with Analog Integrator for APAA System," in Proc. APMC, pp. 1-3, Nov. 2013.
 - [2.19] M. Dwyer, A. Day, and D. Weide "Enhanced phase detector using nonlinear transmission lines," in Proc. RWS, Jan. 2019.
 - [2.20] C. Tang and Q. Xue, "S-Band Full 360° High Precision Phase Detector," in Proc. APMC, pp. 97-99, Dec. 2012.
 - [2.21] B. Perez, V. A. Arana, J. Perez-Mato, and F. Cabrera, " 360° Phase Detector Cell for Measurement Systems Based on Switched Dual Multipliers," IEEE Trans. Microw. Theory Techn., vol. 27, no. 5, pp. 503-505, May 2017.
 - [2.22] B. Philippe and P. Reynaert, "A Quadrature Phase Detector in 28nm CMOS for Differential mm-Wave Sensing Applications using Dielectric Waveguides," in Proc. IEEE ESSCIRC, pp. 114-117, Sep. 2018.
 - [2.23] Q. Zhang, C. Zhao, Y. Yu, H. Liu, Y. Wu and K. Kang, "A Ka-band CMOS variable gain amplifier with high gain resolution and low phase variation," 2020 IEEE Asia-Pacific Microwave Conference (APMC), pp. 275-277, 2020, doi: 10.1109/APMC47863.2020.9331365.
 - [2.24] S. Lee, J. Park, and S. Hong, "A Ka-band phase-compensated variable-gain CMOS low-noise amplifier," IEEE Microw. Wirel. Compon. Lett., vol. 29, no. 2, pp. 131-133, 2019, doi: 10.1109/LMWC.2018.2887335.

- [2.25] G. H. Park, J. K. Kwon, D. M. Kang, and C. S. Park, "A 60-GHz variable gain amplifier with phase-compensated variable attenuator," 2021 IEEE 20th Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SiRF), pp. 44-46, 2021, doi: 10.1109/SiRF51851.2021.9383343.
- [2.26] D. Siao, J. Kao, and H. Wang, "A 60 GHz low phase variation variable gain amplifier in 65 nm CMOS," IEEE Microw. Wirel. Compon. Lett., vol. 24, no. 7, pp. 457-459, 2014, doi: 10.1109/LMWC.2014.2316253.
- [2.27] D. Coffing, E. Main, M. Randol, and G. Szklarz, "A variable gain amplifier with 50-dB control range for 900-MHz applications," IEEE J. Solid-State Circuits, vol. 37, no. 9, pp. 1169-1175, 2002, doi: 10.1109/JSSC.2002.801205.
- [2.28] S. Wang, J. Park, and S. Hong, "A K-band variable-gain phase shifter based on Gilbert-cell vector synthesizer with RC-RL poly-phase filter," IEEE Microw. Wirel. Compon. Lett., vol. 31, no. 4, pp. 393-396, 2021, doi: 10.1109/LMWC.2021.3056881.

3章 g_m -C ポリフェーズフィルタを用いた広帯域な移相器

3.1. まえがき

移相器は、正確なビーム制御機能を実現するための重要な回路の一つであり、AESA のビーム制御高精度化のためには移相器の高精度化、つまり、設定移相量に対して低い誤差での移相量制御が求められる。また、近年 AESA の高機能化、高性能化のため、より広い周波数帯域での低移相量誤差を実現が求められている [3.1]-[3.5]。さらに、AESA の大規模化に伴い、より小さなチップサイズでの実現や汎用的な半導体プロセスであるシリコンプロセスによる低コスト化、低消費電力化の要求も増大している [3.6]-[3.9]。

本章では、広帯域に低移相量誤差性能を実現する移相技術として、ベクトル合成型移相器 [3.10]-[3.13] 内の I/Q 生成器に、新しい回路構成である g_m -C ポリフェーズフィルタ (PPF) を適用した移相器の回路構成、およびその設計法を提案する。 g_m -C PPF は、従来の I/Q 生成器である RC-PPF [3.14]-[3.16] の抵抗 R の代わりにトランジスタのトランスコンダクタンス g_m を用いることで、従来方式で生じていた比帯域と通過損失のトレードオフの関係を解決し、広い周波数帯域における低移相量誤差を実現する。また、RC-PPF において受動デバイスのみで構成されることで生じていた通過損失を、トランジスタのトランスコンダクタンスを利用することにより通過利得に変えることができる。それにより、I/Q 生成器で発生する通過損失を補償する増幅器を削除し、低消費電力化、小型化も合わせて実現する。提案する g_m -C PPF を含む移相器の設計法を導出したのちに、提案する移相器を S 帯 (2-4 GHz) で試作した結果について述べ、本回路構成と設計法の有効性を示す。

3.2. 移相器の回路構成と設計法

3.2.1. 従来回路の問題点

広帯域に低移相量誤差な VSPS を実現する方法として主に 2 つのアプローチがある。一つ目の手法は、デジタルによる移相性能のキャリブレーションである[3.1][3.4]。このアプローチでは、I/Q 生成器や VGA で生じた誤差を、出力に配置した誤差検出回路とデジタル処理を用いて最適化された I/Q 設定で制御する。この手法では低い移相量誤差を実現できるが、検出と制御のための回路が必要となりチップ面積が大きくなる。また、IC 外部制御ユニットが必要になる場合 AESA の小型化、低コスト化が困難となる。二つ目のアプローチ方法は、I/Q 誤差の低い I/Q 生成器の実現である[3.13]-[3.21]。VSPS に I/Q 生成器を小型に実装する方法の一つとして、RC-PPF がある[3.14]。図 3-1 に RC-PPF の回路構成を示す。1 段の RC-PPF の I と Q の出力の比は以下になる。

$$I/Q_{RC\ PPF(n=1)} = \frac{V_{Iout+} - V_{Iout-}}{V_{Qout+} - V_{Qout-}} = \frac{1 - \frac{j\omega}{\omega_{p,1(RC\ PPF)}}}{1 + \frac{j\omega}{\omega_{p,1(RC\ PPF)}}} \quad (3-1)$$

ここで、

$$\omega_{p,n(RC\ PPF)} = \frac{1}{R_n C_n} \quad (3-2)$$

である。2 段の RC-PPF の I と Q の出力の比は以下になる。

$$I/Q_{RC\ PPF(n=2)} = \frac{1 - j\omega \left(\frac{1}{\omega_{p,1(RC\ PPF)}} + \frac{1}{\omega_{p,2(RC\ PPF)}} \right) + \omega^2 \frac{1}{\omega_{p,1(RC\ PPF)}\omega_{p,2(RC\ PPF)}}}{1 + j\omega \left(\frac{1}{\omega_{p,1(RC\ PPF)}} + \frac{1}{\omega_{p,2(RC\ PPF)}} \right) + \omega^2 \frac{1}{\omega_{p,1(RC\ PPF)}\omega_{p,2(RC\ PPF)}}} \quad (3-3)$$

(3-1)式、(3-3)式より I/Q 振幅比は常に 1 となる。また、I と Q の位相差は、角周波数 $\omega = \omega_{p,1(RC\ PPF)} = \omega_{p,2(RC\ PPF)} = 1/R_n C_n$ において 90° となる。RC-PPF は抵抗と容量で構成できるため小さな面積を実現できる。また、段数を増やすことで I/Q 誤差の小さい周波数帯域幅が増加するが、挿入損失が増加するため挿入損失と I/Q 誤差の比帯域幅の関係がトレードオフとなる。つまり、広い帯域を実現する場合には通過損失が増大し、その通過損失を補償するための増幅回路が必要となり消費電力が増加するといった問題がある[3.15]。

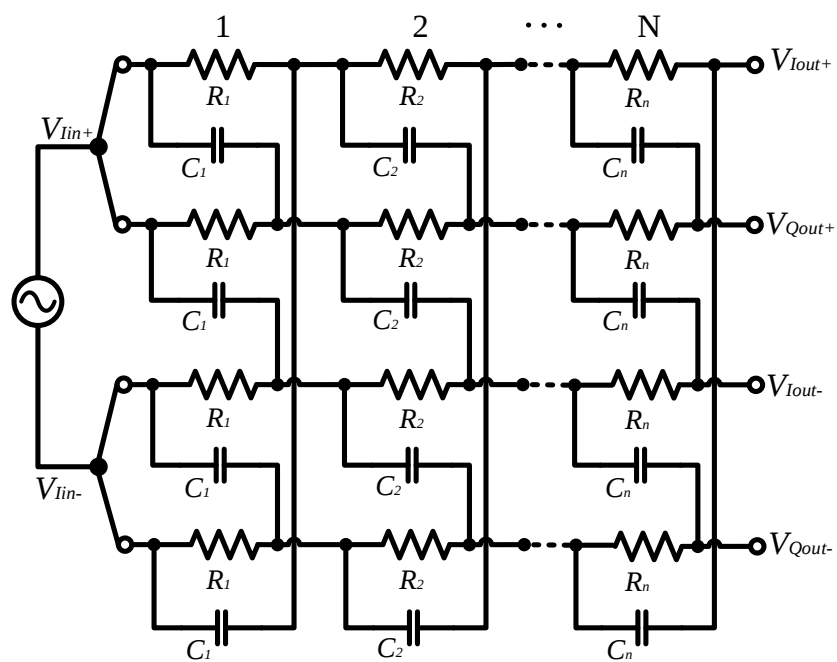


図 3-1 RC-PPF の回路構成

3.2.2. 提案する回路構成と動作原理・設計法

3.2.2.1. g_m -C PPF の周波数特性と I/Q 誤差

図 3-2 に提案する多段の g_m -C PPF の回路図を示す。 g_m -C PPF は、従来の RC-PPF の抵抗の代わりにトランジスタを用いる。インピーダンス Z_{Ln} の出力負荷を伴う n 段目の g_m -C PPF の回路図と小信号等価回路図をそれぞれ図 3-3(a)、(b) に示す。 g_m -C PPF の出力電圧は、小信号等価回路から計算できる。I 出力信号 $\Delta V_{Iout,n}(\omega)$ と Q 出力信号 $\Delta V_{Qout,n}(\omega)$ の差動電圧は、次のように与えられる[3.26]。

$$\begin{aligned}\Delta V_{Iout,n}(\omega) &= V_{Iout+,n}(\omega) - V_{Iout-,n}(\omega) \\ &= \frac{Z_{Ln}}{\frac{1}{g_{m,n}} + Z_{Ln}} \cdot \frac{j\omega C_n}{g_{m,n}} \left(-\Delta V_{Iin,n}(\omega) - j \frac{\omega C_n}{g_{m,n}} \Delta V_{Qin,n}(\omega) \right),\end{aligned}\quad (3-4a)$$

$$\begin{aligned}\Delta V_{Qout,n}(\omega) &= V_{Qout+,n}(\omega) - V_{Qout-,n}(\omega) \\ &= \frac{Z_{Ln}}{\frac{1}{g_{m,n}} + Z_{Ln}} \cdot \frac{j\omega C_n}{g_{m,n}} \left(-\Delta V_{Qin,n}(\omega) + j \frac{\omega C_n}{g_{m,n}} \Delta V_{Iin,n}(\omega) \right).\end{aligned}\quad (3-4b)$$

ここで、 ω は角周波数、 $g_{m,n}$ はトランジスタのトランスコンダクタンス、 C_n は容量値、 Z_{Ln} は n 段目の g_m -C PPF の出力負荷インピーダンスである。(3-4)式は、次のような行列で表すことができる。

$$\begin{bmatrix} \Delta V_{Iout,n}(\omega) \\ \Delta V_{Qout,n}(\omega) \end{bmatrix} = \frac{Z_{Ln}}{\frac{1}{g_{m,n}} + Z_{Ln}} \frac{j\omega}{\omega_{p,n}} \begin{bmatrix} -1 & -j\omega/\omega_{p,n} \\ j\omega/\omega_{p,n} & -1 \end{bmatrix} \begin{bmatrix} \Delta V_{Iin,n}(\omega) \\ \Delta V_{Qin,n}(\omega) \end{bmatrix}\quad (3-5)$$

ここで、

$$\omega_{p,n} = \frac{g_{m,n}}{C_n}\quad (3-6)$$

である。(3-6)式は、 $g_{m,n}$ を変化させることで、 $\omega_{p,n}$ を変化できることを示している。 $g_{m,n}$ はトランジスタの電流によって変化させることが可能であり、電流を制御することで $\omega_{p,n}$ の制御が可能となる。

入力信号が理想的な差動信号($V_{Iin+} = -V_{Iin-}$)であり、I/Q 入力端子が短絡されていると仮定すると、1 段($N=1$)の g_m -C PPF の伝達関数 $H_{1-stg,I}(\omega)$ と $H_{1-stg,Q}(\omega)$ は、次のように計算される。

$$\begin{cases} H_{1-stg,I}(\omega) = \frac{\Delta V_{Iout}(\omega)}{\Delta V_{in}(\omega)} = \frac{Z_{L1}}{\frac{1}{g_{m,1}} + Z_{L1} \cdot \frac{j\omega}{\omega_{p,1}}} (-1 - \frac{j\omega}{\omega_{p,1}}) \\ H_{1-stg,Q}(\omega) = \frac{\Delta V_{Qout}(\omega)}{\Delta V_{in}(\omega)} = \frac{Z_{L1}}{\frac{1}{g_{m,1}} + Z_{L1} \cdot \frac{j\omega}{\omega_{p,1}}} (-1 + \frac{j\omega}{\omega_{p,1}}) \end{cases} \quad (3-7)$$

I と Q の出力の比は以下ようになる。

$$\frac{H_{1-stg,I}(\omega)}{H_{1-stg,Q}(\omega)} = \frac{1 + \frac{j\omega}{\omega_{p,1}}}{1 - \frac{j\omega}{\omega_{p,1}}} \quad (3-8)$$

(3-8)式より、I/Q の振幅比と位相差は以下のように計算される。

$$\left| \frac{H_{1-stg,I}(\omega)}{H_{1-stg,Q}(\omega)} \right| = 1, \quad (3-9a)$$

$$\phi_{1-stg} = \angle \frac{H_{1-stg,I}(\omega)}{H_{1-stg,Q}(\omega)} = \tan^{-1} \left(\frac{\frac{2\omega}{\omega_{p,1}}}{1 - \left(\frac{\omega}{\omega_{p,1}} \right)^2} \right). \quad (3-9b)$$

(3-9)式より、I/Q 振幅比は、トランスコンダクタンス、周波数範囲、静電容量、負荷インピーダンスに依存せず常に1となる。一方、IとQの位相差は、角周波数 $\omega = \omega_{p,1} = g_{m,1}/C_1$ において 90° となる。(3-8)式と(3-9)式より、 g_m -C PPF の伝達関数はRC-PPF[3.15]と同等であることがわかる。(3-8)式と(3-1)式を比較すると、1段のRC-PPF 伝達関数の抵抗Rが、 g_m -C PPF において $1/g_{m,1}$ に置き換わっていることがわかる。 g_m -C PPF は、従来のRC-PPF と同様に直列段数を増やすことによって、より広い比帯域幅を実現することが可能となる。2段(N=2) g_m -C PPF のI/Qの伝達関数は(3-5)式から導出され、次のように与えられる。

$$\begin{cases} H_{2-stg,I}(\omega) = \frac{\Delta V_{Iout,2}(\omega)}{\Delta V_{in}(\omega)} = \frac{Z_{L1}Z_{L2} \left\{ 1 + j\omega \left(\frac{1}{\omega_{p,1}} + \frac{1}{\omega_{p,2}} \right) + \omega^2 \frac{1}{\omega_{p,1}\omega_{p,2}} \right\}}{\left(\frac{1}{g_{m,1}} + Z_{L1} \cdot \frac{j\omega}{\omega_{p,1}} \right) \left(\frac{1}{g_{m,2}} + Z_{L2} \cdot \frac{j\omega}{\omega_{p,2}} \right)} \\ H_{2-stg,Q}(\omega) = \frac{\Delta V_{Qout,2}(\omega)}{\Delta V_{in}(\omega)} = \frac{Z_{L1}Z_{L2} \left\{ 1 - j\omega \left(\frac{1}{\omega_{p,1}} + \frac{1}{\omega_{p,2}} \right) + \omega^2 \frac{1}{\omega_{p,1}\omega_{p,2}} \right\}}{\left(\frac{1}{g_{m,1}} + Z_{L1} \cdot \frac{j\omega}{\omega_{p,1}} \right) \left(\frac{1}{g_{m,2}} + Z_{L2} \cdot \frac{j\omega}{\omega_{p,2}} \right)} \end{cases} \quad (3-10)$$

I と Q の出力比は以下のようになる。

$$\frac{H_{2-stg,I}(\omega)}{H_{2-stg,Q}(\omega)} = \frac{1 + j\omega \left(\frac{1}{\omega_{p,1}} + \frac{1}{\omega_{p,2}} \right) + \omega^2 \frac{1}{\omega_{p,1}\omega_{p,2}}}{1 - j\omega \left(\frac{1}{\omega_{p,1}} + \frac{1}{\omega_{p,2}} \right) + \omega^2 \frac{1}{\omega_{p,1}\omega_{p,2}}} \quad (3-11)$$

(3-11)式と(3-3)式を比較すると、2 段の RC-PPF 伝達関数の抵抗 R も g_m -C PPF において $1/g_{m,n}$ に置き換えられることがわかる。ここで、

$$\omega_{p,n} = \frac{g_{m,n}}{C_n} \quad (3-12)$$

となる。 $\omega_p = \omega_{p,1} = \omega_{p,2}$ とすると、I/Q の振幅比と位相差は以下のように計算される。

$$\left| \frac{H_{2-stg,I}(\omega)}{H_{2-stg,Q}(\omega)} \right| = 1, \quad (3-13a)$$

$$\phi_{2-stg} = \angle \frac{H_{2-stg,I}(\omega)}{H_{2-stg,Q}(\omega)} = \tan^{-1} \left(\frac{\frac{4\omega}{\omega_p} \left(1 + \frac{\omega^2}{\omega_p^2} \right)}{\left(1 - \frac{\omega^2}{\omega_p^2} \right)^2} \right). \quad (3-13b)$$

位相傾きは以下のように計算される。

$$\left. \frac{\partial \phi_{2-stg}}{\partial \omega} \right|_{\omega=\omega_p} = \left. \frac{4\omega_p^3 - 4\omega^2\omega_p}{\omega_p^4 + 6\omega^2\omega_p^2 + \omega^4} \right|_{\omega=\omega_p} = 0 \quad (3-14)$$

(3-13)式、(3-14)式より 2 段の g_m -C PPF がより広帯域に I/Q の位相バランスを実現できることがわかる。(3-9)式と(3-13)式を用いて計算した 1 段(N=1)と 2 段(N=2)の g_m -C PPF の I/Q 位相誤差を図 3-4 に示す。周波数は ω_p で正規化している。I/Q 位相誤差は、VSPS の移相誤差と振幅誤差を引き起こすため、VSPS の比帯域幅を決定する。I/Q 位相誤差と VSPS

の比帯域幅については 3.2.2.4 節で説明する。

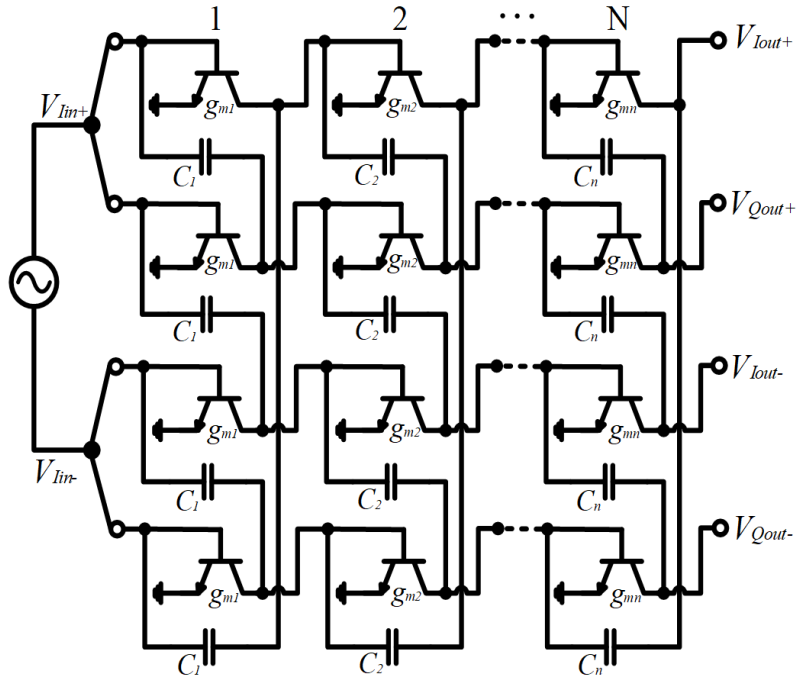


図 3-2 多段の g_m -C PPF 回路図

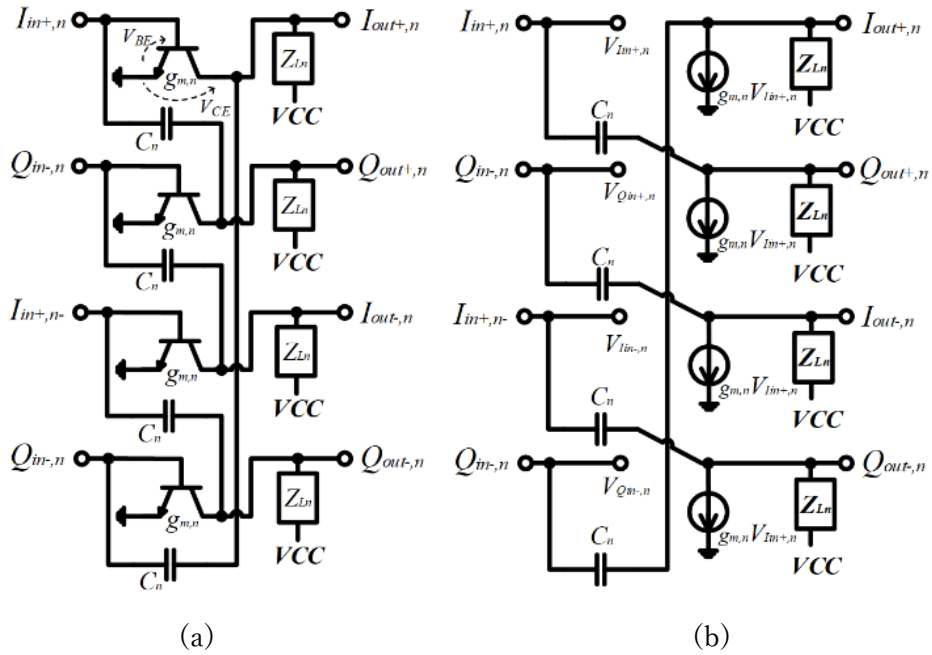


図 3-3 出力負荷を伴う n 段目の g_m -C PPF の (a) 等価回路図、(b) 小信号等価回路図

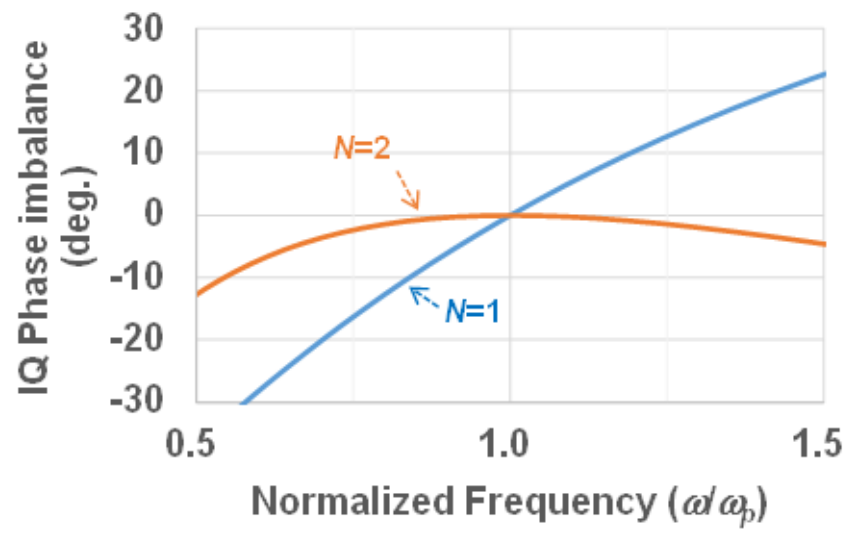


図 3-4 1 段($N=1$)と 2 段($N=2$)の g_m -C PPF の I/Q 位相誤差

3.2.2.2. g_m -C PPF の電圧利得

1 段の g_m -C PPF に関して、角周波数 $\omega_{p,1}$ における I/Q それぞれの伝達関数は以下のように表される。

$$H_{1-stg,I}(\omega_{p,1}) = \frac{1}{\frac{1}{g_{m,1}Z_{L1}} + j}(-1 - j), \quad (3-15a)$$

$$H_{1-stg,Q}(\omega_{p,1}) = \frac{1}{\frac{1}{g_{m,1}Z_{L1}} - j}(-1 + j). \quad (3-15b)$$

ここで Z_{L1} が純抵抗 R の場合、 $\omega_{p,1}$ における電圧利得は以下のように表される。

$$|H_{1-stg,I}(\omega_{p,1})| = |H_{1-stg,Q}(\omega_{p,1})| = \frac{\sqrt{2}}{\sqrt{\frac{1}{(g_{m,1}R)^2} + 1}} \quad (3-16)$$

通過利得が正となる条件は以下となる。

$$g_{m,1}R > 1 \quad (3-17)$$

(3-16)式より、 $g_{m,1}R$ の値で電圧利得は変化し、 $g_{m,1}R \gg 1$ において g_m -C PPF の最大利得は 3 dB ($\sqrt{2}$) となる。図 3-5 に、(3-16)式によって計算された 1 段 g_m -C PPF のトランスコンダクタンス $g_{m,1}$ に対する電圧利得依存性の例を示す。 R は 100 Ω 、300 Ω 、500 Ω の 3 条件で、 $g_{m,1}$ は 10 mS ~ 20 mS である。 $g_{m,1}$ は、(3-12)式に示すように所望周波数と容量によって決定される。より高い R を使用することで、 $g_{m,1}$ 依存性が減少する。一方、すべてのトランジスタは飽和領域 ($V_{CE} > V_{BE}$) で動作する必要があるため、 R の選択できる抵抗最大値はトランジスタの DC バイアス電圧によって制限される。また、過度に高い抵抗を使用すると、後段の VGA とのインピーダンス整合が困難となる。

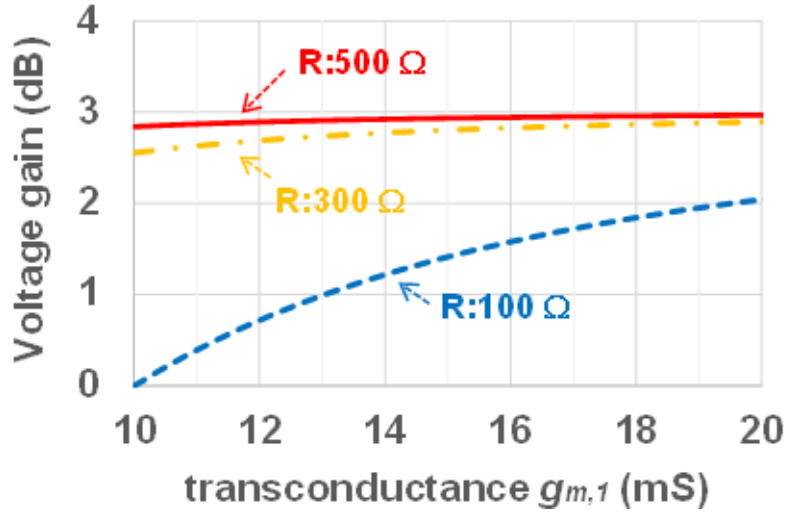


図 3-5 1 段 g_m -C PPF のトランスコンダクタンスに対する電圧利得依存性の例

3.2.2.3. g_m -C PPF の周波数可変範囲と利得変動

g_m -C PPF では、トランジスタのトランスコンダクタンス $g_{m,n}$ を変化させることで角周波数 ω_p を制御でき、これは g_m -C PPF の I/Q 誤差がゼロとなる周波数を変化させることで動作帯域を拡張し広帯域化できることを意味する。 $g_{m,n}$ 変化幅の最小値を g_{m,n_min} 、最大値を g_{m,n_max} とすると、周波数可変範囲 $FR_{tun.}$ は以下のように表される。

$$FR_{tun.} = \frac{\omega_{p_max} - \omega_{p_min}}{(\omega_{p_max} + \omega_{p_min})/2} = \frac{2(g_{m,n_max} - g_{m,n_min})}{g_{m,n_max} + g_{m,n_min}} \quad (3-18)$$

バイポーラトランジスタを用いた差動対の場合は、 $g_{m,n}$ は直流電流 I_{REF} に変化し以下のように表される。

$$g_{m,n} = I_{REF_{m,n}} / \alpha V_t \quad (3-19)$$

ここで V_t は熱電圧、 α は半導体のプロセステクノロジーによって決まる値である。(3-18) 式、(3-19) 式より、バイポーラを用いたとき周波数可変範囲 $FR_{tun.}$ は以下ようになる。

$$FR_{tun.} = \frac{2(I_{REF_{m,n_max}} - I_{REF_{m,n_min}})}{I_{REF_{m,n_max}} + I_{REF_{m,n_min}}} \quad (3-20)$$

このように、 g_m -C PPF は直流電流を変化させることで利用可能な周波数範囲を拡張することが可能となる。各トランジスタは直流バイアス電圧が $V_{CE} > V_{BE}$ となる飽和領域での条件で電圧設定する必要があるため、最大の設定可能な直流電流 $I_{REF_{m,n_max}}$ は以下で表される。

$$IREF_{m,n_{max}} < \frac{VCC - V_{BE}}{R} \quad (3-21)$$

ここで負荷 Z_{Ln} は純抵抗 R としている。(3-19)式と(3-21)式より、設定可能な最大トランスコンダクタンス $g_{m,n_{av_{max}}}$ は以下となる。

$$g_{m,n_{av_{max}}} = \frac{VCC - V_{BE}}{\alpha V_t R} \quad (3-22)$$

一方、設定可能な最小トランスコンダクタンス $g_{m,n_{min}}$ は利得変動量から決定される。(3-16)式より、 $g_{m,1}$ 変化にともなう利得変動 ΔG は以下の式で表される。

$$\Delta G = \frac{\frac{\sqrt{2}}{\sqrt{\frac{1}{(g_{m,1_{max}} \cdot R)^2} + 1}}}{\frac{\sqrt{2}}{\sqrt{\frac{1}{(g_{m,1_{min}} \cdot R)^2} + 1}}} = \frac{\sqrt{\frac{1}{(g_{m,1_{min}} \cdot R)^2} + 1}}{\sqrt{\frac{1}{(g_{m,1_{max}} \cdot R)^2} + 1}} \quad (3-23)$$

(3-18)式と(3-23)式より、設定可能な最大周波数範囲 $FR_{tun_{av_{max}}}$ は、利得変動量 ΔG を用いて以下のように表される。

$$FR_{tun_{av_{max}}} = \frac{2(\sqrt{\Delta G^2 + (\Delta G^2 - 1) \cdot g_{m,n_{av_{max}}}^2 \cdot R^2} - 1)}{\sqrt{\Delta G^2 + (\Delta G^2 - 1) \cdot g_{m,n_{av_{max}}}^2 \cdot R^2} + 1} \quad (3-24)$$

(3-24)式より、 $g_{m,n_{av_{max}}}$ と負荷抵抗 R 、利得変動量 ΔG が設定可能な最大周波数範囲 $FR_{tun_{av_{max}}}$ を決定することがわかる。バイポーラトランジスタを用いたときの $FR_{tun_{av_{max}}}$ は、(3-22)式と(3-24)式から以下のように計算される。

$$FR_{tun_{av_{max}}} = \frac{2 \left(\sqrt{\Delta G^2 + (\Delta G^2 - 1) \cdot \left(\frac{VCC - V_{BE}}{\alpha V_t} \right)^2} - 1 \right)}{\sqrt{\Delta G^2 + (\Delta G^2 - 1) \cdot \left(\frac{VCC - V_{BE}}{\alpha V_t} \right)^2} + 1} \quad (3-25)$$

(3-25)式より、 $FR_{tun_{av_{max}}}$ は電源電圧 VCC とベース端子電圧 V_{BE} 、また、半導体のプロセステクノロジーで決まり、より高い VCC と低い V_{BE} を適用することで、より広い $FR_{tun_{av_{max}}}$ を実現できる。

3.2.2.4. g_m-C PPF を適用した移相器の移相量誤差と振幅誤差

g_m-C PPF の I/Q 誤差 θ_e による VSPS の移相量誤差 $\varphi_{err,i}$ [3.16] と振幅誤差 $A_{err,i}$ は以下のよう
に表される。

$$\varphi_{err,i} = \tan^{-1} \left(\frac{\cos(\varphi_i - \theta_e) - \cos(\varphi_i)}{\sin(\varphi_i - \theta_e) + \cos(\varphi_i) \cot(\varphi_i)} \right), \quad (3-26a)$$

$$A_{err,i} = \sqrt{1 - 2 \sin \varphi_i \cos \varphi_i \sin \theta_e}, \quad i = 1 \sim 2^n. \quad (3-26b)$$

ここで、 φ_i は理想移相量である。m-bit 移相器における、g_m-C PPF の I/Q 誤差に起因する RMS 移相量誤差 φ_{rms} と RMS 振幅誤差 A_{rms} は以下のように表される。

$$\varphi_{rms} = \sqrt{\frac{\sum_{i=0}^{2^m} \varphi_{err,i}^2}{2^m}}, \quad (3-27a)$$

$$A_{rms} = \sqrt{\frac{\sum_{i=0}^{2^m} A_{err,i}^2}{2^m}}. \quad (3-27b)$$

図 3-6 に、(3-26)式、(3-27)式を用いて計算した 1 段(N=1)、および 2 段(N=2)の g_m-C PPF を適用した場合の 6-bit 移相器の RMS 移相量誤差 φ_{rms} と RMS 振幅誤差 A_{rms} を示す。周波数は ω_p で規格化している。g_m-C PPF の I/Q 誤差が VSPS の一定以下の移相量誤差と振幅誤差を実現する周波数比帯域幅 RBW を決定する。例えば、1°-rms と 0.15 dB-rms 以下の RMS 移相量誤差、振幅誤差を実現するためには、1 段 g_m-C PPF の場合の RBW₁ は 9.7% となる。2 段 g_m-C PPF を用いた場合の RBW₂ は 63.9% となる。g_m-C PPF を用いた場合、RBW に追加し 3.2.2.3 節で示した周波数可変機能によって、周波数範囲を拡張することが可能となる。利用可能な最大周波数範囲 TBW は以下の式で表される。

$$TBW = RBW_n + FR_{tun}. \quad (3-28)$$

必要となる瞬時周波数帯域が 9.7% で、利用可能な最大周波数範囲が 29.3 % 以下の場合、1 段 g_m-C PPF が適用可能となる。一方、瞬時周波数帯域が 9.7 % を超える場合、2 段 g_m-C PPF が必要となる。

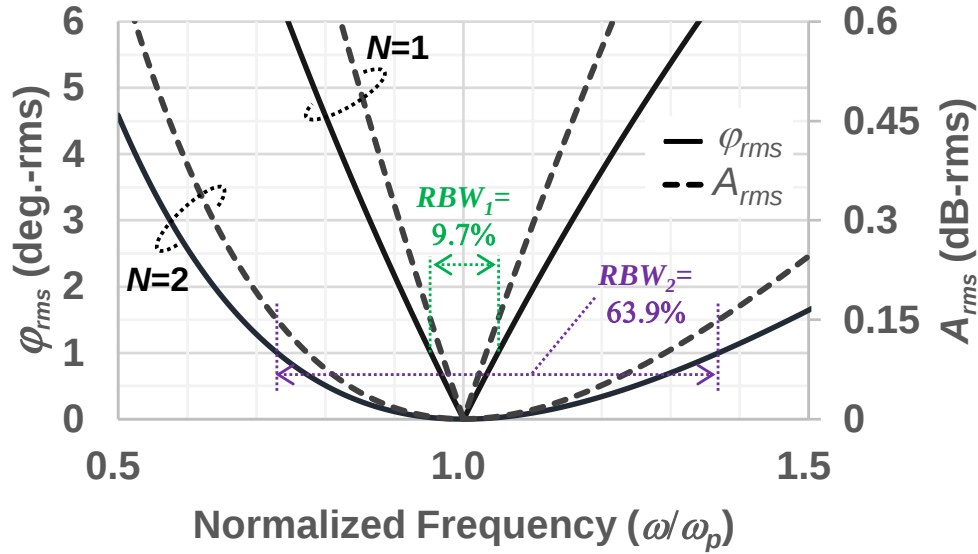


図 3-6 1 段(N=1)、および 2 段(N=2)の g_m -C PPF を適用した場合の 6-bit 移相器の RMS 移相量誤差 ϕ_{rms} と RMS 振幅誤差 A_{rms}

3.2.2.5. g_m -C PPF を適用した移相器の設計例

ここでは、前節までの議論から得られた VSPS における g_m -C PPF と VSPS の設計例について述べる。目標性能を表 3-1 に示す。

まず、必要となる比帯域を I/Q 誤差から決定する。振幅誤差は g_m -C PPF を用いることで自動的に満足するため、位相誤差のみに着目する。1 段、2 段を選択すると 1° -rms の移相量誤差と 0.15 dB-rms の振幅誤差が得られる比帯域が 9.7%、もしくは 63.9% と自動的に決定する。ここでは表 3-1 に示す目標性能より 1 段を選択する。容量 C とトランスコンダクタンス g_m は中心角周波数 ω_p と周波数可変範囲から決定する。大きな容量を選んだ場合、より高い g_m が必要となり、より大きな電流が必要となる。 $g_{m,1,av,max}$ は半導体プロセステクノロジーで選択可能な最大値が決まる。ここでは、容量値は 907 fF、 $g_{m,1,min}$ は 12.8 mS、 $g_{m,1,max}$ は 17.2 mS とした。続いて、負荷抵抗 R を電圧利得 G と利得変動幅 ΔG から (3-16) 式と (3-23) 式を用いて決定する。ここでは 300 Ω 以上の抵抗が必要となるため、472 Ω を選択する。電圧利得と利得変動幅 ΔG は 2.9 dB と 0.1 dB 以下となる。最後に $g_{m,n,max}$ が $g_{m,n,av,max}$ より小さいことを確認する。 $V_{BE} \doteq 0.7$ V、 $V_{CC} = 2$ V、 $V_t = 26$ mV、 $\alpha = 5$ とすると、 $V_{CE} \cong V_{BE}$ とすると (3-22) 式より $g_{m,n,av,max}$ は 21.2 mS となる。 $g_{m,n,max}$ は 17.2 mS のため 21 mS より小さいため本値で成り立つことがわかる。最大可変周波数範囲 $FR_{tun,av,max}$ は、(3-24) 式、もしくは (3-25) 式より 39.3% と計算される。表 3-2 に計算された定数一覧を示す。

図 3-7 に 1 段の g_m -C PPF を適用した 6-bit 移相器における g_m を変化させたときの RMS 移相量誤差計算結果を示す。ここで、 $g_{m,n}$ は (3-27) 式を用いて 12.8 mS ~ 17.2 mS で変化させている。角周波数は $\omega_p = 15 \text{ ms}/907 \text{ fF} = 16.5 \times 10^9 \text{ rad/s}$ (周波数に換算して 2.63 GHz) で規格化している。 FR_{tun} は 29.3%、 TBW は (3-28) 式より 29.3% + 9.7% = 39.0% となる。

表 3-1 g_m -C PPF の目標性能

Parameters	Value
Gain	>2.5 dB
Gain variation Δ Gain	<0.1 dB
Tunable frequency range $FR_{tun.}$	2.25 -3.02 GHz (29.3 %)
Relative bandwidth of VSPS lower than 1°-rms and 0.15 dB-rms	9.7 %
VCC	2.0 V

表 3-2 計算された g_m -C PPF の定数

Devices	Value
R	472 ohms
C	907 fF
$g_{m,1_max}$	17.2 mS
$g_{m,1_min}$	12.8 mS

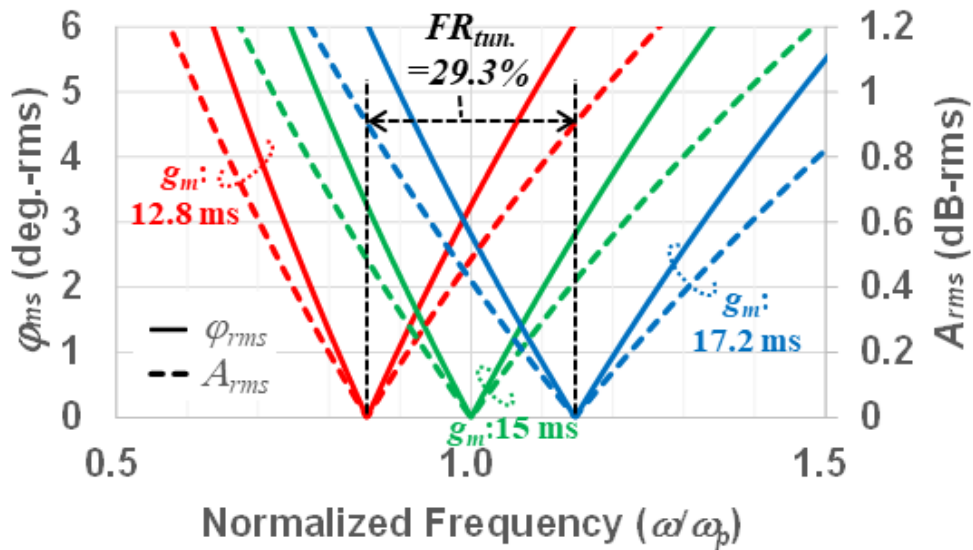


図 3-7 1 段の g_m -C PPF を適用した 6-bit 移相器における g_m を変化させたときの RMS 移相量誤差計算結果

3.3. 試作結果

3.3.1. 試作回路

前章までに説明した 1 段、および 2 段の g_m -C を実装した VSPS の試作を実施した。VSPS の回路図を図 3-8 に示す。VSPS は g_m -C PPF、I/Q 経路の VGA(Q)、VGA(I)、および Digital Analog to Converter (DACs) からなる。入力信号は 1 段、もしくは 2 段の g_m -C PPF によって I/Q 信号に分配され、それぞれが I/Q の VGA によって振幅と極性が調整されたのちに合成されることで移相信号を得る。半導体プロセステクノロジーとして $0.13\ \mu\text{m}$ SiGe-BiCMOS を用いて試作した 1 段、および 2 段の g_m -C を伴う 6-bit VSPS のチップ写真を図 3-9 に示す。チップサイズは、整合回路(Mat.)や配線用パッドを含めそれぞれ $1600\ \mu\text{m} \times 1500\ \mu\text{m}$ 、 $1800\ \mu\text{m} \times 1500\ \mu\text{m}$ である。1 段、2 段 g_m -C PPF を伴う VSPS の電流は、電源電圧 2 V において 8.75 mA、11.26 mA である。内訳としては、 g_m -C PPF 単段が 2.51 mA、単段 VGA が 2.90 mA、DAC が 0.22 mA となる。以下、各々の個別回路を説明する。

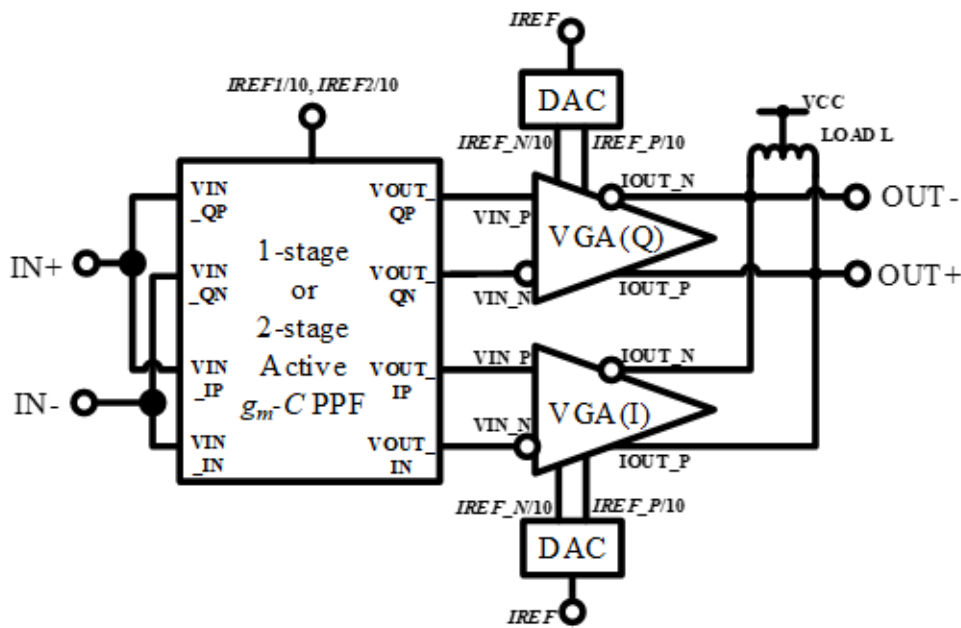
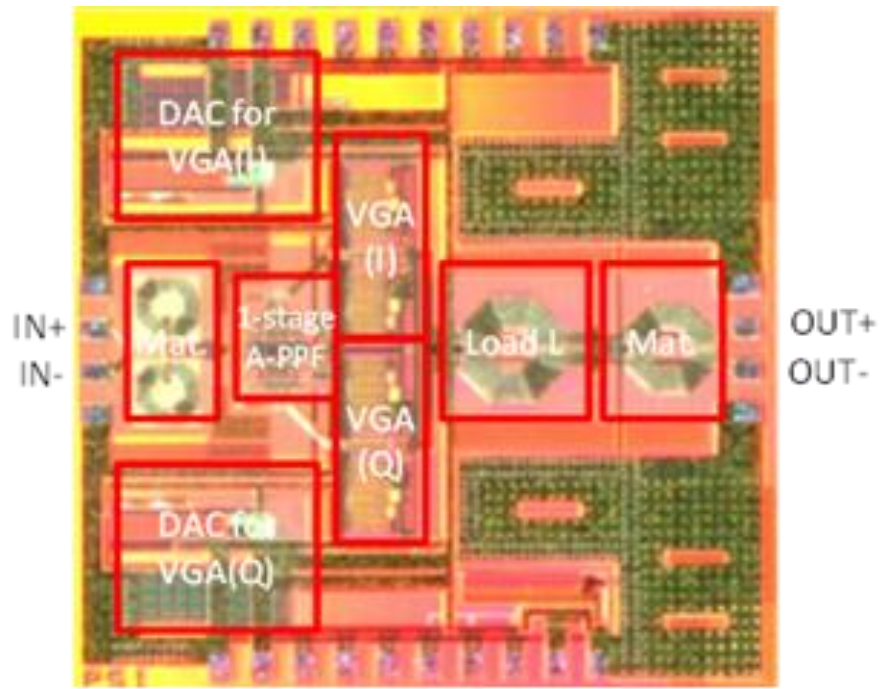
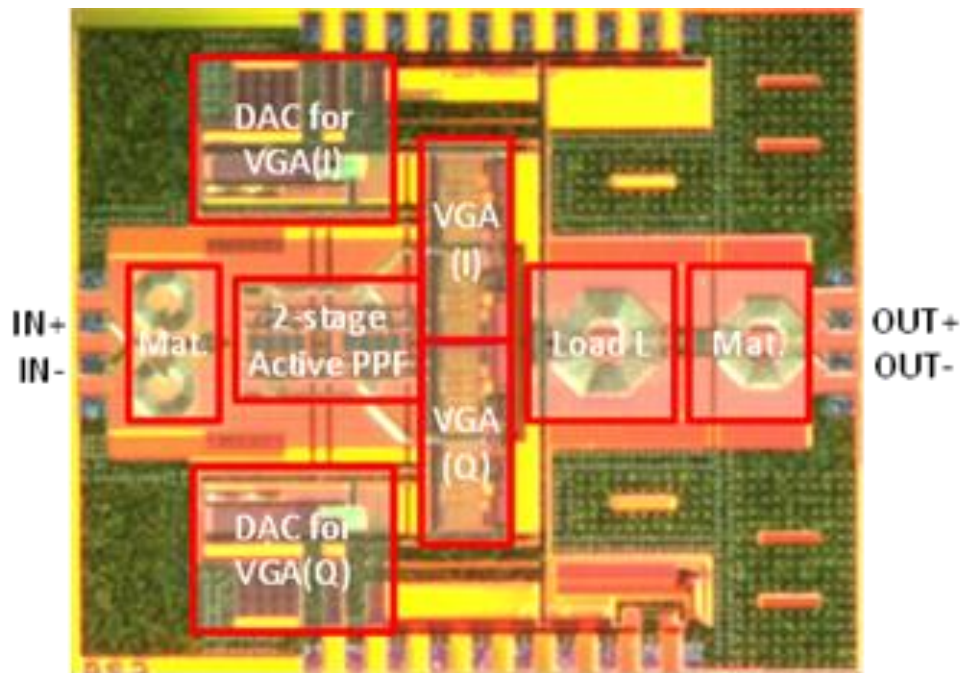


図 3-8 VSPS の回路図



(a)



(b)

図 3-9 6-bit VSPS チップ写真 (a)1 段 g_m -C PPF、(b) 2 段 g_m -C PPF

3.3.1.1. g_m -C ポリフェーズフィルタ (PPF)

図 3-10 に 1 段 g_m -C PPF の実際の回路図を示す。 g_m -C PPF はテール電流を有する、4 つのトランジスタ M を用いた二つの差動対、4 つの負荷抵抗 R と 4 つの帰還容量 C 、入力バイアス抵抗からなる。2 段 g_m -C PPF の場合、入力バイアス抵抗は初段のみの搭載である。表 3-3 にデバイスパラメータを示す。本値は 3.2.2.5 節で求めた値と同じである。電流 I_{REF1} の調整範囲は $800\ \mu\text{A} \sim 1200\ \mu\text{A}$ であり、これはシミュレーションにて g_m は $12.8\ \text{mS} \sim 17.2\ \text{mS}$ に対応することを確認している。

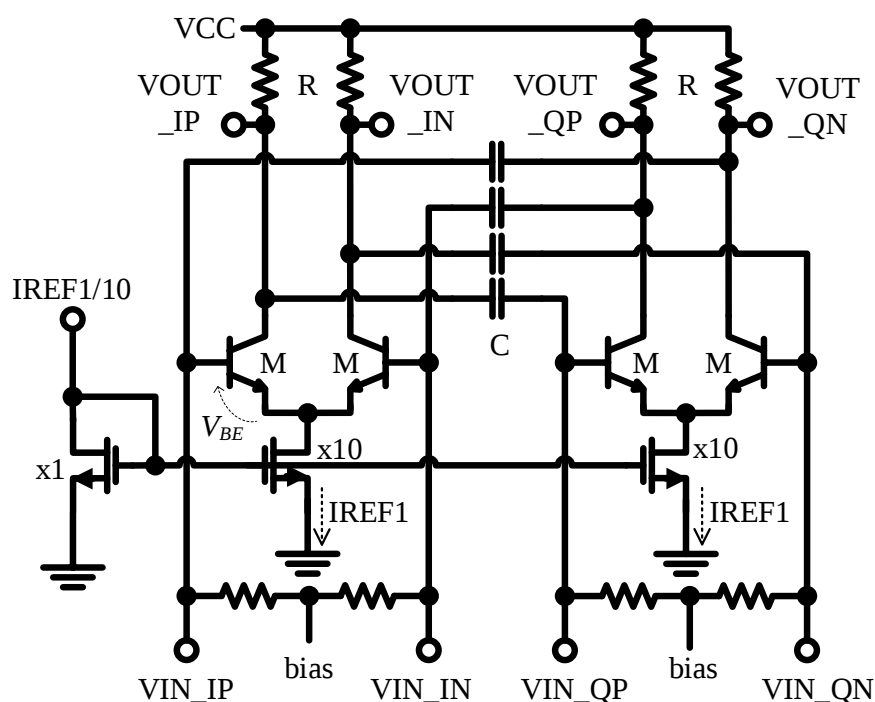


図 3-10 1 段 g_m -C PPF の実際の回路図

表 3-3 g_m -C PPF のデバイスパラメータ

Devices	Parameters
M	$0.13\ \mu\text{m} / 3\ \mu\text{m}$
C	$907\ \text{fF}$
R	$472\ \text{ohms}$
$g_{m,1_{\max}}$	$17.2\ \text{mS} (1200\ \mu\text{A})$
$g_{m,1_{\min}}$	$12.8\ \text{mS} (800\ \mu\text{A})$
VCC	$2\ \text{V}$

3.3.1.2. 可変利得増幅器(VGA)

図 3-11 に VGA の回路図を示す。VGA はテール電流 I_{REF_P} と I_{REF_N} を有する 2 つの差動対からなる。理想的な電圧利得は以下のように I_{REF_P} と I_{REF_N} の差分で与えられる。

$$\frac{\Delta V_{out}}{\Delta V_{in}} = \frac{Z(I_{REF_P} - I_{REF_N})}{\alpha V_t} \quad (3-29)$$

ここで、 V_t は熱電圧であり、 α は半導体のプロセステクノロジーによって決まる定数、 Z は負荷インピーダンスである。シミュレーションにより VGA の利得は約 8 dB であり、2 つの VGA を用いることでベクトル合成器として動作する[3.3]。デバイスパラメータを表 3-4 に示す。

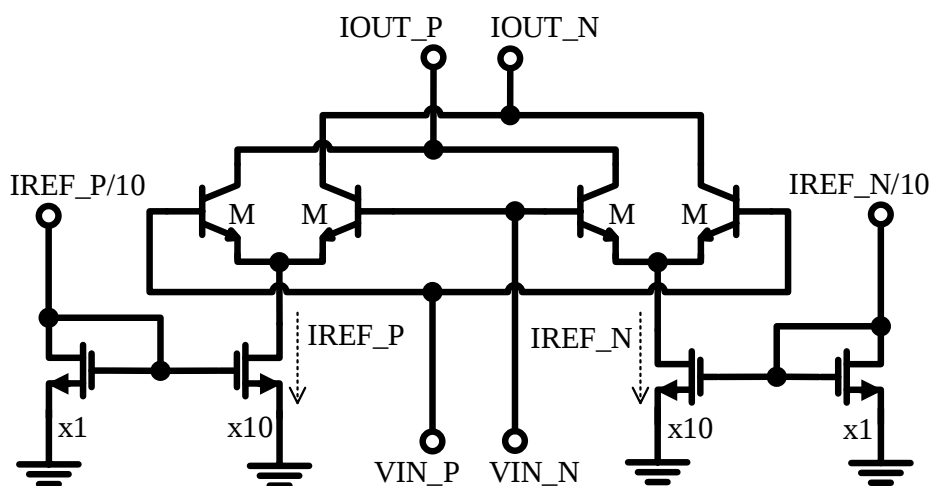


図 3-11 VGA の回路図

表 3-4 VGA のパラメータ

Devices	Parameters
M	0.13 μm / 10 μm
IREF_P	0 mA – 2.4 mA
IREF_N	2.4 mA – 0 mA

3.3.1.3. Digital to Analog Converter (DAC)

図 3-12 に DAC の回路図を示す。DAC はバイナリ型の 7-bit PMOS カレントミラーである。最小 PMOS のゲート幅 W / ゲート長 L は、それぞれ $2\ \mu\text{m}/5\ \mu\text{m}$ である。

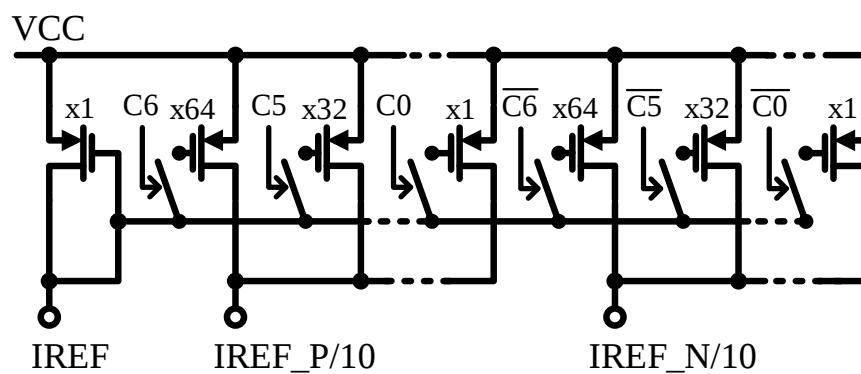


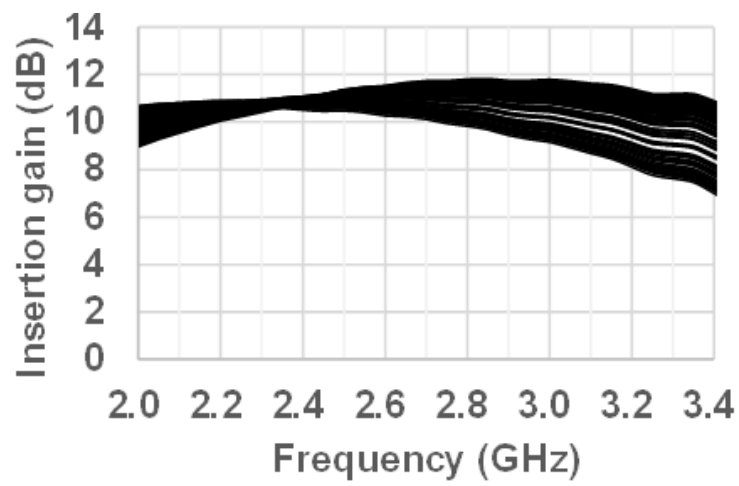
図 3-12 DAC 回路図

3.3.2. 測定結果

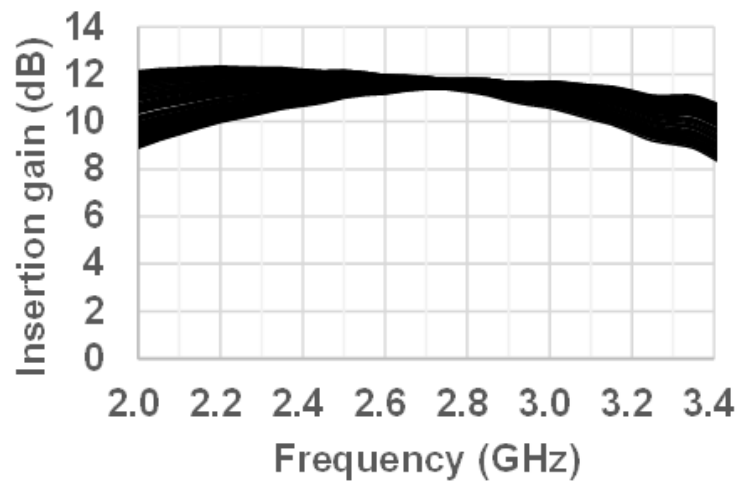
ここでは 6-bit VSPS の測定結果を示す。1 段 g_m -C PPF は ω_p の制御による移相量誤差の改善の検証を目的とし、2 段 g_m -C PPF はより広い周波数帯域での低移相量誤差の実証を目的とした。本測定において、VGA(I)と VGA(Q)の制御値としては、理想値(VGA(I) : $\sin \theta$ 、VGA(Q) : $\cos \theta$)を用いた。IC の測定には GSSG プローブと 4 ポートのベクトルネットワークアナライザ(Keysight N5247A)を用いている。

3.3.2.1. 1 段 g_m -C PPF を装荷した VSPS

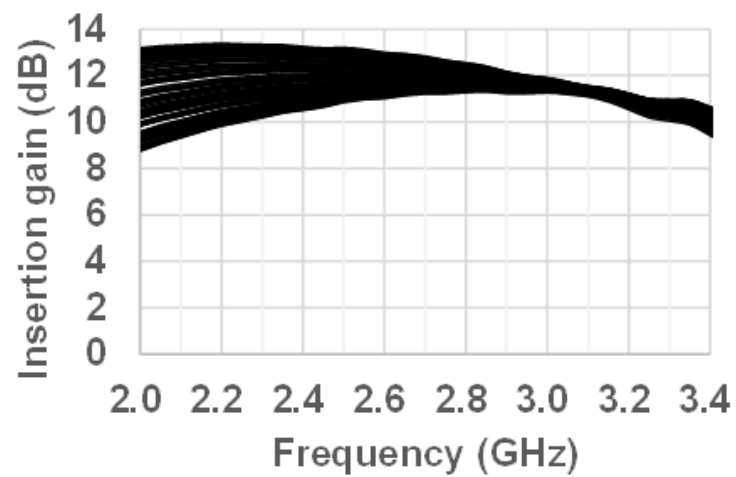
図 3-13 に $IREF1$ を 800 μA 、1000 μA 、1200 μA で変化させたときの 360° 移相(5.625° ステップ)時の通過利得を示す。それぞれの $IREF1$ は、理想値としてトランスコンダクタンス g_m の 12.8 mS、15 mS、17.2 mS に対応し、 f_p は 2.25 GHz、2.63 GHz、3.02 GHz に対応する。図 3-13 より $IREF1$ を変化させることで、通過利得の変動量が最小となる周波数が 2.34 GHz、2.73 GHz、3.08 GHz と変化しており、 $\omega_{p,1}$ が $IREF1$ の増加に対し線形に増加していることがわかる。理想値から数%のずれが見られ、本原因はプロセスばらつきによる容量値、またはトランスコンダクタンスの絶対値ずれと推定される。図 3-14 に $IREF1$ を変化させたときの平均通過利得と利得ばらつきを示す。平均通過利得は 5.625° ステップで測定したすべての通過利得の平均値である。周波数範囲 2.2~3.2 GHz において、10.7 dB という高い通過利得と、0.4 dB 以下の平均利得ばらつきを確認した。図 3-15 に $IREF1$ を 800 μA 、1000 μA 、1200 μA で変化させたときの 360° 移相(5.625° ステップ)時の通過位相を示す。図 3-16 と図 3-17 に図 3-13 と図 3-15 から計算した RMS 振幅誤差と RMS 移相量誤差のシミュレーション結果と実測結果の比較を示す。周波数は $IREF1=1000 \mu A$ の値で規格化している。図 3-16 と図 3-17 より $IREF1$ を変化させることで ω_p が変化し、RMS 振幅誤差、RMS 移相量誤差ともに ω_p で最小となる結果が得られ、また、シミュレーション結果と実測結果はよく一致することを確認した。 $FR_{tun.}$ の実測値は 29.0%であり、本値は 3.2.2.5 節で求めた 29.3%よく一致することを確認した。RMS 振幅誤差 0.15 dB-rms 以下となる比帯域は 7.3%@800 μA 、7.1%@1000 μA 、7.1%@1200 μA であり、RMS 移相量誤差が 1°-rms 以下となる比帯域は 10.6%@800 μA 、10.0%@1000 μA 、10.4%@1200 μA と章で求めた 9.7%とほぼ同等の値が得られることを確認した。 TBW の実測値は 29.0%+10.0%=39.0%となり、3.2.2.5 節で求めた計算値 39.0%と一致した。振幅誤差 0.12 dB-rms と移相量誤差が 0.38°-rms 以下となる比帯域は 100 MHz 以上である。



(a)



(b)



(c)

図 3-13 360°移相(5.625°ステップ)時の通過利得
 (a) $I_{REF1} = 800 \mu A$ (b) $I_{REF1} = 1000 \mu A$ (c) $I_{REF1} = 1200 \mu A$

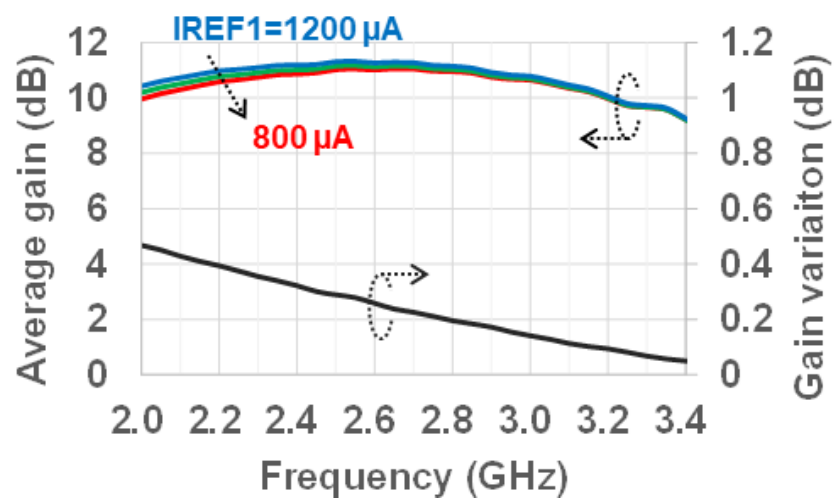
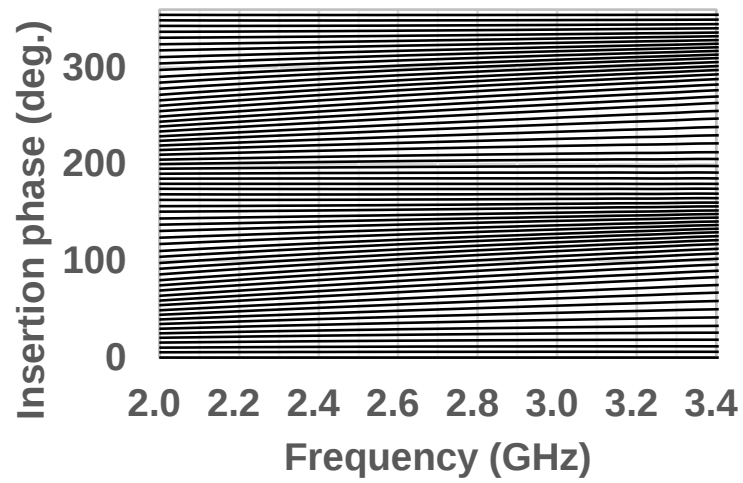
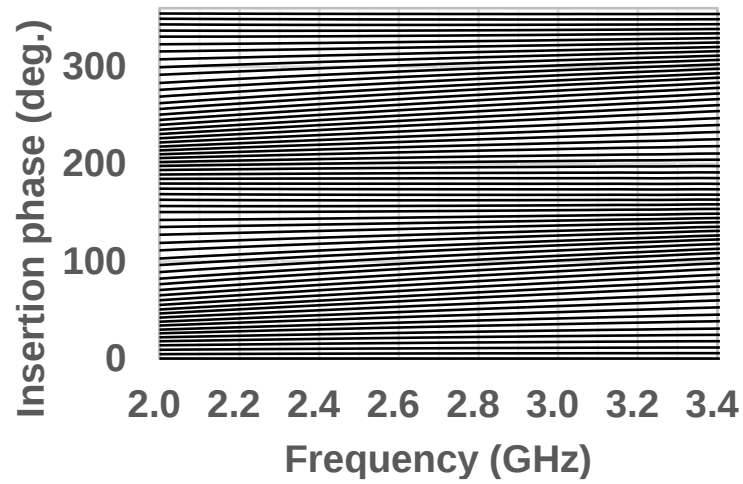


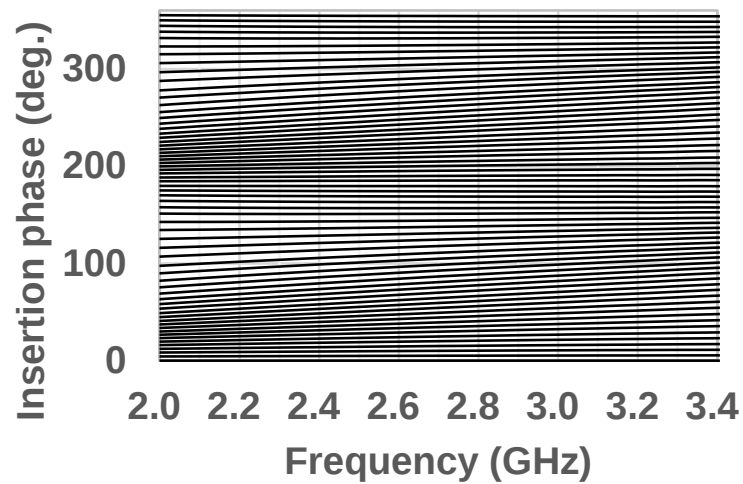
図 3-14 I_{REF1} を変化させたときの平均通過利得と利得ばらつき



(a)



(b)



(c)

図 3-15 360°移相(5.625°ステップ)時の通過位相
 (a) IREF1=800 μ A (b) IREF1=1000 μ A (c) IREF1=1200 μ A.

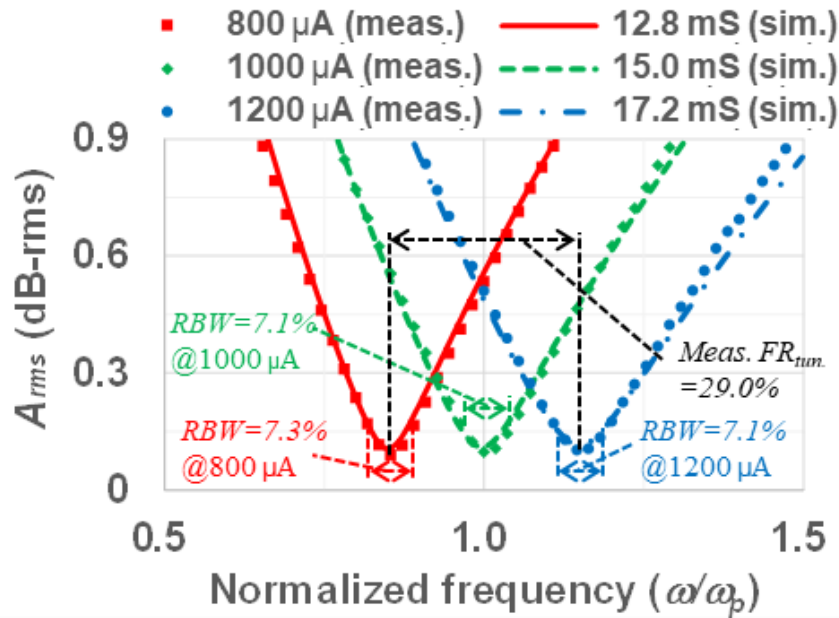


図 3-16 RMS 振幅誤差のシミュレーション結果と実測結果の比較

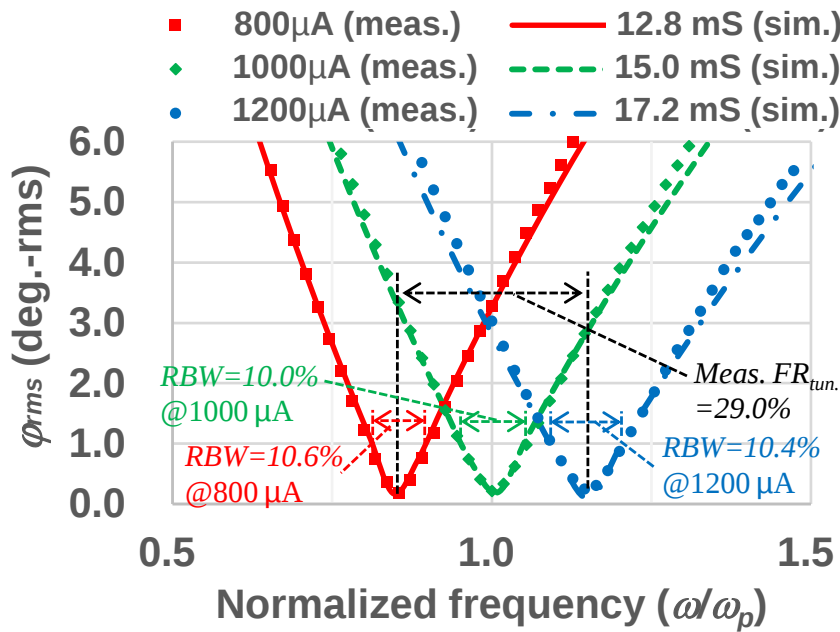


図 3-17 RMS 移相量誤差のシミュレーション結果と実測結果の比較

3.3.2.2. 2 段 g_m -C PPF を装荷した VSPS

より広帯域での低振幅誤差、低移相量誤差を 2 段 g_m -C PPF を装荷した VSPS で実現できることを確認する。本測定では、1 段目と 2 段目の g_m -C PPF の電流 I_{REF1} 、 I_{REF2} の双方とも同じ値(800 μ A/1000 μ A/1200 μ A)を用いた。図 3-18、図 3-19 に 360° 移相(5.625° ステップ)時の通過利得と通過位相($I_{REF1} = I_{REF2} = 1000 \mu$ A)を示す。図 3-20 に I_{REF1} と I_{REF2} を同時に 800 μ A/1000 μ A/1200 μ A で変化させたときの平均利得と利得ばらつき ΔG を示す。周波数範囲 2.2 GHz~3.2 GHz において、13.4 dB の平均通過利得と、1.0 dB の利得ばらつきを確認した。2 段にすることでおよそ 3.0 dB の高利得化が得られることを確認した。図 3-21、図 3-22 に RMS 振幅誤差と RMS 移相量誤差のシミュレーション結果と実測結果の比較を示す。シミュレーション結果と実測結果はよく一致していることを確認するとともに、RMS 振幅誤差 0.15 dB-rms 以下となる比帯域は 37.0%、RMS 移相量誤差が 1°-rms 以下となる比帯域が 52.2%と 1 段と比較し広い比帯域が得られることを確認した。これにより、多段化による広帯域化をたやすく実現できることを確認した。振幅誤差 0.13 dB-rms と移相量誤差が 0.52°-rms 以下となる比帯域は 500 MHz 以上である。図 3-23 に NF(Noise figure)の実測結果を示す。また、図 3-24 に入出力特性と IM3(Inter Modulation 3rd)の実測結果を示す。ここで、移相量は 45°とした。 ω_p の制御に起因する NF や IM3 の変化は 1.0 dB 以下であり、影響は軽微であることを確認した。

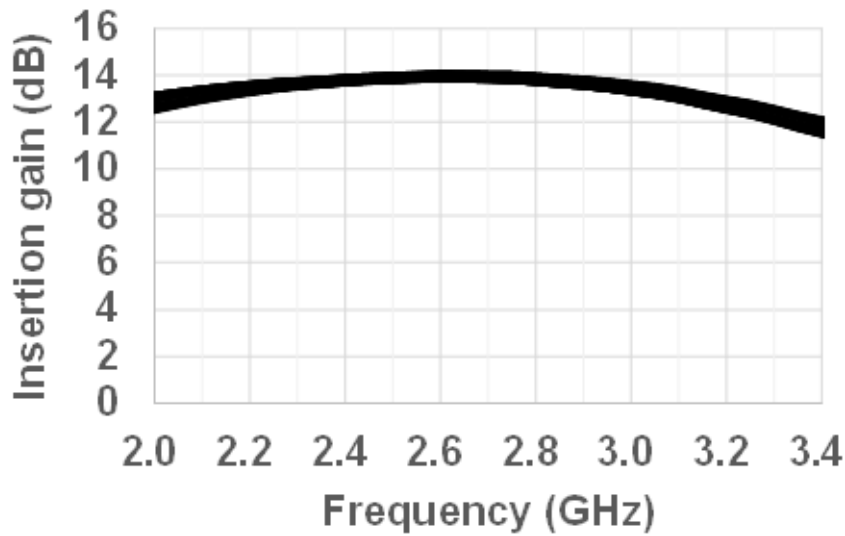


図 3-18 360° 移相(5.625° ステップ)時の通過利得($I_{REF1}=I_{REF2}=1000 \mu$ A)

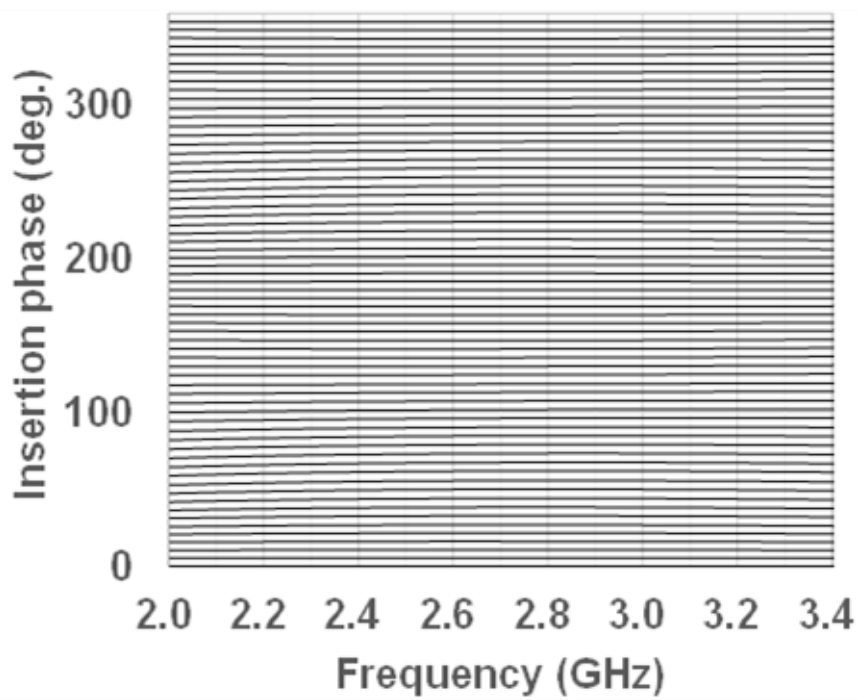


図 3-19 360° 移相(5.625° ステップ)時の通過位相(IREF1=IREF2=1000 μ A)

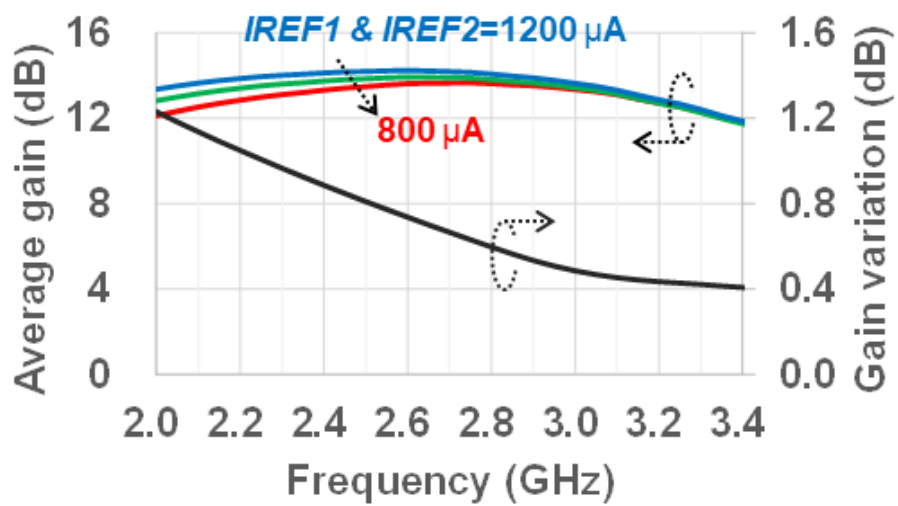


図 3-20 IREF1 & IREF2 を変化させたときの平均通過利得と利得ばらつき

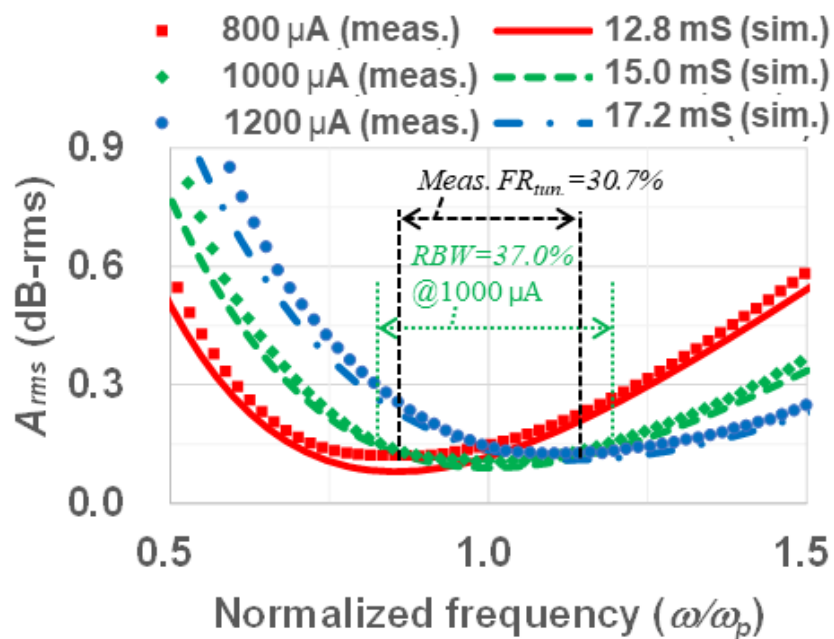


図 3-21 RMS 振幅誤差のシミュレーション結果と実測結果の比較

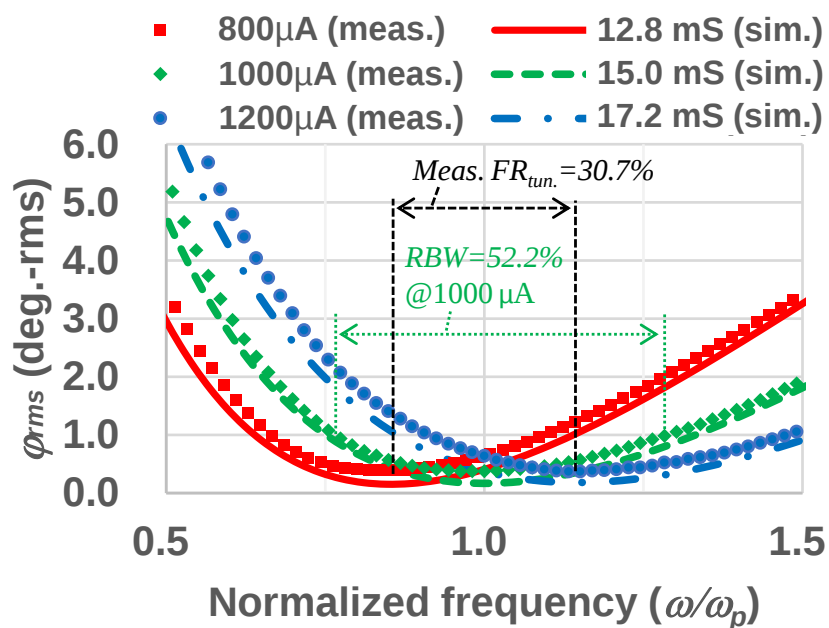


図 3-22 RMS 移相量誤差のシミュレーション結果と実測結果の比較

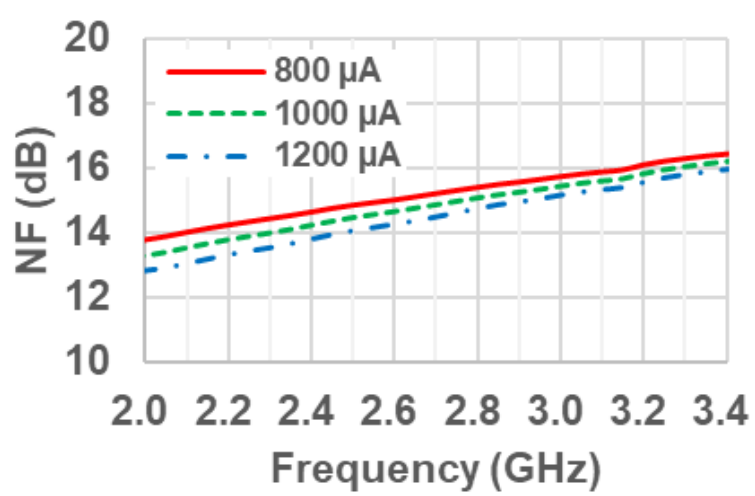


図 3-23 NF 実測結果

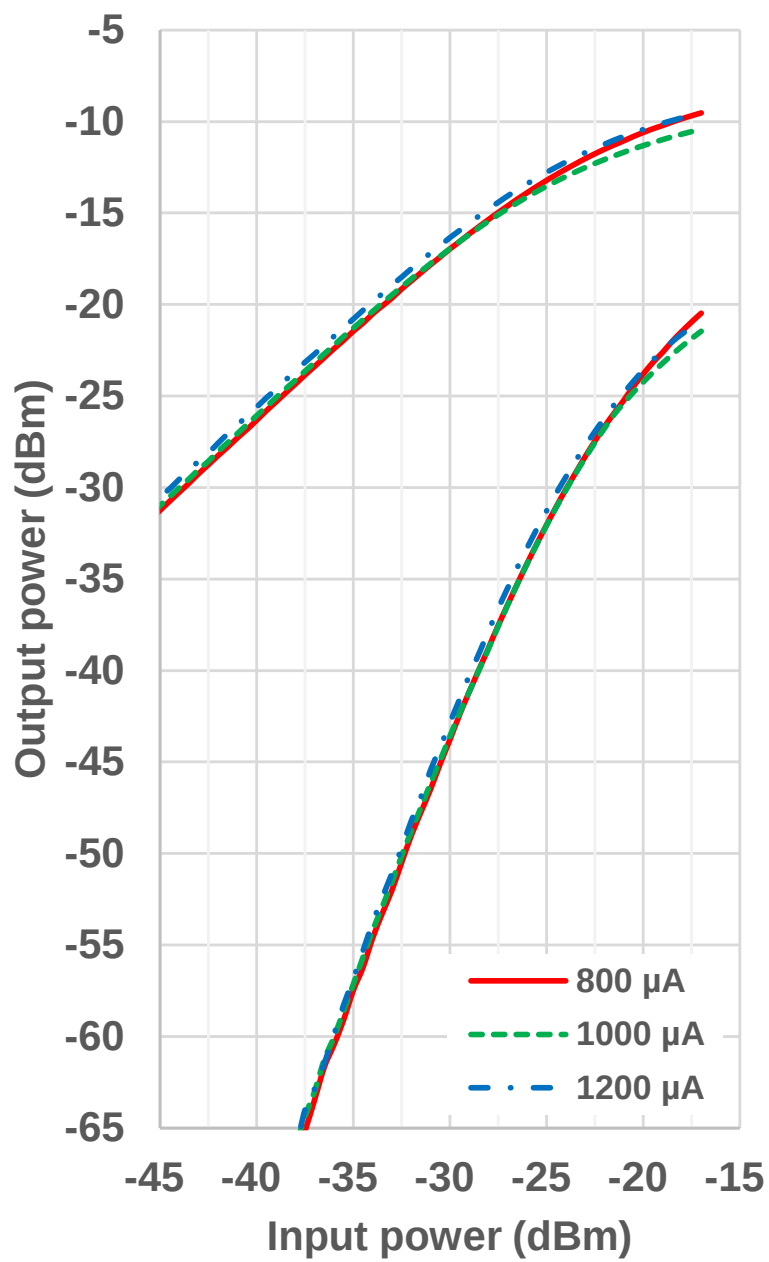


図 3-24 入出力特性と IM3 の実測結果(移相量：45°)

3.4. むすび

本章では、AESA の広帯域化をメインターゲットとし、広帯域に低移相量誤差な移相技術を実現するため、ベクトル合成型移相器において一般的に用いられる抵抗と容量で構成される I/Q 生成器の抵抗をトランジスタに置き換えた g_m -C PPF を用いた移相器を提案した。提案した回路において、従来の I/Q 生成器の一つである RC-PPF と等価な周波数特性が得られるとともに、RC-PPF では不可能であった正の通過利得を実現する条件と、 ω_p の制御による I/Q バランスの周波数調整範囲を解析的に示し、広帯域に低移相誤差な VSPS を実現するための設計法を明らかにした。この設計法に基づいた g_m -C PPF を実装した C 帯の VSPS を試作し、2.2~3.3 GHz という周波数帯域において 1° 以下の低移相量誤差、また、22.6 mW 程度の低消費電力で 13.4 dB 以上の高利得が実現可能なことを実証した。表 3-5 に他文献との比較を示す。提案した移相器は、チップ外部の回路を用いない他文献と比較し、最も高い周波数帯域/RMS 移相量誤差の値を示しており、広帯域な低移相量誤差を実証した。また、他文献と比較しほぼ同等の消費電力でより高い通過利得を実現するとともに、同等の雑音指数が実現できているため、本回路構成は受信機などのより低雑音性能が求められるアプリケーションに適していると考えられる。回路規模と消費電力の観点からは、提案手法は I/Q 生成器にて利得を得ることができるとともに、従来方式において必要であった通過損失を補償する追加の増幅器を削減でき、回路の小型化と低消費電力化にも有用であると考えられる。以上より、提案する g_m -C PPF が従来の I/Q 生成器の課題であった損失量と比帯域幅のトレードオフを解消し広帯域に低移相量誤差性能を実現できるとともに、 g_m -C PPF を適用した移相器の回路構成とその設計法が AESA の広帯域化とビーム制御高精度化への有用性を示すものであると言える。

表 3-5 移相器の性能についての他文献との比較

	I/Q生成器 方式	周波数 (GHz)	通過利得 (dB)	RMS振幅誤差 (dB-rms)	RMS移相量誤差 (degree-rms)	周波数比帯域/ RMS移相量誤差 (%/degree-rms)	IP1dB (dBm)	雑音指数 (dB)	製造半導体 プロセス	I/Q生成器 面積 (mm ²)	チップ サイズ (mm ²)	消費 電力 (mW)
This work1	1-stage g _m -C PPF	2.2-3.2	10.7±0.7	<0.15 (RBW:7.1%) <0.12(RBW:100 MHz)	<1.0 (RBW:10.0%) <0.38(RBW:100 MHz)	97.5	-25.5	14.0±1.4	0.13-μm SiGeBiCMOS	0.054	2.40	17.5
This work2	2-stage g _m -C PPF	2.2-3.2	13.4±0.9	<0.15 (RBW:37.0%) <0.13(RBW:500 MHz)	<1.0 (RBW:52.2%) <0.52(RBW:500 MHz)	71.2	-25.8	14.1±2.1	0.13-μm SiGeBiCMOS	0.108	2.70	22.6
[3.6]	90 degree hybrid *1	0.5-6	9±1	<0.95	<7	24.2	-19.5±2.5	12±1	0.13-μm CMOS	-	1.21	27.5
[3.7]	RLC-QAF	4.9-5.9	-0.1±1.15	0.5-0.7	1.25-9.7	1.9	-12.9±1	-	0.13-μm CMOS	0.066 *3	0.30 *2	28.0
[3.8]	RC-QAF	0.75-2.67	3.52	<0.74	<7.2	15.6	-	-	0.13-μm CMOS	-	0.89	20.3
[3.9]	RLC-QAF	2.2-3.2	-8.75±3.75	-	<4.5	8.2	4	-	0.18-μm CMOS	-	6.04 *2	95.4
[3.10]	3-stage RC-PPF	0.6-2.8	5.25±0.75	<0.17	<2.5	51.8	4±1	-	0.13-μm CMOS	0.063 *3	2.0	54.0
[3.11]	90 degree hybrid *1	0.1-5.7	3	<0.27	<1.8	107.3	5.7±1.1	-	0.13-μm CMOS	-	1.08 *2	28.0
[3.12]	RLC-QAF	2.3-4.8	-1.2±1	<1.1	<1.4	50.3	1.8±1.2	-	0.18-μm CMOS	0.471 *3	0.84	19.1
[3.20]	OTA & Capacitance	2-3	1.5±1.5	<1.2	<5	8.0	-13.5	13.0±2	0.18-μm CMOS	-	0.38*2	24.0
[3.22]	RLC-QAF	6-18	18±1.5 @7.5-15.2GHz *4	<1.1	<5.6	17.9	-36.5 *4	4.9±0.8 @7.5-15.2GHz *4	0.18-μm SiGeBiCMOS	0.044 *3	0.90	61.7 *4
[3.23]	2-stage RC-PPF	5-13	-7.8	<2.2	<7.9	11.3	3.5	-	0.25-μm SiGeBiCMOS	-	0.72 *2	90.0
[3.24]	2-stage RC-PPF	6.5-14.5	-11±1.5	<0.5	<2.1	36.3	18.5±7.5	-	0.18-μm SiGeBiCMOS	-	0.64 *2	133.0
[3.25]	RLC-QAF	6-18	1.6±1.4 @7.5-15.2GHz	<1.05	<5.6	17.9	5-8	-	0.13-μm SiGeBiCMOS	0.152 *3	2.44	93.1

*1 offchip, *2 excluding the pads, *3 estimation from chip photographs *4 including an input amplifier

3.5. 参考文献

- [3.1] I. Kalyoncu, E. Ozeren, A. Burak, O. Ceylan and Y. Gurbuz, "A Phase-Calibration Method for Vector-Sum Phase Shifters Using a Self-Generated LUT," in IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 66, no. 4, pp. 1632-1642, April 2019, doi: 10.1109/TCSI.2018.2885172.
- [3.2] J. Pang et al., "A 28-GHz CMOS Phased-Array Transceiver Based on LO Phase-Shifting Architecture With Gain Invariant Phase Tuning for 5G New Radio," in IEEE Journal of Solid-State Circuits, vol. 54, no. 5, pp. 1228-1242, May 2019, doi: 10.1109/JSSC.2019.2899734.
- [3.3] I. Kalyoncu, A. Burak, M. Kaynak and Y. Gurbuz, "A 26-GHz Vector Modulator in 130-nm SiGe BiCMOS Achieving Monotonic 10-b Phase Resolution Without Calibration," 2019 IEEE Radio Frequency Integrated Circuits Symposium (RFIC), Boston, MA, USA, 2019, pp. 75-78, doi: 10.1109/RFIC.2019.8701733.
- [3.4] Y. Wang et al., "A 39GHz 64-Element Phased-Array CMOS Transceiver with Built-in Calibration for Large-Array 5G NR," 2019 IEEE Radio Frequency Integrated Circuits Symposium (RFIC), Boston, MA, USA, 2019, pp. 279-282, doi: 10.1109/RFIC.2019.8701856.
- [3.5] B. Sadhu et al., "A 28-GHz 32-Element TRX Phased-Array IC With Concurrent Dual-Polarized Operation and Orthogonal Phase and Gain Control for 5G Communications," in IEEE Journal of Solid-State Circuits, vol. 52, no. 12, pp. 3373-3391, Dec. 2017, doi: 10.1109/JSSC.2017.2766211.
- [3.6] Hu Zijie and K. Mouthaan, "A 0.5–6 GHz 360° vector-sum phase shifter in 0.13- μ m CMOS," 2014 IEEE MTT-S International Microwave Symposium (IMS2014), Tampa, FL, USA, 2014, pp. 1-3, doi: 10.1109/MWSYM.2014.6848604.
- [3.7] M. -M. Mohsenpour and C. E. Saavedra, "Variable 360° Vector-Sum Phase Shifter With Coarse and Fine Vector Scaling," in IEEE Transactions on Microwave Theory and Techniques, vol. 64, no. 7, pp. 2113-2120, July 2016, doi: 10.1109/TMTT.2016.2574843.
- [3.8] T. -C. Yan, W. -Z. Lin and C. -N. Kuo, "A 0.75–2.67 GHz 5-bit vector-sum phase shifter," 2013 European Microwave Integrated Circuit Conference, Nuremberg, Germany, 2013, pp. 196-199.
- [3.9] E. V. Balashov and I. A. Rumyantsev, "A fully integrated 6-bit vector-sum phase shifter in 0.18 μ m CMOS," 2015 International Siberian Conference on Control and Communications (SIBCON), Omsk, Russia, 2015, pp. 1-5, doi: 10.1109/SIBCON.2015.7146991.

- [3.10] Y. Xu, J. Xia and S. Boumaiza, "A 0.6–2.8GHz CMOS RF vector multiplier with low RMS magnitude and phase errors and high P1dB," 2017 IEEE MTT-S International Microwave Symposium (IMS), Honolulu, HI, USA, 2017, pp. 2015-2017, doi: 10.1109/MWSYM.2017.8059062
- [3.11] J. Xia, Y. Xu, H. Huang and S. Boumaiza, "A 0.1-5.7 GHz CMOS Phase Shifter with 0.27dB/1.8° RMS Magnitude /Phase Errors and Enhanced Linearity," 2019 IEEE 19th Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SiRF), Orlando, FL, USA, 2019, pp. 1-3, doi: 10.1109/SIRF.2019.8709089.
- [3.12] A. Asoodeh and M. Atarodi, "A Full 360° Vector-Sum Phase Shifter With Very Low RMS Phase Error Over a Wide Bandwidth," in IEEE Transactions on Microwave Theory and Techniques, vol. 60, no. 6, pp. 1626-1634, June 2012, doi: 10.1109/TMTT.2012.2189227.
- [3.13] F. Akbar and A. Mortazawi, "A Frequency Tunable 360° Analog CMOS Phase Shifter With an Adjustable Amplitude," in IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 64, no. 12, pp. 1427-1431, Dec. 2017, doi: 10.1109/TCSII.2017.2766662.
- [3.14] A. Asoodeh and S. Mirabbasi, "On the Design of nth-Order Polyphase All-Pass Filters," in IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 66, no. 1, pp. 133-146, Jan. 2019, doi: 10.1109/TCSI.2018.2853632.
- [3.15] J. Kaukuvuori, K. Stadius, J. Ryynanen and K. A. I. Halonen, "Analysis and Design of Passive Polyphase Filters," in IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 55, no. 10, pp. 3023-3037, Nov. 2008, doi: 10.1109/TCSI.2008.917990.
- [3.16] M. Momeni and M. Moezzi, "A Low Loss and Area Efficient RC Passive Poly Phase Filter for Monolithic GHz Vector-Sum Circuits," in IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 66, no. 7, pp. 1134-1138, July 2019, doi: 10.1109/TCSII.2018.2881795.
- [3.17] K. -J. Koh and G. M. Rebeiz, "0.13- μ m CMOS Phase Shifters for X-, Ku-, and K-Band Phased Arrays," in IEEE Journal of Solid-State Circuits, vol. 42, no. 11, pp. 2535-2546, Nov. 2007, doi: 10.1109/JSSC.2007.907225.
- [3.18] S. Y. Kim, D. -W. Kang, K. -J. Koh and G. M. Rebeiz, "An Improved Wideband All-Pass I/Q Network for Millimeter-Wave Phase Shifters," in IEEE Transactions on Microwave Theory and Techniques, vol. 60, no. 11, pp. 3431-3439, Nov. 2012, doi: 10.1109/TMTT.2012.2212027.
- [3.19] D. I. Sanderson, R. M. Svitek and S. Raman, "A 5-6-GHz polyphase filter with tunable I/Q phase balance," in IEEE Microwave and Wireless Components Letters,

- vol. 14, no. 7, pp. 364-366, July 2004, doi: 10.1109/LMWC.2004.831779.
- [3.20] YY. Zheng and C. E. Saavedra, "Full 360° Vector-Sum Phase-Shifter for Microwave System Applications," in *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 57, no. 4, pp. 752-758, April 2010, doi: 10.1109/TCSI.2009.2025851.
 - [3.21] T. Yu and G. M. Rebeiz, "A 24 GHz 6-Bit CMOS Phased-Array Receiver," in *IEEE Microwave and Wireless Components Letters*, vol. 18, no. 6, pp. 422-424, June 2008, doi: 10.1109/LMWC.2008.922714.
 - [3.22] K. -J. Koh and G. M. Rebeiz, "A 6–18 GHz 5-bit active phase shifter," 2010 IEEE MTT-S International Microwave Symposium, Anaheim, CA, USA, 2010, pp. 792-795, doi: 10.1109/MWSYM.2010.5516907.
 - [3.23] B. Cetindogan, B. Ustundag, A. Burak, M. Wietstruck, M. Kaynak and Y. Gurbuz, "A 5–13 GHz 6-bit vector-sum phase shifter with +3.5 dBm IP1dB in 0.25- μ m SiGe BiCMOS," 2017 IEEE Asia Pacific Microwave Conference (APMC), Kuala Lumpur, Malaysia, 2017, pp. 1111-1114, doi: 10.1109/APMC.2017.8251650.
 - [3.24] T. Fujiwara and M. Shimozawa, "Broadband and Highly Accurate X-Band Vector-Sum Phase Shifter Using LC-Type Power Splitter," 2018 13th European Microwave Integrated Circuits Conference (EuMIC), Madrid, Spain, 2018, pp. 122-125, doi: 10.23919/EuMIC.2018.8539953.
 - [3.25] Y. Yao, Z. Li, G. Cheng, L. Luo, W. He and Q. Li, "A 6-bit Active Phase Shifter for X- and Ku-band Phased Arrays," 2018 IEEE International Conference on Integrated Circuits, Technologies and Applications (ICTA), Beijing, China, 2018, pp. 124-125, doi: 10.1109/CICTA.2018.8706046.
 - [3.26] A. Hirai, T. Fujiwara, M. Tsuru, K. Mori and M. Shimozawa, "A Vector Sum Phase Shifter with Active PPF using Transconductance of Transistors," 2019 IEEE Asia-Pacific Microwave Conference (APMC), Singapore, 2019, pp. 216-218, doi: 10.1109/APMC46564.2019.9038509.

4章 完全対称型ミキサとチューナブル LPF を用いた高精度な位相検出器

4.1. まえがき

多数の素子アンテナからなる大規模アレーアンテナでは、各マイクロ波モジュール出力における励振位相が、モジュールの温度や製造ばらつきによって変動しビーム特性が劣化するという問題がある。高精度な励振位相分布を実現するためには、励振位相を高精度に管理する必要がある。励振位相を高精度に管理するための一つの手段として、隣接モジュール間の位相差を検出し、理想移相量からの位相設定誤差を位相制御値に反映させる手法が提案されている[4.1]。これらの位相検出機能には $1\sim 2^\circ$ 以下という誤差で隣接モジュール間の位相を検出する機能が求められている[4.2]-[4.4]。そこで、ここでは隣接モジュール間の位相を検出する高精度な位相検出技術を開発する。

本章では、高精度な位相検出技術として、完全対称型ミキサとチューナブル LPF を用いた 45° 移相器を適用した位相検出器の回路構成と設計法を提案する。完全対称型ミキサを用いることで位相検出誤差が入力電圧に依存しないことに着目し、電圧利得に周波数依存性を有するチューナブルデバイスを 45° 移相器に適用することで低い位相検出誤差を実現する。提案する位相検出器を、3.0 GHz $\sim$ 10.5 GHz の周波数範囲で試作した結果について述べ、本回路構成と設計法の有効性を示す。

4.2. 位相検出器の回路構成と設計法

4.2.1. 従来回路の問題点

位相検出器として、ミクサベースの回路[4.5]-[4.12]、 90° ハイブリッドを使用した方法[4.13]、デジタルによるもの[4.14]、ダイレクト RF サンプリングを使用した I/Q 検出器[4.15]、MEMS(Micro Electro Mechanical Systems)によるもの[4.16][4.17]、非線形伝送線路を用いたもの[4.18]など、さまざまな種類の構成が提案されている。その中で、ミクサベースの位相検出器は、低い位相検出誤差と小型な面積を実現でき、また、差動構成をとることで温度に対する検出精度の変動を抑制できるため、AESA のビームフォーミング IC などでも広く使用されている回路構成の一つである[4.8]。一方、ミクサベースの位相検出器は入力信号を乗算することによって位相差を直流電圧に変換するため、位相検出範囲が 180° に限られる[4.10]。そこで、ミクサを二つ配置し、一方の入力に 90° 移相器を配置することで、入力される信号の位相差 θ に対し、 $\sin \theta$ と $\cos \theta$ の直交成分を得る同相位相検出器と直交位相検出器を二つ用いて 360° の検出範囲を得ている[4.19]-[4.21]。一方、一般的に 90° 移相器は 90° カプラや $\lambda/4$ 線路が必要となるためチップサイズが大きくなり、周波数によっては、AESA のアンテナピッチ(半波長)に実装できなくなるという問題がある[4.22]-[4.25]。そのため、これらの方式は回路サイズが十分小さくなるミリ波の範囲で適用されている[4.26]-[4.28]。また、一方の入力のみ 90° 移相器を設置するため振幅不均衡が生じ、位相検出誤差が低下するという問題がある。これは同相位相検出器と直交位相検出器の検出電圧の比の逆正接によって位相差を求めることに起因する。例えば、同相位相検出器と直交位相検出器の間の電圧振幅差が 0.86 dB を超えると、位相検出誤差が 2.0° -rms (最大誤差 2.8°)を超える[4.21]。 90° 移相器設置による振幅誤差の発生を原理的に解消するため、完全対称型ミクサと伝送線路を用いた 45° 移相器の組み合わせによる回路構成も提案されている[4.29][4.30]。必要となる移相量が $45^\circ(\lambda/8)$ のための伝送線路の長さが $\lambda/4$ の半分で実現することが可能となり、より小面積での実現が可能だが、 $\lambda/8$ の伝送線路も周波数帯によっては大きな面積を必要とする。また、電気長で長さが決まるため 45° 移相器として動作する周波数が限られており、広帯域に高精度な位相検出が難しいという問題がある。

4.2.2. 提案する回路構成と動作原理・設計法

4.2.2.1. 動作原理

図 4-1 に提案する位相検出器の構成を示す。位相検出器は、完全対称型ミキサとして機能する 2 つのギルバートセルと、ミキサの出力の加減算回路として機能する電流合成器 (Current Synthesizer)、および移相量 ϕ を持つ移相器で構成される。完全対称型ミキサは、 $IN1$ と $IN2$ の構成が等しいため、2つの入力端子は等しい入力インピーダンスとなる[4.29]。移相器は下側の入力端子のみに配置される。入力差動信号 $IN1+$ 、 $IN1-$ および $IN2+$ 、 $IN2-$ は次のように表される。

$$\begin{cases} IN1+ = \cos(\omega t) \\ IN1- = -\cos(\omega t) \\ IN2+ = X\cos(\omega t + \phi) \\ IN2- = -X\cos(\omega t + \phi) \end{cases} \quad (4-1)$$

ここで、 ϕ は $IN1$ と $IN2$ の位相差、 X は $IN1$ と $IN2$ の振幅比である。トランジスタ $M_1 \sim M_8$ の出力電流 $I_1 \sim I_8$ は次式で表される。

$$\begin{cases} I_1 = \sum_{n=1}^{\infty} g_n(\cos(\omega t) - ABX\cos(\omega t + \phi + \varphi))^n \\ I_2 = \sum_{n=1}^{\infty} g_n(-\cos(\omega t) - ABX\cos(\omega t + \phi + \varphi))^n \\ I_3 = \sum_{n=1}^{\infty} g_n(-\cos(\omega t) + ABX\cos(\omega t + \phi + \varphi))^n \\ I_4 = \sum_{n=1}^{\infty} g_n(\cos(\omega t) + ABX\cos(\omega t + \phi + \varphi))^n \\ I_5 = \sum_{n=1}^{\infty} g_n(X\cos(\omega t + \phi) - AB\cos(\omega t + \varphi))^n \\ I_6 = \sum_{n=1}^{\infty} g_n(-X\cos(\omega t + \phi) - AB\cos(\omega t + \varphi))^n \\ I_7 = \sum_{n=1}^{\infty} g_n(-X\cos(\omega t + \phi) + AB\cos(\omega t + \varphi))^n \\ I_8 = \sum_{n=1}^{\infty} g_n(X\cos(\omega t + \phi) + AB\cos(\omega t + \varphi))^n \end{cases} \quad (4-2)$$

ここで、 g_n は $IN1$ と $IN2$ の n 次高調波に対する $M_1 \sim M_8$ の相互コンダクタンスであり、 n は整数である。 A は $M_9 \sim M_{12}$ の電圧利得、 B は移相器の電圧利得である。差動成分を考えると (例えば、 $I_1 - I_2$ など)、奇数次 ($n=1,3,5\cdots$) の項はキャンセルされるため、偶数次 ($n=2,4,6,\cdots$) のみを考慮する。また、2次の成分が支配的とすると、(4-2)式は次のようにな

る。

$$\begin{cases} I_1 = -2ABX \cdot g_2 \cdot \cos(\omega t) \cdot \cos(\omega t + \phi + \varphi) \\ I_2 = 2ABX \cdot g_2 \cdot \cos(\omega t) \cdot \cos(\omega t + \phi + \varphi) \\ I_3 = -2ABX \cdot g_2 \cdot \cos(\omega t) \cdot \cos(\omega t + \phi + \varphi) \\ I_4 = 2ABX \cdot g_2 \cdot \cos(\omega t) \cdot \cos(\omega t + \phi + \varphi) \\ I_5 = -2ABX \cdot g_2 \cdot \cos(\omega t + \phi) \cdot \cos(\omega t + \varphi) \\ I_6 = 2ABX \cdot g_2 \cdot \cos(\omega t + \phi) \cdot \cos(\omega t + \varphi) \\ I_7 = -2ABX \cdot g_2 \cdot \cos(\omega t + \phi) \cdot \cos(\omega t + \varphi) \\ I_8 = 2ABX \cdot g_2 \cdot \cos(\omega t + \phi) \cdot \cos(\omega t + \varphi) \end{cases} \quad (4-3)$$

電流合成器は、2つのギルバートセルからの出力電流を(4-4)式のように合成し、 I_{OUTP_A} 、 I_{OUTN_A} 、 I_{OUTP_B} 、 I_{OUTN_B} の4つの電流を出力する。

$$\begin{cases} I_{OUTP_A} = I_1 + I_3 + I_5 + I_7 \\ I_{OUTN_A} = I_2 + I_4 + I_6 + I_8 \\ I_{OUTP_B} = I_1 + I_3 + I_6 + I_8 \\ I_{OUTN_B} = I_2 + I_4 + I_5 + I_7 \end{cases} \quad (4-4)$$

I_{OUTP_B} と I_{OUTN_B} の電流合成方法について、移相量 φ がゼロの場合、差動出力電流 $I_{OUTP_B} - I_{OUTN_B}$ は打ち消され0となるが、移相量 φ が0でない場合のみ乗算器として機能する。(4-3)式と(4-4)式から、差動出力電流 $I_{OUTP_A} - I_{OUTN_A}$ は次のように表される。

$$\begin{aligned} I_{OUTP_A} - I_{OUTN_A} &= -8ABX \cdot g_2 \{ \cos(2\omega t + \phi + \varphi) + \cos(\varphi) \cdot \cos(\phi) \} \\ &\approx -8ABX \cdot g_2 \cdot \cos(\varphi) \cdot \cos(\phi) \end{aligned} \quad (4-5)$$

ここで、図 4-1 に示すように出力に設置された Output LPF によって 2 次高調波が抑制されるとしている。(4-5)式より、本回路は入力信号の位相差 ϕ の余弦に比例する直交($\cos \phi$)位相検出器であることを意味する。同様に差動出力電流 $I_{OUTP_B} - I_{OUTN_B}$ も計算でき、以下のように表される。

$$I_{OUTP_B} - I_{OUTN_B} = -8ABX \cdot g_2 \cdot \sin(\varphi) \cdot \sin(\phi) \quad (4-6)$$

(4-6)式は、出力電流が位相差 ϕ の正弦に比例する同相($\sin \phi$)位相検出器を実現できることを示している。 $I_{OUTP_B} - I_{OUTN_B}$ については、直流成分のみが残存し、高調波抑圧が不要なため出力端子の LPF は不要となる。検出される位相差 ϕ_d は次のように表される。

$$\phi_d = \tan^{-1} \left(\frac{I_{OUTP_B} - I_{OUTN_B}}{I_{OUTP_A} - I_{OUTN_A}} \right) \approx \tan^{-1}(\tan \varphi \cdot \tan \phi) \quad (4-7)$$

(4-7)式より、本位相検出器が 360° の検出範囲を持ち、また、検出位相差 ϕ_d は、トランジスタの電圧利得 A 、移相器の電圧利得 B 、および $IN1$ と $IN2$ の振幅比 X に依存しないことがわ

かる。移相量 φ が 45° の場合、検出位相差 ϕ_d は以下となる。

$$\phi_d = \tan^{-1}(\tan \phi) \quad (4-8)$$

位相検出誤差は、移相量 φ の $45^\circ(\pi/8)$ からの差分 β によって発生する。位相差 ϕ_n に対する位相検出誤差 ϕ_error_n は、以下のように表される。

$$\phi_error_n = \tan^{-1}(\tan(\pi/8 + \beta) \cdot \tan \phi_n) - \tan^{-1}(\tan \phi_n) \quad (4-9)$$

RMS 位相検出誤差 ϕ_error_{rms} は、次のように計算できる。

$$\phi_error_{rms} = \sqrt{\frac{1}{n} \sum_{i=1}^n (\phi_error_i)^2} \quad (4-10)$$

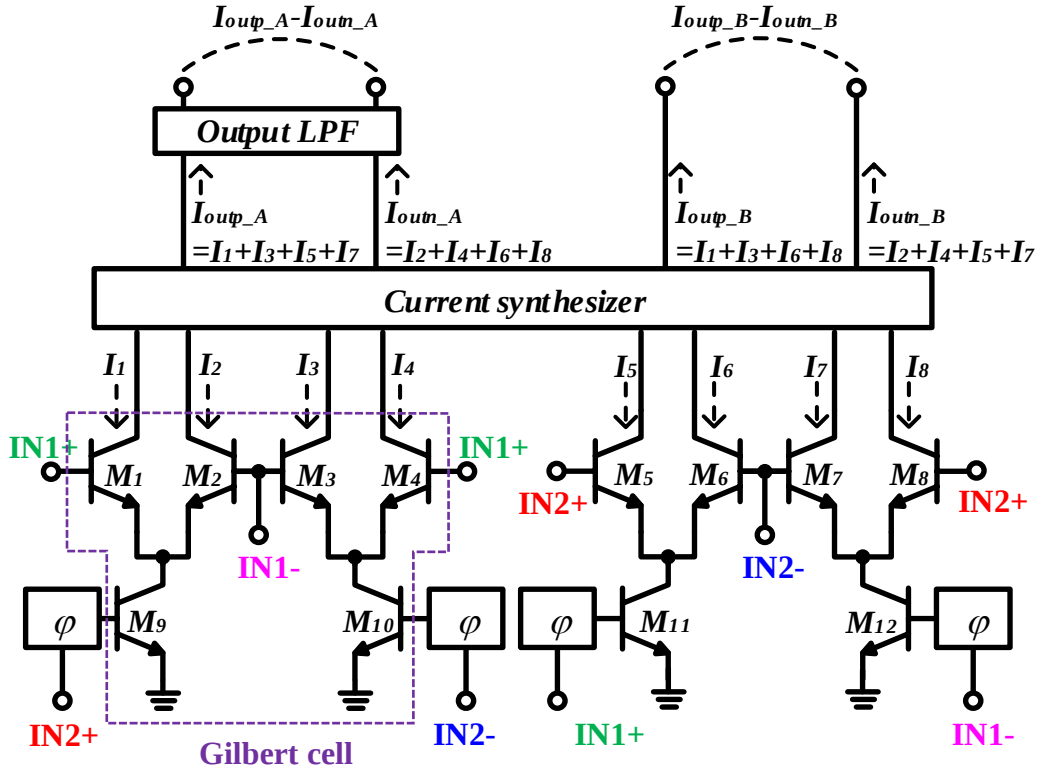


図 4-1 提案する位相検出器の構成

4.2.2.2. チューナブルフィルタによる位相検出の高精度化

4.2.2.1 節での解析により、位相検出誤差は、移相器の移相量 φ の $45^\circ(\pi/8)$ からの差分 β のみによって生ずることが分かった。必要な周波数帯域で高精度な位相検出を実現するためには、所望帯域で高精度な 45° 移相器が必要となる。 45° 移相器には、RC や LC を用いたもの、オールパス型、実時間遅延型や反射型など様々なものが提案されている。小さな回路面積を実現するため、ここではインダクタを使用しない RC を用いた一次遅れ系フィルタを適用する。1 次遅れ系の LPF と HPF の伝達関数 T_{1_LPF} 、 T_{1_HPF} はそれぞれ以下のように表される。

$$T_{1_LPF} = \frac{K}{j\omega\tau + 1}, \quad T_{1_HPF} = \frac{j\omega\tau \cdot K}{j\omega\tau + 1} \quad (4-11)$$

ここで、 K は電圧利得であり、受動素子の場合 1 となる。 τ は時定数である。電圧利得と通過位相は以下のように表される。

$$\begin{cases} |T_{1_LPF}| = \frac{1}{(\omega\tau)^2 + 1} \sqrt{1 + (\omega\tau)^2} \\ \varphi_{T_{1_LPF}} = \tan^{-1}(-\omega\tau) \\ |T_{1_HPF}| = \frac{1}{(\omega\tau)^2 + 1} \sqrt{1 + (\omega\tau)^2} \\ \varphi_{T_{1_HPF}} = \tan^{-1}\left(\frac{1}{\omega\tau}\right) \end{cases} \quad (4-12)$$

通過位相 $|\varphi_{T_{1_LPF}}|$ 、 $|\varphi_{T_{1_HPF}}|$ が 45° となる条件は(4-13)式で表される。

$$\omega\tau = 1 \quad (4-13)$$

この条件において、LPF と HPF の電圧利得 $|T_{1_LPF}|$ 、 $|T_{1_HPF}|$ は $1/\sqrt{2}$ となる。つまり LPF、HPF とともに 3 dB カットオフ周波数において 45° 移相器として機能する。HPF は 2 つの容量が必要となるのに対し、LPF は一つの容量で構成できるため、より小さい面積で実現できる。移相量 $45^\circ(\pi/8)$ からの位相設定誤差 β は以下のように表される。

$$\beta = \tan^{-1}(-\omega\tau) + \pi/8 \quad (4-14)$$

RMS 位相検出誤差と比帯域は(4-9)式、(4-10)式、(4-14)式から計算できる。図 4-2 に 1 次 LPF を用いた場合の設定位相誤差 β と RMS 位相検出誤差 $\phi_{error,rms}$ の計算結果を示す。ここで、周波数は LPF の 3 dB カットオフ周波数で規格化している。図 4-3 に図 4-2 から求めた RMS 位相検出誤差と実現可能な比帯域 RBW の計算結果を示す。図 4-3 より一定の位相検出誤差となる比帯域 RBW と位相検出誤差はトレードオフの関係であることがわかる。位

相検出誤差 2.0°-rms 以下の場合、RBW は 20.4% となり、位相検出誤差 5.0°-rms 以下の場合、RBW は 50.5% となる。

より広帯域での低い位相検出誤差を実現するためには 45° 移相器の広帯域化が必要である。高次の LPF/HPF は位相の傾きがより急峻となるため適さない。そこで、チューナブル LPF を適用した広帯域な位相検出器を提案する。図 4-4 にバラクタと抵抗を用いたチューナブル LPF による完全差動 45° 移相器の回路構成を示す。小面積であるとともに、チューナブル LPF のカットオフ周波数を変えることで広帯域に低位相検出誤差を実現する。等価回路の $C(V_{cnt})$ と $G(V_{cnt})$ は非線形容量とコンダクタンスである。 R_s 、 L_s 、 C_s は寄生抵抗と寄生インダクタ、寄生容量である [4.31]。LPF の伝達関数 T_{1_tun} は以下のように表される。

$$T_{1_tun} = \frac{(R_s + j\omega L_s)(j\omega(C(V_{cnt}) + C_s) + G(V_{cnt})) + 1}{(2R + R_s + j\omega L_s)(j\omega(C(V_{cnt}) + C_s) + G(V_{cnt})) + 1} \quad (4-15)$$

R_s と L_s がゼロとみなせる場合、 T_{1_tun} は以下となる。

$$T_{1_tun} = \frac{1}{2R(j\omega(C(V_{cnt}) + C_s) + G(V_{cnt})) + 1} \quad (4-16)$$

電圧利得と通過位相は以下のように表される。

$$|T_{1_tun}| = \frac{1}{\sqrt{(2RG(V_{cnt}) + 1)^2 + 4(\omega(C(V_{cnt}) + C_s)R)^2}} \quad (4-17a)$$

$$\varphi_{T_{1_tun}} = \tan^{-1} \left(\frac{-2\omega(C(V_{cnt}) + C_s)R}{2RG(V_{cnt}) + 1} \right). \quad (4-17b)$$

移相量が 45° となる角周波数条件は以下となる。

$$\omega = \frac{2RG(V_{cnt}) + 1}{2(C(V_{cnt}) + C_s)R} \quad (4-18)$$

電圧利得 B は以下となる。

$$B \equiv |T_{1_tun}|_{\omega=\omega_p} = \frac{1}{\sqrt{2}(2RG(V_{cnt}) + 1)} \quad (4-19)$$

電圧利得 B は R と $G(V_{cnt})$ によって決まる。図 4-5 に移相量を 45° に固定したときの LPF の B と $G(V_{cnt})$ の周波数特性シミュレーション結果を示す。ここでアノード幅と長はそれぞれ 4 μm と 22 μm であり、また、本数は 22 である。 $G(V_{cnt})$ は周波数依存性を有するため、 B は周

波数に応じて変化し、本シミュレーションでは 4.2 GHz～9.8 GHz の周波数範囲においておおよそ 1.3 dB ほど変化することがわかる。本利得変化は、従来手法では 3°-rms の位相検出誤差となる。一方、4.2.2.1 節での解析により、完全対称型ミキサを用いる位相検出器において、位相検出誤差は 45° 移相器の電圧利得に依存しないため、通過振幅特性に周波数特性を有するチューナブル LPF を適用でき、広帯域に低位相検出誤差を実現することが可能となる。チューナブル LPF による帯域の調整幅(TBW)は、バラクタの最小制御電圧 V_{cnt_min} と最大制御電圧 V_{cnt_max} を用いて次のように表される。

$$TBW = 2 \frac{1 - \frac{(2RG(V_{cnt_min}) + 1)(C(V_{cnt_max}) + C_s)}{(2RG(V_{cnt_max}) + 1)(C(V_{cnt_min}) + C_s)}}{1 + \frac{(2RG(V_{cnt_min}) + 1)(C(V_{cnt_max}) + C_s)}{(2RG(V_{cnt_max}) + 1)(C(V_{cnt_min}) + C_s)}} \quad (4-20)$$

提案する位相検出器の動作周波数帯域幅は、TBW と RBW を合計した動作帯域幅を実現することが可能となる。

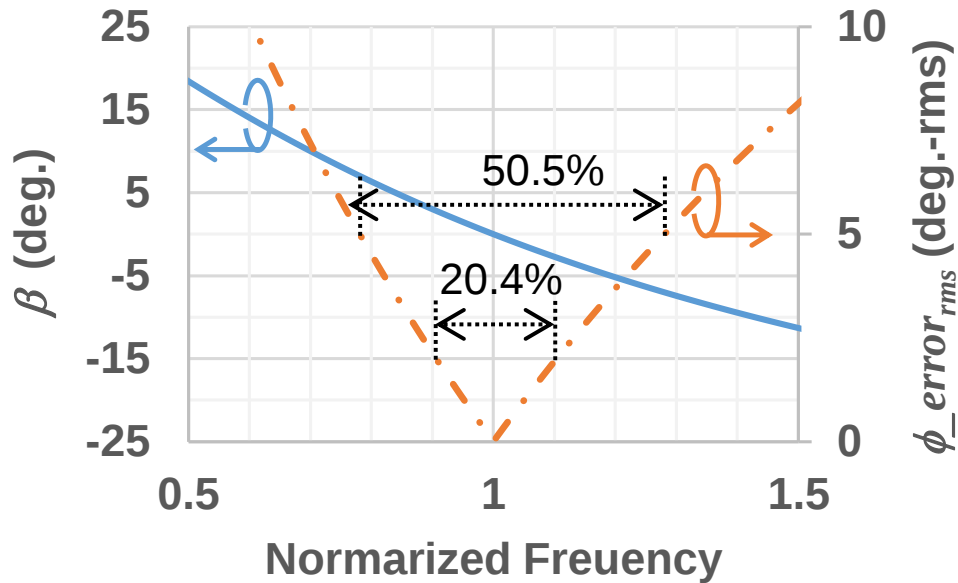


図 4-2 1 次 LPF を用いた場合の位相設定誤差 β と RMS 位相検出誤差の計算結果

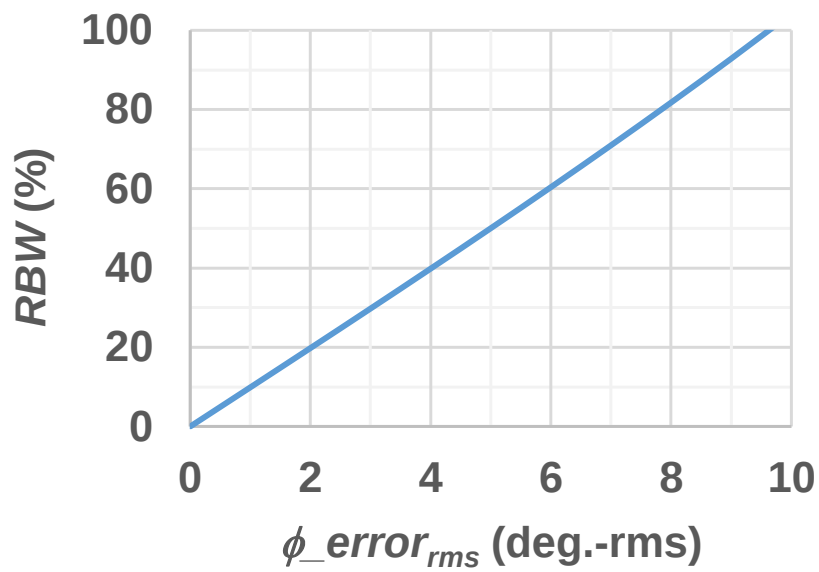


図 4-3 RMS 位相検出誤差と実現可能な比帯域 RBW の計算結果

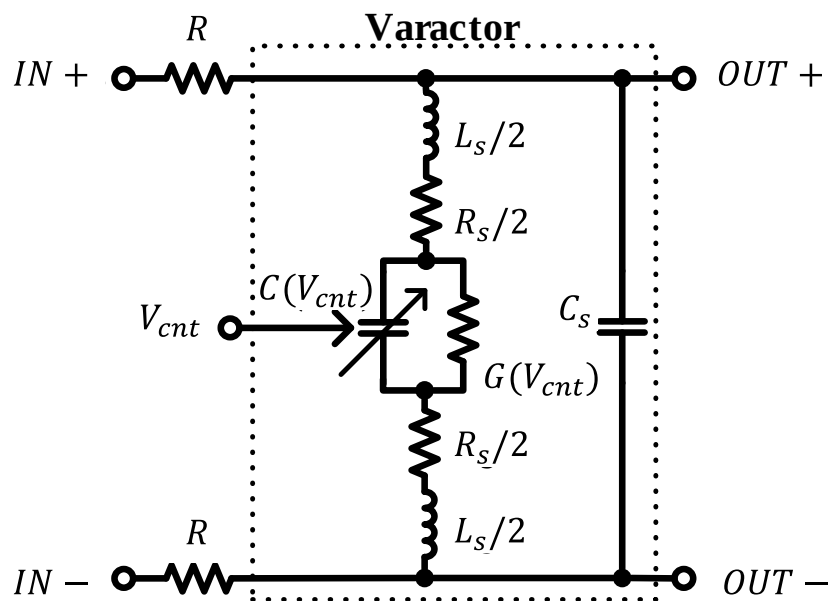


図 4-4 バラクタと抵抗を用いたチューナブル LPF による完全差動 45° 移相器の回路構成

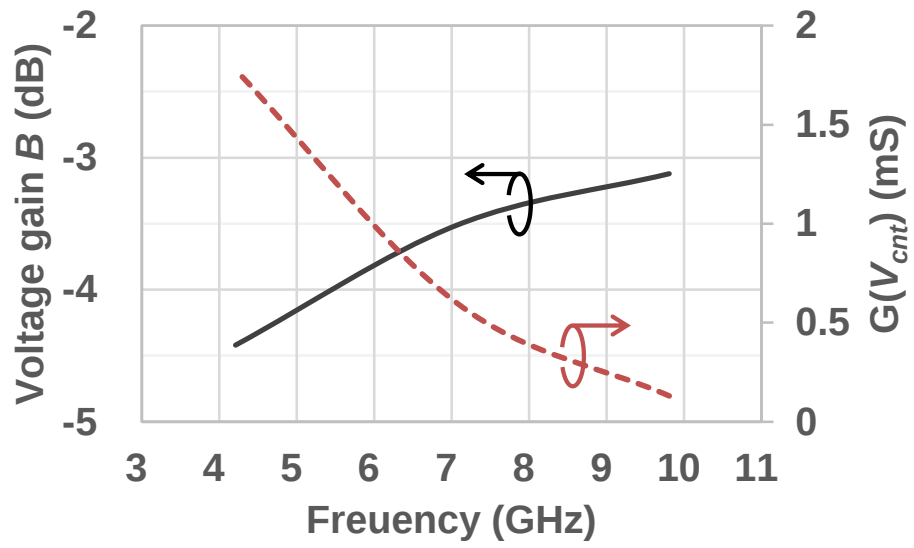


図 4-5 移相量を 45° に固定したときの LPF の B と $G(V_{CNT})$ の周波数特性シミュレーション結果

4.3. 試作結果

4.3.1. 試作回路

前章までに説明した位相検出器の試作結果について述べる。提案する位相検出器の詳細回路構成を図 4-6 に示す。抵抗器とバラクタで構成するチューナブル LPF は、ギルバートセルの下段入力端子に配置される。電流シンセサイザ(Current synthesizer)は、ミラー比 1 の PMOS カレントミラー回路を用いた。位相検出器のパラメータを表 4-1 に示す。バラクタ電圧 V_{cnt} の範囲が $0V \sim 2.5V$ の場合、静電容量 $C(V_{cnt})$ はシミュレーションにより $88 \text{ fF} \sim 371 \text{ fF}$ の範囲となる。 45° 移相器の 3 dB カットオフ周波数は、(4-18)式より $4.2 \text{ GHz} \sim 9.8 \text{ GHz}$ となる。 TBW は(4-20)式から 79.9% と計算される。この見積もりでは、寄生容量 C_s は回路シミュレーションから得られた 78 fF としている。図 4-7 に $0.13 \mu\text{m}$ SiGe-BiCMOS プロセスを用いて試作した位相検出器のチップ写真を示す。位相検出器のコア回路のサイズは $300 \mu\text{m} \times 330 \mu\text{m}$ である。

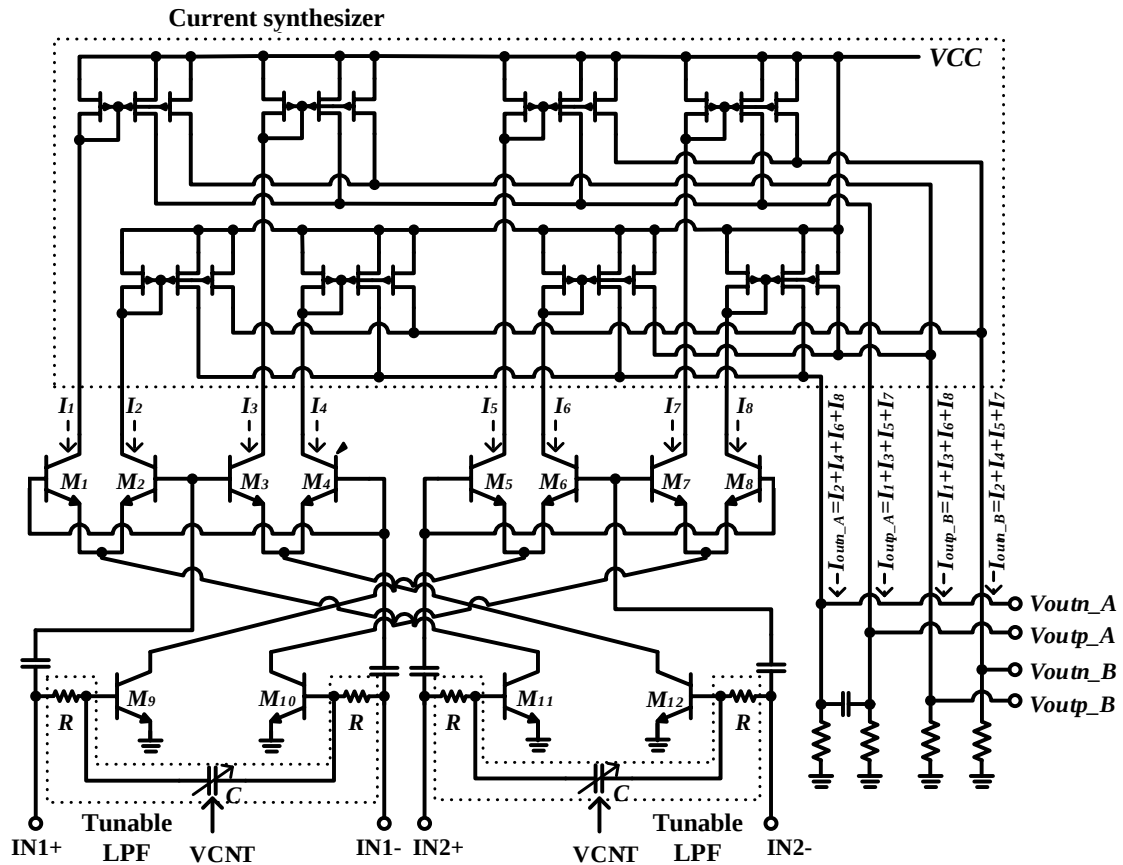


図 4-6 提案する位相検出器の詳細回路構成

表 4-1 位相検出器のパラメータ

Parameter	Value
M1–M8 L/W	0.12 μm / 2.5 μm
M9–M12 L/W	0.12 μm / 5 μm
Varactor capacitance $C(V_{cnt})$	88–371 fF
Varactor conductance $G(V_{cnt})$	1.78–0.13 mS
Resistance R	49.5 Ω
3 dB cutoff frequency of 45°phase shifter	9.8–4.2 GHz(TBW=79.9%)

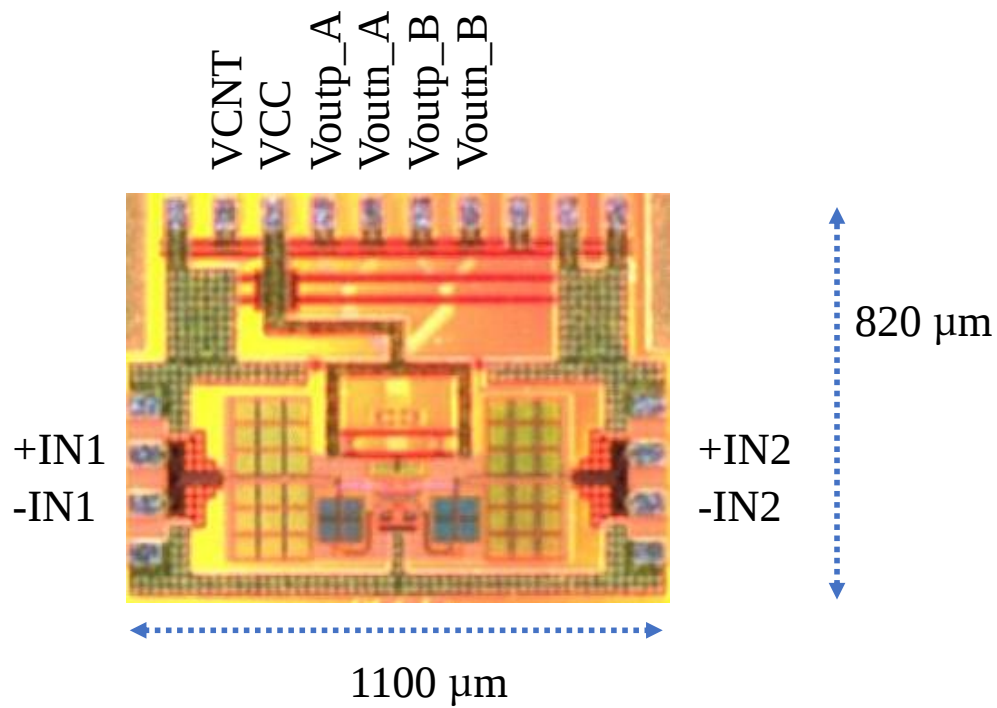


図 4-7 試作した位相検出器のチップ写真

4.3.2. 測定結果

図 4-8 に測定系を示す。GSSG の RF プローブ(probe)を用いて図 4-7 に示すチップに直接コンタクトして測定を実施した。10 MHz の参照信号で同期した 2 つの SG1、SG2 から出力される CW 信号をカプラで取り出しネットワークアナライザ(NA)で二つの位相差をモニタする。また、それぞれ同じ型番のバラン(Balan)と、RF プローブを介してチップに入力した。SG1 から出力される信号に対し、移相差 ϕ と振幅比 X を PC から GPIB(General Purpose Interface Bus)を介して SG2 から出力される信号に印加する。初期位相差はプローブ端で校正を実施している。出力直流信号(V_{OUT_A} 、 V_{OUT_B})はデジタルマルチメータによって測定した。

$V_{OUTP_A} - V_{OUTN_A}$ および $V_{OUTP_B} - V_{OUTN_B}$ の出力電圧測定結果をそれぞれ図 4-9 (a)、(b)に示す。ここで、45°移相器の V_{cnt} は 1.25 V としており、本値は 7.62 GHz での移相量が 45°となる値である。図 4-10 に図 4-9 の結果と(4-7)式を用いて計算した検出位相差測定結果を示す。図 4-11 に(4-9)式を用いて計算した位相検出誤差測定結果を示す。図 4-12 に(4-10)式を用いて計算した RMS 位相検出誤差の周波数特性測定結果を示す。周波数は 45°移相器である LPF($V_{cnt}=1.25$ V)の 3 dB カットオフ周波数(7.62 GHz)で規格化している。図 4-12 より、計算結果とシミュレーション結果、および測定結果はよく一致していることがわかる。一方、低周波において計算結果のみ、シミュレーション結果と測定結果に対し差分がある。本原因は位相検出器の上段の差動対に設けた DC カット容量が低周波数において十分大きな値となっておらず通過位相が変化しているためと考えられる。提案する位相検出器で位相検出誤差が 2°以下となる RBW が 22.4%以上得られることを確認し、本値は 4.2 節で求めた 20.4%とよく一致していることを確認した。図 4-13 に X を-5 dB～+5 dB で変化させたときの RMS 位相検出誤差の振幅依存性測定結果($V_{cnt} = 1.25$ V)を示す。図 4-13 より提案する位相検出器は 10 dB の振幅の差分に対し概ね一定の RMS 位相検出誤差で動作することができることを確認し、入力信号振幅差による検出精度への影響が軽微な位相検出器として動作することを実証した。図 4-14 に V_{cnt} を 0～2.5 V(0.625 V ステップ)で変化させた時の RMS 位相検出誤差の周波数依存性測定結果を示す。TBW は 4.0 GHz～9.75 GHz、83.6%得られ、4.3.1 節で求めた 79.9%とほぼ一致することを確認した。RMS 位相検出誤差が 2°以下となる動作周波数が 3.0 GHz～10.5 GHz と、111.1%得られることを確認した。表 4-3 に他文献の位相検出器との比較を示す。提案する位相器は、360°の位相検出範囲を有する位相検出器において、ミリ波帯のものも含めほぼ同等の面積にて、最も広帯域かつ高精度な位相検出動作を実現した。

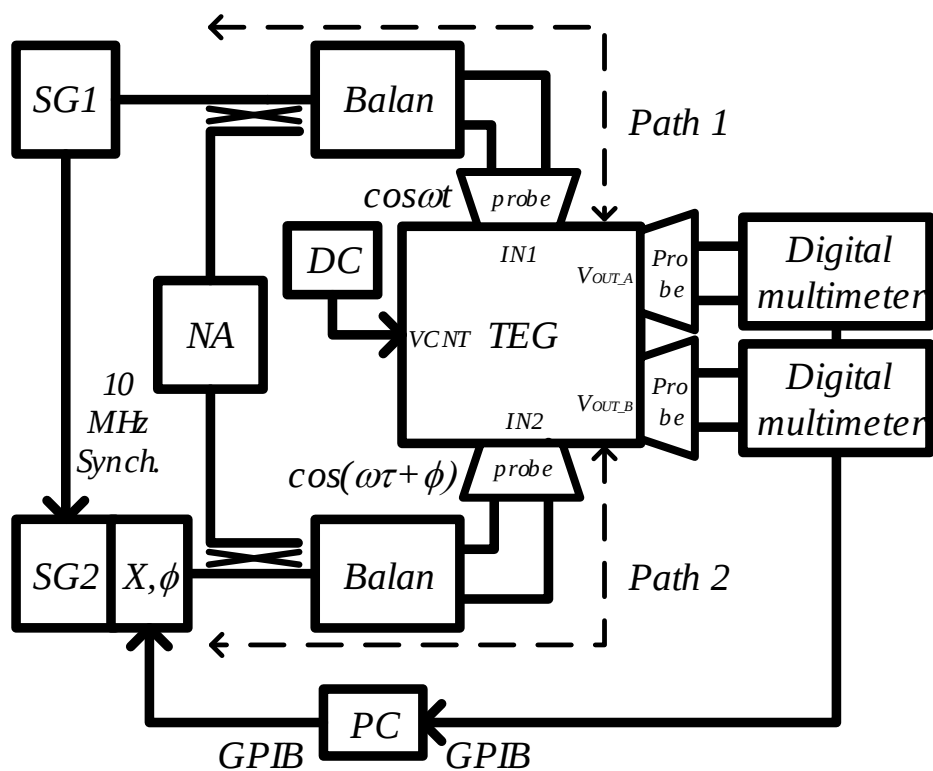
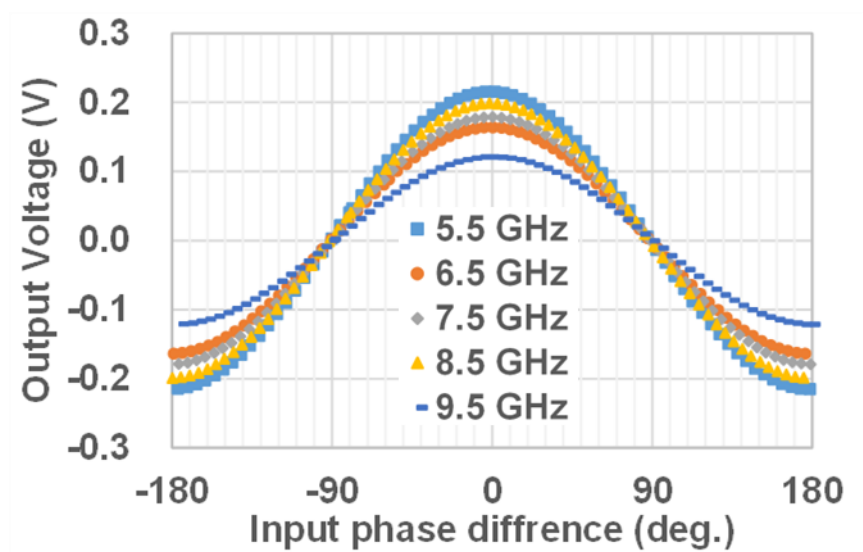


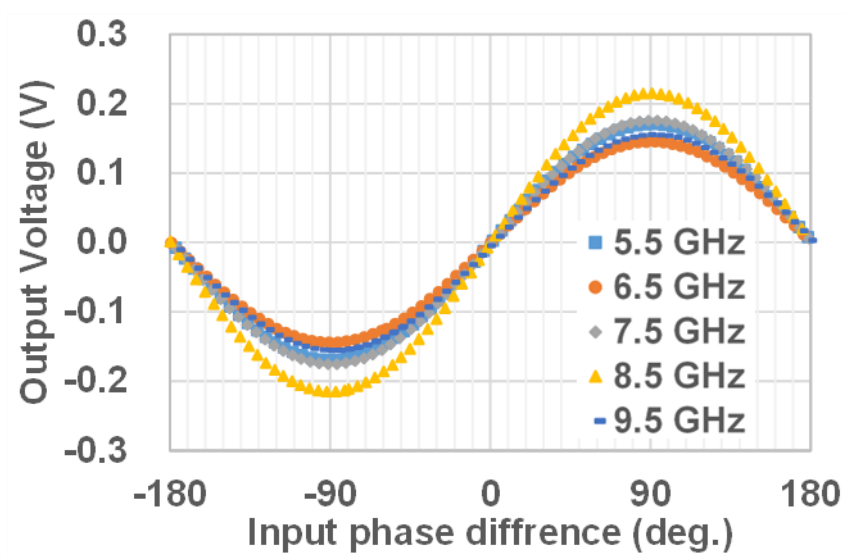
図 4-8 測定系

表 4-2 測定条件

項目	値
電源電圧	2.5 V
電流	5.2 mA
測定周波数	3-11 GHz (0.5 GHz step)
入力電力	-20 dBm
位相差	-180° - +180°



(a)



(b)

図 4-9 出力電圧測定結果($V_{\text{CNT}}=1.25 \text{ V}$)

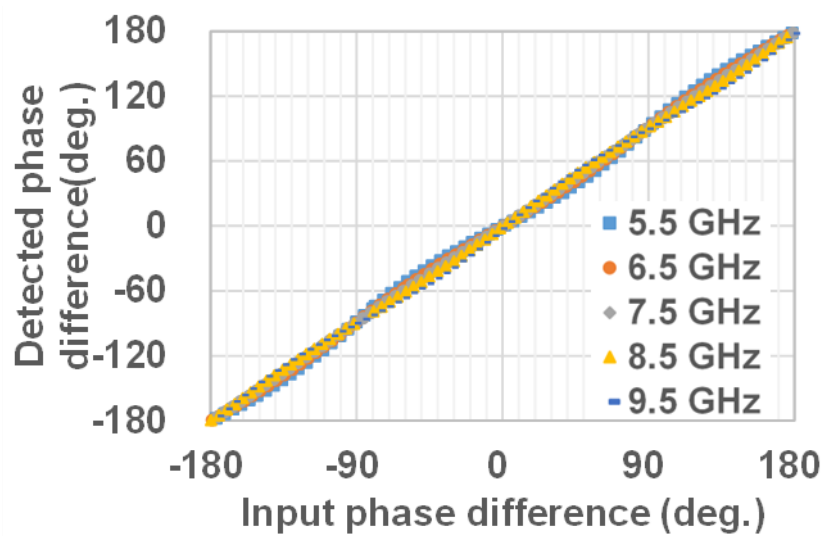


図 4-10 検出位相差 測定結果($V_{\text{CNT}}=1.25\text{ V}$)

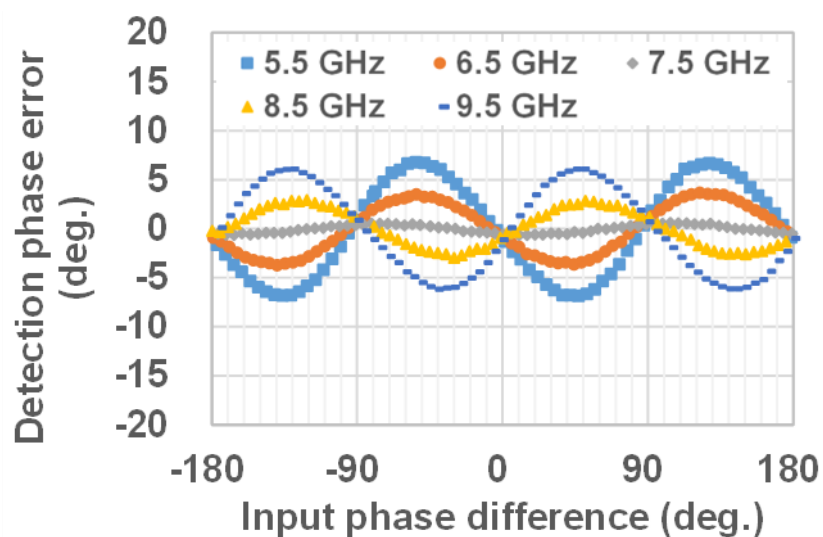


図 4-11 位相検出誤差 測定結果($V_{\text{CNT}}=1.25\text{ V}$)

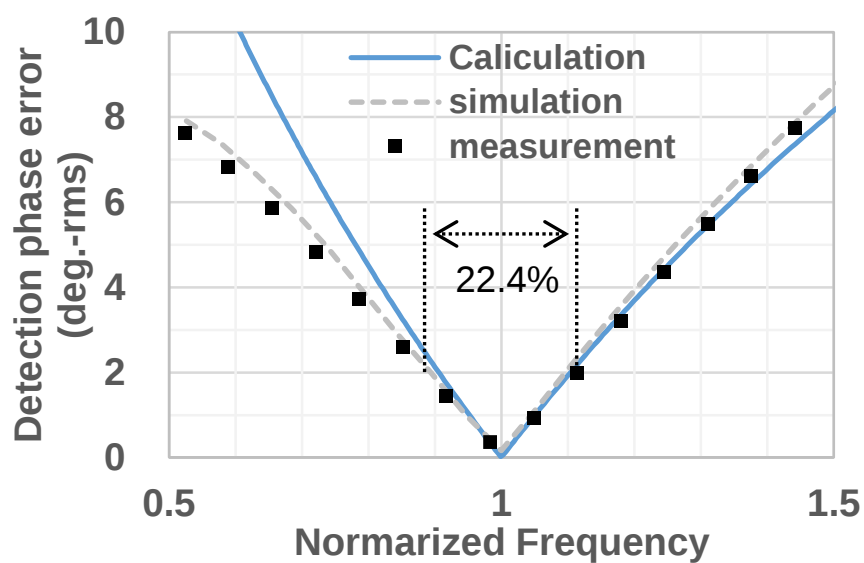


図 4-12 RMS 位相検出誤差の周波数特性 測定結果($V_{CNT}=1.25$ V)

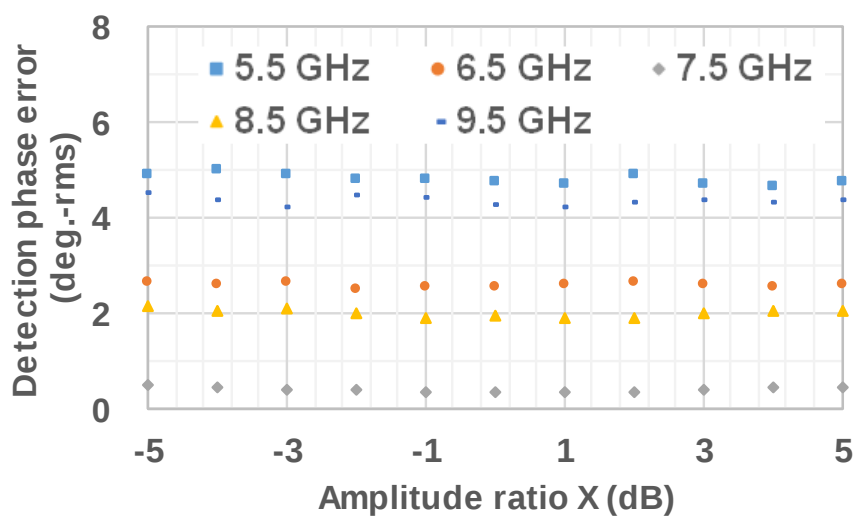


図 4-13 RMS 位相検出誤差の振幅依存性 測定結果($V_{CNT}=1.25$ V)

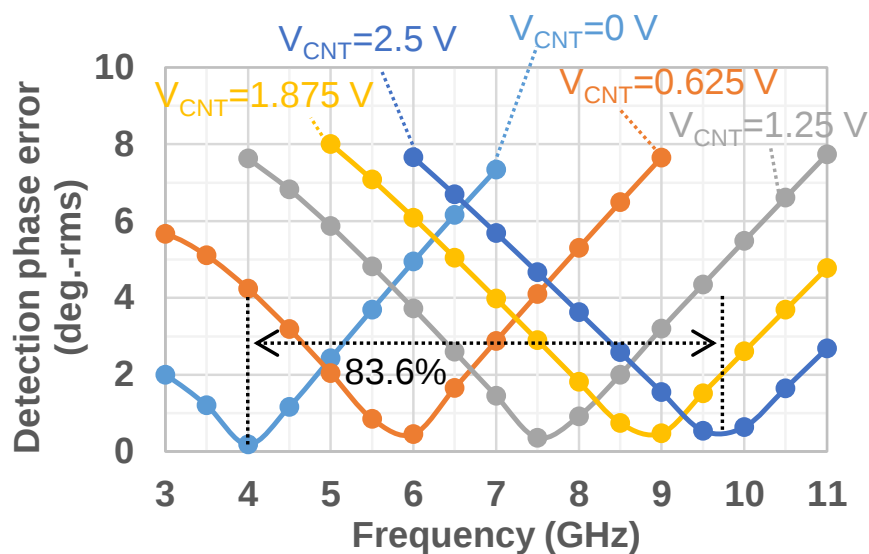


図 4-14 V_{CNT} を 0~2.5V(0.625V ステップ)で変化させた時の RMS 位相検出誤差の周波数依存性測定結果

表 4-3 他文献の位相検出器との比較

	[4.5]	[4.10]	[4.19]	[4.20]	[4.21]	[4.29]	This Work
構成	Mixer		Mixers with 90° phase shifters			Symmetrically Mixers with transmission lines	Symmetrically Mixers with tunable LPF
動作周波数(GHz)	42.75-49.5 (14.6%)	1	2.4	2.7-6 (75.9%)	115-125 (8.3%)	77	3-10.5 (111.1%)
位相検出範囲(°)	0-180	0-180	0-360	0-360	0-260	0-360	0-360
入力振幅差(dB)	-	-	-	-	-	-	±5
最大検出誤差(°)	-	0.52	±4.0	±5.72 (3.38° rms)	±11	±3.0	±2.9 (2.0° rms)
半導体プロセス	65 nm CMOS	180 nm SiGeBiCMOS	-	-	28 nm CMOS	65 nm CMOS	130 nm SiGeBiCMOS
回路面積(mm ²)	0.023 *1 *2	1.8	2890 *1 *2	1798 *1 *2	0.9	0.046 *1 *2 *3	0.902 (0.099 *2)
消費電力(mW)	-	-	-	-	92.7	-	13.0

*1 写真からの見積もり *2 位相検出器のみ *3 90°線路を含めない値

4.4. むすび

AESA のビーム制御高精度化をメインターゲットとし、隣接するモジュール間の位相を検出する高精度な位相検出技術として、完全対称型ミキサとチューナブル LPF を用いた高精度な位相検出器の回路構成と設計法を提案した。完全対称型ミキサによる位相検出特性が 45° 移相器の利得によらないことに着目し、チューナブル LPF を適用することで低い位相検出誤差を実現できることを示した。開発した設計式に基づき C-X 帯で動作する位相検出器を試作し、 $3.0\text{ GHz}\sim 10.5\text{ GHz}$ の周波数範囲において位相検出誤差 2° 以下を実証した。提案する位相検出器は、 360° の位相検出範囲を有する既発表の位相検出器と比較し、最も広帯域かつ高精度な位相検出動作を実現し、本回路が AESA のマイクロ波モジュール間での位相差検出の高精度化、さらにはビーム制御高精度化に有効であることを示した。

4.5. 参考文献

- [4.1] J. Zhang, R. Li, X. Xu and C. Wu, "Design of a cooling system for high density integrated phased array antenna test," 2017 Sixth Asia-Pacific Conference on Antennas and Propagation (APCAP), Xi'an, China, 2017, pp. 1-3, doi: 10.1109/APCAP.2017.8420686.
- [4.2] T. Fujibayashi and Y. Takeda, "A 76- to 81-GHz, 0.6° rms Phase Error Multi-channel Transmitter with a Novel Phase Detector and Compensation Technique," 2019 Symposium on VLSI Circuits, Kyoto, Japan, 2019, pp. C16-C17, doi: 10.23919/VLSIC.2019.8778158.
- [4.3] T. Hoffmann et al., "Rapid Integration of a Flexible, Wideband Beamformer with Wideband Antenna Technology," 2019 IEEE International Symposium on Phased Array System & Technology (PAST), Waltham, MA, USA, 2019, pp. 1-5, doi: 10.1109/PAST43306.2019.9021106.
- [4.4] M. W. Elsallal, J. R. Hood and R. Kindt, "Development of substrate-free frequency-scaled ultra-wide spectrum element (FUSE) phased array," 2016 IEEE International Symposium on Phased Array Systems and Technology (PAST), Waltham, MA, USA, 2016, pp. 1-5, doi: 10.1109/ARRAY.2016.7832631.
- [4.5] L. Wu, A. Li and H. C. Luong, "A 4-Path 42.8-to-49.5 GHz LO Generation With Automatic Phase Tuning for 60 GHz Phased-Array Receivers," in IEEE Journal of Solid-State Circuits, vol. 48, no. 10, pp. 2309-2322, Oct. 2013, doi: 10.1109/JSSC.2013.2269855.
- [4.6] K. Kawasaki, K. Tsutsumi, M. Tsuru and E. Taniguchi, "A self-injection locked VCO with adaptive control of injection phase," 2014 44th European Microwave Conference, Rome, Italy, 2014, pp. 1016-1019, doi: 10.1109/EuMC.2014.6986610.
- [4.7] C. Tang and Q. Xue, "An Array of Coherent Sources Based on Novel Dual-Loop PLL Infrastructure," in IEEE Transactions on Industrial Electronics, vol. 60, no. 11, pp. 5337-5347, Nov. 2013, doi: 10.1109/TIE.2012.2227916.
- [4.8] T. Shimura et al., "Millimeter-wave TX phased array with phase adjusting function between transmitters for hybrid beamforming with interleaved subarrays," 2016 European Radar Conference (EuRAD), London, UK, 2016, pp. 425-428.
- [4.9] O. Inac, D. Shin and G. M. Rebeiz, "A Phased Array RFIC With Built-In Self-Test Capabilities," in IEEE Transactions on Microwave Theory and Techniques, vol. 60, no. 1, pp. 139-148, Jan. 2012, doi: 10.1109/TMTT.2011.2170704.
- [4.10] A. Hirai et al., "Fast and highly accurate RF phase detector with analog integrator for APAA system," 2013 Asia-Pacific Microwave Conference Proceedings (APMC),

- Seoul, Korea (South), 2013, pp. 1-3, doi: 10.1109/APMC.2013.6695171.
- [4.11] T. Shimura, T. Ohshima and Y. Ohashi, "A 28-GHz Phased-array Receiver with an On-chip BIST Function by using a Shielded Symmetrical Signal Distributor," 2019 49th European Microwave Conference (EuMC), Paris, France, 2019, pp. 618-621, doi: 10.23919/EuMC.2019.8910722.
 - [4.12] Yingui Zhou, Ge Li and Sai Dong, "RF accelerator controlled by high accuracy RF phase detector," in IEEE Transactions on Plasma Science, vol. 33, no. 4, pp. 1282-1286, Aug. 2005, doi: 10.1109/TPS.2005.852408.
 - [4.13] S. -N. Hsieh and T. -H. Chu, "A novel amplitude-only method of phase difference measurement between two signals by using 90° hybrid," Asia-Pacific Microwave Conference 2011, Melbourne, VIC, Australia, 2011, pp. 1806-1809.
 - [4.14] H. Klingbeil, "A fast DSP-based phase-detector for closed-loop RF control in synchrotrons," in IEEE Transactions on Instrumentation and Measurement, vol. 54, no. 3, pp. 1209-1213, June 2005, doi: 10.1109/TIM.2005.847138.
 - [4.15] S. Jablonski, K. Czuba, F. Ludwig and H. Schlarb, " 2π Low Drift Phase Detector for High-Precision Measurements," in IEEE Transactions on Nuclear Science, vol. 62, no. 3, pp. 1142-1148, June 2015, doi: 10.1109/TNS.2015.2425733.
 - [4.16] J. Han and R. Chen, "RF MEMS In-Line Type Phase Detector With Large Dynamic Range," in IEEE Electron Device Letters, vol. 40, no. 5, pp. 792-795, May 2019, doi: 10.1109/LED.2019.2904340.
 - [4.17] J. Han and X. Liao, "A Compact Broadband Microwave Phase Detector Based on MEMS Technology," in IEEE Sensors Journal, vol. 16, no. 10, pp. 3480-3481, May 15, 2016, doi: 10.1109/JSEN.2016.2540636.
 - [4.18] M. Dwyer, A. Day and D. v. d. Weide, "Enhanced phase detector using nonlinear transmission lines," 2019 IEEE Radio and Wireless Symposium (RWS), Orlando, FL, USA, 2019, pp. 1-4, doi: 10.1109/RWS.2019.8714382.
 - [4.19] C. Tang and Q. Xue, "S-band full 360° high precision phase detector," 2012 Asia Pacific Microwave Conference Proceedings, Kaohsiung, Taiwan, 2012, pp. 97-99, doi: 10.1109/APMC.2012.6421510.
 - [4.20] B. Pérez, V. A. Pulido, J. Perez-Mato and F. Cabrera, "360° Phase Detector Cell for Measurement Systems Based on Switched Dual Multipliers," in IEEE Microwave and Wireless Components Letters, vol. 27, no. 5, pp. 503-505, May 2017, doi: 10.1109/LMWC.2017.2690841.
 - [4.21] B. Philippe and P. Reynaert, "A Quadrature Phase Detector in 28nm CMOS for Differential mm-Wave Sensing Applications Using Dielectric Waveguides," ESSCIRC 2018 - IEEE 44th European Solid State Circuits Conference (ESSCIRC),

- Dresden, Germany, 2018, pp. 114-117, doi: 10.1109/ESSCIRC.2018.8494306.
- [4.22] L. Chiu and Q. Xue, "Wideband parallel-strip 90° hybrid coupler with swap," *Electron. Lett.*, vol. 44, no. 11, pp. 687–688, May 2008, doi: 10.1049/el:20080975
 - [4.23] J. Kim and J. -G. Yook, "A Miniaturized 3 dB 90° Hybrid Coupler Using Coupled-Line Section With Spurious Rejection," in *IEEE Microwave and Wireless Components Letters*, vol. 24, no. 11, pp. 766-768, Nov. 2014, doi: 10.1109/LMWC.2014.2359157.
 - [4.24] L. Chiu and Q. Xue, "Investigation of a Wideband 90° Hybrid Coupler With an Arbitrary Coupling Level," in *IEEE Transactions on Microwave Theory and Techniques*, vol. 58, no. 4, pp. 1022-1029, April 2010, doi: 10.1109/TMTT.2010.2042835.
 - [4.25] Y. L. Then, K. Y. You, M. N. Dimon, J. C. Chong and T. S. Tan, "Compact microstrip S-Band 90° hybrid coupler," 2013 IEEE Symposium on Wireless Technology & Applications (ISWTA), Kuching, Malaysia, 2013, pp. 202-206, doi: 10.1109/ISWTA.2013.6688770.
 - [4.26] F. Torres, E. Kerhervé and A. Cathelin, "90° Hybrid coupler design technique for wideband and multimode mm-wave operations featuring lateral ground planes virtual expansion in 28nm FD-SOI CMOS technology," 2018 IEEE 9th Latin American Symposium on Circuits & Systems (LASCAS), Puerto Vallarta, Mexico, 2018, pp. 1-4, doi: 10.1109/LASCAS.2018.8399917.
 - [4.27] J. -G. Chi and Y. -J. Kim, "A Compact Wideband Millimeter-Wave Quadrature Hybrid Coupler Using Artificial Transmission Lines on a Glass Substrate," in *IEEE Microwave and Wireless Components Letters*, vol. 30, no. 11, pp. 1037-1040, Nov. 2020, doi: 10.1109/LMWC.2020.3027921.
 - [4.28] V. Knopik, B. Moret and E. Kerherve, "Integrated scalable and tunable RF CMOS SOI quadrature hybrid coupler," 2017 12th European Microwave Integrated Circuits Conference (EuMIC), Nuremberg, Germany, 2017, pp. 159-162, doi: 10.23919/EuMIC.2017.8230684.
 - [4.29] T. Shimura, Y. Ohashi and T. Ohshima, "A phase and power difference detection technique using symmetric mixer with input level switching for millimeter-wave phased-array calibration," 2015 IEEE MTT-S International Microwave Symposium, Phoenix, AZ, USA, 2015, pp. 1-4, doi: 10.1109/MWSYM.2015.7166889.
 - [4.30] T. Shimura et al., "A 28-GHz CMOS 2×4 Phased Array Chip with High-Precision Phase-Adjusting Function Between Subarrays for Beam Multiplexing," 2018 13th European Microwave Integrated Circuits Conference (EuMIC), Madrid, Spain, 2018, pp. 337-340, doi: 10.23919/EuMIC.2018.8539933.

[4.31] P. Penfield, Jr., R.P. Rafuse, "Varactor Applications," The M.I.T press, 1962.

5章 バラクタによる位相補償を適用した高精度な可変利得移相器

5.1. まえがき

3 章にて高精度なビーム制御機能を実現するために必要となるベクトル合成型移相器 VSPS[5.1]-[5.10]の広帯域化、高精度化について述べた。一方、所望方向以外の放射による干渉・妨害を防ぐため低サイドローブなビームの実現も重要となる[5.2][5.11]-[5.15]。マイクロ波モジュール内に移相器ともに可変利得増幅器を備えることにより、各素子アンテナの励振振幅を精度よく変化させることで励振振幅分布を最適化し、低サイドローブなビーム性能を得ることが可能となるが、移相器に加えて可変利得増幅器を設置する必要があるため、実装面積サイズと消費電力が増加する[5.16]-[5.20]。AESA を構成する素子アンテナ間の距離は半波長が基本となるため、特にミリ波以上の高周波帯において小型な実装技術が必要となる。例えば 30 GHz では半波長は 5 mm となり、25 mm² 以下という限られた面積に移相機能と可変利得機能の 2 つを実装する必要がある。移相機能と可変利得機能を同一回路で実装する可変利得移相器 VGPS[5.21]-[5.25]によって小型化が可能だが、利得制御に伴って通過位相が変化し移相量誤差の劣化要因となる。そこで、本章ではバラクタによる位相補償を適用した高精度な可変利得移相器を提案する。利得制御時の入力容量変化によって通過位相特性が変化することに着目し、移相機能と可変利得機能を一つの回路で搭載した上で、入力段にチューナブルデバイスであるバラクタを搭載し、制御時において入力容量を一定に維持することにより、低い移相量誤差を実現する回路構成と設計法を提案する。提案する可変利得増幅器を Ka 帯で試作し、本回路構成と設計法の有効性を示す。

5.2. 可変利得移相器の回路構成と設計法

5.2.1. 従来回路の問題点

VSPS をベースとした VGPS は I/Q 生成器、I/Q それぞれの可変利得増幅器 VGA からなるが、VGA の利得制御によって通過位相が変化し、VGPS の移相量、振幅誤差の劣化要因となることが知られている [5.24]-[5.26]。そこで、バラクタや電流注入型のデバイスを出力端子に設置し [5.24][5.27][5.28]、事前に VGA の特性を測定し look-up tables (LUTs) で補正データを取得し校正する方式が提案されている [5.29]-[5.32]。この方式では、高精度な通過位相特性が得られるものの、LUTs や補正テーブルのメモリー、ディジタル回路による複雑な処理によって回路面積と消費電力が増加するという問題がある。

5.2.2. 提案する回路構成と動作原理・設計法

5.2.2.1. 回路構成

図 5-1 に提案する VGPS の回路構成を示す。VGPS は I/Q 生成器、I/Q それぞれの可変利得増幅器(I/Q-VGA)、電流 DAC(Digital to Analog Converter)、2つの電圧 DAC からなる。I/Q-VGA はそれぞれ 2つの振幅制御機能を有しており、そのうち一つは、位相制御に使用され電流 DAC によって制御される。もう一つは、振幅制御に使用され電圧 DAC によって制御される。さらにもう一つの電圧 DAC によって、入力に装荷されたバラクタ電圧を印加し位相補償を行う。

図 5-2 に提案する VGA の回路構成を示す。VGA はエミッタ接地段にベース接地段を縦積みしたカスコードの回路構成をとる。エミッタ接地段の $IREFP/IREFN$ を変化させることで位相を制御し、ベース接地段の $CNTP/CNTN$ を制御することで振幅を制御する。このように 2つは独立して制御可能な構成である。エミッタ接地段において利得 G_{VGA_CE} は Q_1/Q_4 と Q_2/Q_3 のエミッタ電流の差を用いて以下のように表される。

$$G_{VGA_CE} = I_P - I_N \propto IREFP - IREFN \quad (5-1)$$

ここで、 I_P と I_N は合計値が一定となるようにしており、以下の式で表される。

$$I_{total} = I_P + I_N \propto IREFP + IREFN \quad (5-2)$$

ベース接地段の利得は Q_5/Q_8 と Q_6/Q_7 のベース電圧の差分である V_c を用いて以下のように表される。

$$G_{VGA_CB} = \frac{\exp\left(\frac{V_c}{V_t}\right)}{\exp\left(\frac{V_c}{V_t}\right) + 1} \quad (5-3)$$

ここで V_t は熱電圧(≈ 26 mV@300 K)を表す。 $V_c = 0$ のとき、(5-3)式より利得は最大利

得に対し $1/2$ (-6 dB) となり、利得が小さい場合 V_c に対し線形に変化する。ベース接地段は広い可変範囲と高分解能を両立することができ VGPS において広いダイナミックレンジと高い分解能の振幅調整機能を実現することが可能となる。 I_{total} を一定とすることで、エミッタ接地段の利得状態に対し独立して振幅を設定することが可能となる。

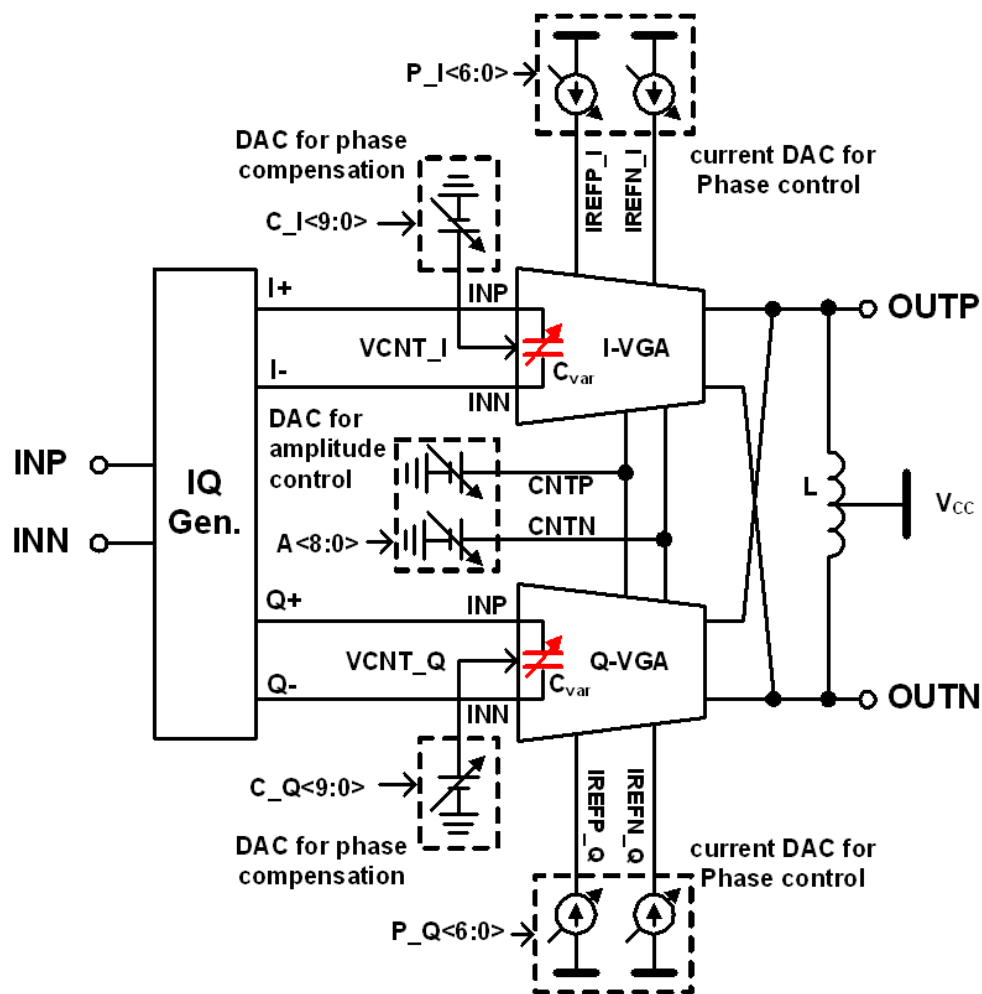


図 5-1 提案する VGPS の回路構成

5.2.2.2. 振幅制御に伴う VGA の位相・振幅ばらつき

VGPS において、移相量設定に応じて I/Q VGA の振幅を変化させる。エミッタ接地による VGA は 4 つのトランジスタで構成できるため、寄生容量が小さく高周波動作に適している [5.5][5.7][5.19][5.33]。しかし、振幅制御に伴う I/Q VGA の入力インピーダンス変化によって移相特性が劣化することが知られている [5.10][5.19][5.24][5.26]。バイポーラトランジスタを用いた VGA において、ベース～エミッタ間の寄生容量はコレクタ電流によって変化する。図 5-3 にバイポーラトランジスタの等価回路図と、トランジスタサイズ $0.12\mu\text{m}/4\mu\text{m}$ における寄生容量のコレクタ電流依存性のシミュレーション結果を示す。並列容量 C_π はコレクタ電流に応じて $13.7\sim 36.5\text{ fF}$ まで変化することがわかる。本容量変化は、VGA の通過位相変動を引き起こし、本通過位相変動は VGPS の移相量誤差の要因となる。

VGA の通過位相変動を抑えるため、図 5-2 に示すように入力差動端子間にバラクタを装荷した位相補償を提案する。図 5-4 にエミッタ接地 VGA の小信号等価回路を示す。VGA の入力インピーダンスを計算する。ここで VGA の入力信号を差動($v_{xp} = -v_{xn}$)と仮定する。 V_{in} と V_s の関係は以下の式で与えられる。

$$V_{in} = \frac{Z_{diff}(I_p, I_n)}{Z_{diff}(I_p, I_n) + Z_s} V_s \quad (5-4)$$

差動入力インピーダンスは以下のように与えられる。

$$Z_{diff}(I_p, I_n, V_{var}) \approx \frac{2}{\left(\frac{2}{r_\pi} + j\omega \left(C_\pi(I_p) + C_\pi(I_n) + 2C_\mu + C_{var}(V_{var})\right)\right)} \quad (5-5)$$

ここで、ベース～コレクタ間の容量は等しいと仮定している($C_\mu = C_{\mu p} \approx C_{\mu n}$)。 V_{var} はバラクタの制御電圧である。入力容量変動を ΔC_{in} 、ベース～エミッタ間容量変動を ΔC_π 、バラクタ容量変動を ΔC_{var} とそれぞれ定義する。それぞれの容量の関係は以下で表すことができる。

$$\begin{cases} C_\pi(I_p) + C_\pi(I_n) = \Delta C_\pi(|I_p - I_n|) + C_{\pi 0} \\ C_{var}(V_{var}) = \Delta C_{var}(V_{var}) + C_{var 0} \\ \Delta C_{in}(|I_p - I_n|, V_{var}) = \Delta C_\pi(|I_p - I_n|) + \Delta C_{var}(V_{var}) \end{cases} \quad (5-6)$$

ここで、 $C_{\pi 0}$ は初期バイアス電流 $I_{p0} - I_{n0}$ における容量値、また、 $\Delta C_\pi(|I_{p0} - I_{n0}|)$ は 0 である。 $C_{var 0}$ は初期制御電圧における容量値である。(5-5)式、(5-6)式より差動入力インピーダンスは、(5-7)式で表される。

$$Z_{diff}(I_p, I_n, V_{var}) \approx 2 / \left(\frac{2}{r_\pi} + j\omega(C_{\pi 0} + C_{var 0} + 2C_\mu + \Delta C_{in}(|I_p - I_n|, V_{var})) \right) \quad (5-7)$$

インピーダンス整合後の信号源インピーダンス Z_s は以下で表される。

$$Z_s = \frac{2}{\left(\frac{2}{r_\pi} - j\omega(C_{\pi 0} + C_{var 0} + 2C_\mu) \right)} \quad (5-8)$$

VGA の通過利得 $G(I_p - I_n, V_{var})$ は以下となる。

$$G(I_p - I_n, V_{var}) = G_0 \cdot \frac{2/r_\pi - j\omega(C_{\pi 0} + C_{var 0} + 2C_\mu)}{4/r_\pi + j\omega\Delta C_{in}(|I_p - I_n|, V_{var})}, \quad G_0 = \frac{-2Z(g_{mp} - g_{mn})}{1 + 2j\omega C_u Z}. \quad (5-9)$$

振幅制御に伴うコレクタ電流制御により入力容量変化 ΔC_{in} は変化する。 ΔC_{in} に対する通過振幅変動 $|\Delta G|$ 、および通過位相変動 $\Delta\varphi$ の変化は(5-9)式を用いて以下のように表される。

$$\Delta G = \frac{G(I_p - I_n, V_{var})}{G(I_{p0} - I_{n0}, 0)} = \frac{\frac{4}{r_\pi}}{\frac{4}{r_\pi} + j\omega\Delta C_{in}(|I_p - I_n|, V_{var})}, \quad (5-10a)$$

$$|\Delta G| = \frac{\left(\frac{4}{r_\pi} \right)}{\sqrt{\left(\frac{4}{r_\pi} \right)^2 + (\omega\Delta C_{in}(|I_p - I_n|, V_{var}))^2}}, \quad (5-10b)$$

$$\Delta\varphi = -\tan^{-1} \frac{\omega\Delta C_{in}(|I_p - I_n|, V_{var})r_\pi}{4}. \quad (5-10c)$$

(5-10)式より、 $|\Delta G|$ は $\omega\Delta C_{in}$ と $4/r_\pi$ の比で決まり、 $(4/r_\pi)^2 \gg (\omega\Delta C_{in}(|I_p - I_n|, V_{var}))^2$ となる条件において ΔC_{in} の影響は小さくなる。例えば、 r_π と ΔC_{in} は $540 \, \Omega$ と $6.5 \, \text{fF}$ とする。 $30 \, \text{GHz}$ において、 $(4/r_\pi)^2$ は 5.5×10^{-5} となり $(\omega\Delta C_{in}(|I_p - I_n|, V_{var}))^2$ の 1.5×10^{-6} に対し10倍以上となる。本条件において(5-10b)式より、 $|\Delta G|$ は1.3% (0.12 dB)となり容量変化による通過振幅への影響は小さいことがわかる。一方、(5-10c)式より $\Delta\varphi$ は $\omega\Delta C_{in}$ 、および r_π の逆正接に比例する。例えば、 r_π と ΔC_{in} が通過振幅を計算した条件と同じのとき($r_\pi = 540 \, \Omega$, $\Delta C_{in} = 6.5 \, \text{fF}$)、 $\Delta\varphi$ は $30 \, \text{GHz}$ で凡そ 4.7° となる。上記議論より、VGA の通過位相変動 $\Delta\varphi$ は $(4/r_\pi)^2 \gg (\omega\Delta C_{in}(|I_p - I_n|, V_{var}))^2$ において数 $^\circ$ 以上の影響となることが分かる。

バラクタ電圧を(5-11)式で示す逆関数 ΔC_{var}^{-1} で制御することで、全ての振幅状態で通過位相変動 $\Delta\varphi$ をゼロとすることが可能となる。

$$V_{var} = \Delta C_{var}^{-1}(-\Delta C_{\pi}(|I_p - I_n|)) \quad (5-11)$$

一方、通常バラクタは電圧に対し非線形の容量変化を示すことが多いため、逆関数での制御の場合、制御が複雑となり IC 内のメモリーや制御回路によるチップ面積増加となる。そこで、ここでは I/Q-VGA の入力端子のバラクタ電圧を I/Q-VGA 振幅制御であるコレクタ電流の差分 $I_p - I_n$ に対してバラクタ電圧を線形に制御することで、I/Q-VGA の入力容量を補償する方式を提案する。入力容量のコレクタ電流依存性はシミュレーションで求めることが可能である。図 5-1 の構成にて $I_p - I_n$ を変化させたときのバラクタによる補正ありとなしの時の入力容量のコレクタ電流依存性シミュレーション結果を図 5-5 に示す。ここでバラクタのアノード幅と長は $1 \mu\text{m}$ と $15 \mu\text{m}$ でありバラクタ電圧は $I_p - I_n$ に対し線形に与えている。補償なしの場合(w/o comp.)、バラクタは一定の値をとり入力容量は $I_p - I_n$ の値に応じて $98.3 \text{ fF} \sim 104.8 \text{ fF}$ で変動する。一方、補償ありの場合(w/ comp.)、バラクタは $I_p - I_n$ の値に応じて変化し入力容量の変動幅は $96.4 \text{ fF} \sim 99.3 \text{ fF}$ となる。初期状態($I_p - I_n = \pm 1$ 、入力容量値= 98.3 fF)に対する容量値の最大変化は、補償なしの場合の 6.5 fF に対し、補償ありの場合 1.9 fF まで改善されることを確認し、提案する手法にて 4.6 fF の入力容量変化の改善を確認した。求めた入力容量変化と(5-10)式を用いて、通過位相変動および通過振幅変動のコレクタ電流依存性計算結果を図 5-6 に示す。本計算では、図 5-5 と同様のバラクタ容量制御を適用している。また、 r_{π} は回路シミュレーションから求めた 540Ω を用いている。図 5-6 より、補償なしとありの場合で通過位相変動はそれぞれ 4.7° 、 1.4° 、通過振幅変動はそれぞれ 0.12 dB 、 0.01 dB となる。提案するバラクタによる位相補償を適用することでそれぞれ 3.3° 、 0.11 dB 改善されることを確認した。

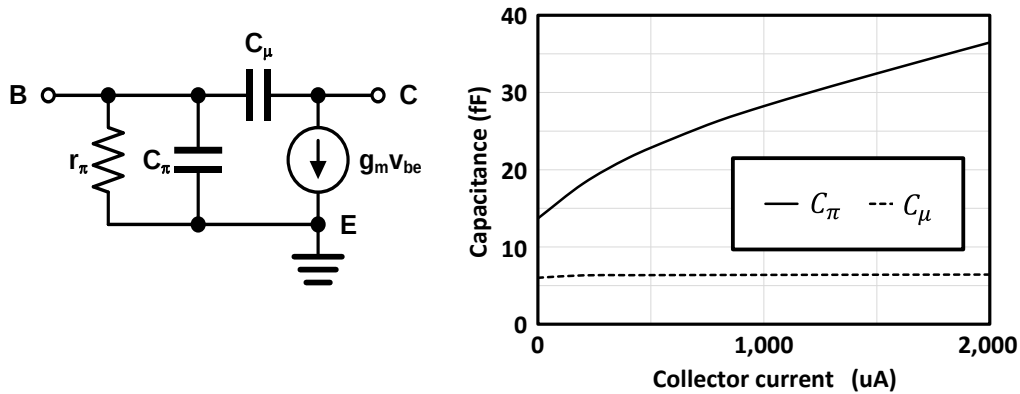


図 5-3 バイポーラトランジスタの等価回路図 (左)、トランジスタサイズ $0.12 \mu\text{m}/4 \mu\text{m}$ における寄生容量のコレクタ電流依存性 (右)

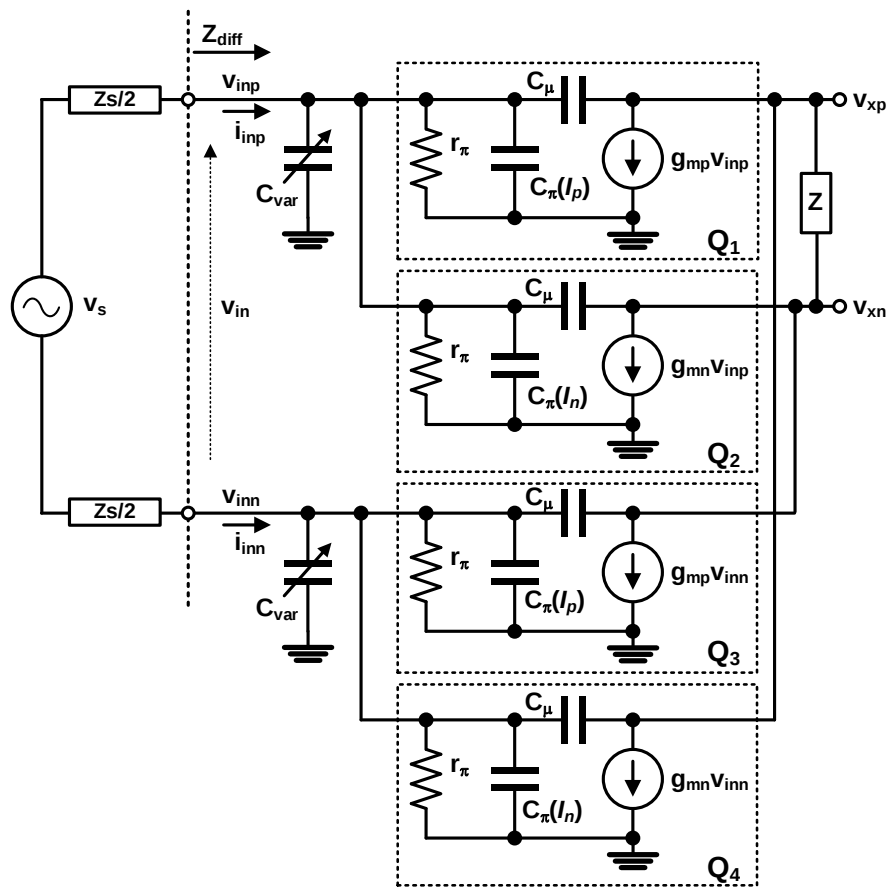


図 5-4 エミッタ接地 VGA の小信号等価回路

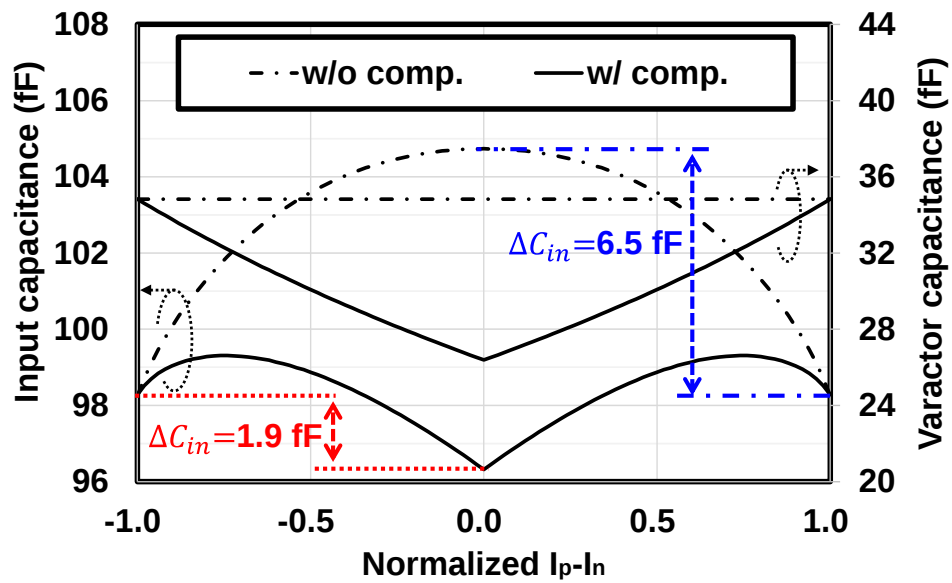


図 5-5 入力容量のコレクタ電流依存性 シミュレーション結果

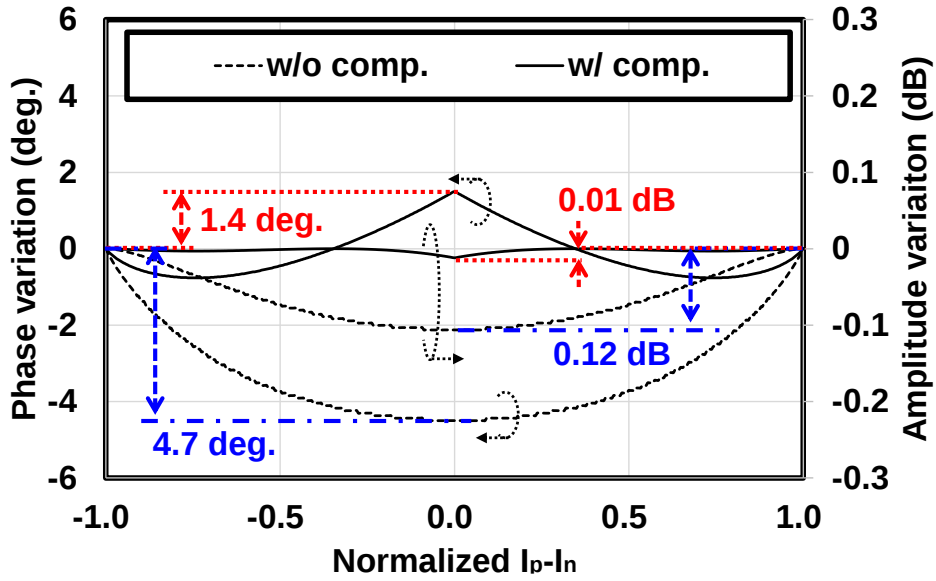


図 5-6 通過位相変動および通過振幅変動のコレクタ電流依存性計算結果

5.2.2.3. VGA の通過位相・振幅ばらつきによる VGPS の移相量・振幅誤差

5.2.2.2 で求めた入力容量変化による VGA の通過位相変動と通過振幅変動による VGPS の移相量誤差 $\varphi_{err,i}$ 、振幅誤差 $A_{err,i}$ は以下のように表される。

$$\begin{cases} \varphi_{err,i} = \tan^{-1} \left(\frac{Y_i}{X_i} \right) - \varphi_{ideal,i} \\ A_{err,i} = \frac{\sqrt{X_i^2 + Y_i^2}}{A_{ideal,i}} \end{cases}, \quad (5-12a)$$

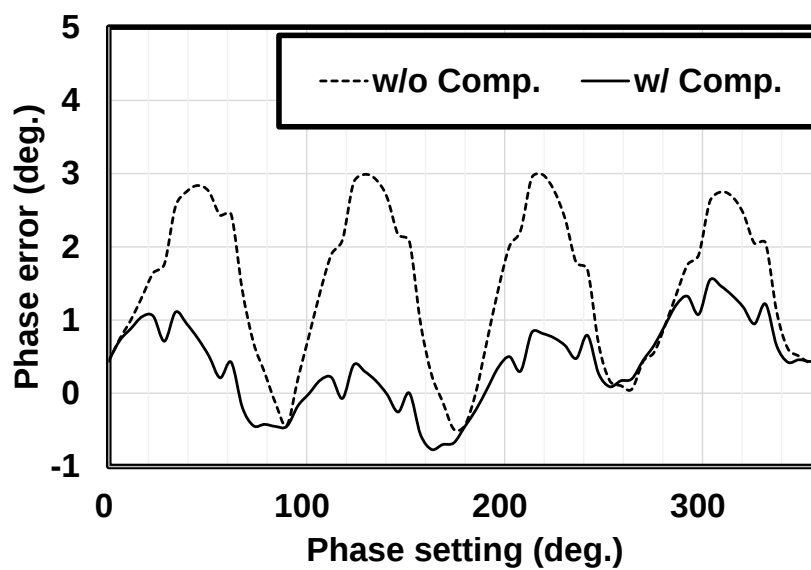
$$\begin{cases} Y_i = (\cos \varphi_{ideal,i} + \Delta G_{I,i}) \sin \Delta \varphi_{I,i} + (\sin \varphi_{ideal,i} + \Delta G_{Q,i}) \cos \Delta \varphi_{Q,i} \\ X_i = (\cos \varphi_{ideal,i} + \Delta G_{I,i}) \cos \Delta \varphi_{I,i} - (\sin \varphi_{ideal,i} + \Delta G_{Q,i}) \sin \Delta \varphi_{Q,i} \end{cases}. \quad (5-12b)$$

ここで、 $\varphi_{ideal,i}$ 、 $A_{ideal,i}$ は理想の移相量、振幅量となる。(5-12)式を用いて VGPS の移相量誤差、振幅誤差を計算することが可能となる。VGPS の移相量誤差と振幅誤差の計算結果を図 5-7 に示す。本計算では 6-bit の理想の利得設定(I-VGA には $\sin \theta$ 、Q-VGA には $\cos \theta$)を I/Q-VGA の IREFP/IREFN に与えており、本結果には量子化誤差が含まれている。バラクタによる位相補償を適用することで、最大振幅誤差は 0.51 dB から 0.38 dB に、最大移相量誤差は 2.99° から 1.55° に改善することを確認し、それぞれ 0.13 dB、1.44° 改善することを確認した。VGPS の移相量誤差 $\varphi_{err,i}$ 、振幅誤差 $A_{err,i}$ から以下の式を用いて RMS 移相量誤差 φ_{rms} と RMS 振幅誤差 A_{rms} を求めることが可能となる。

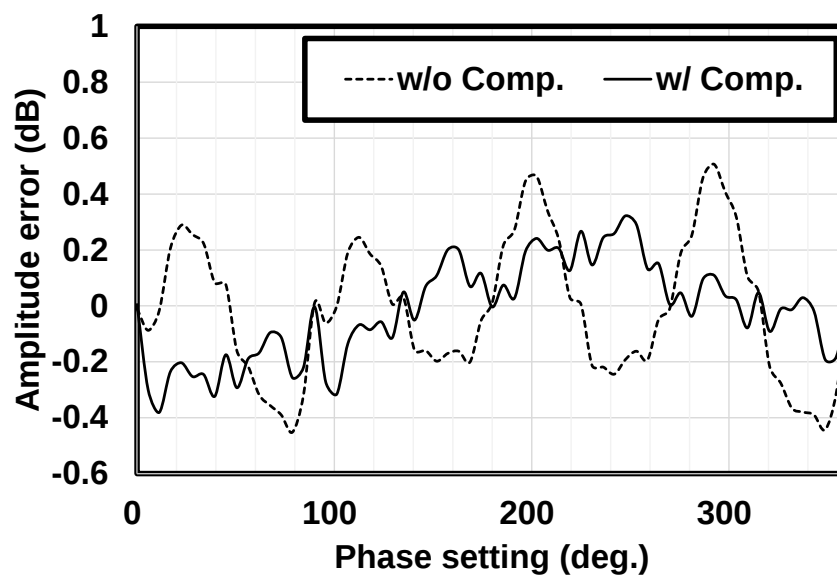
$$\begin{cases} \varphi_{rms} = \sqrt{\frac{\sum_{i=1}^{2^m} \varphi_{err,i}^2}{2^m}} \\ A_{rms} = \sqrt{\frac{\sum_{i=1}^{2^m} A_{err,i}^2}{2^m}} \end{cases} \quad (5-13)$$

(5-10)式、(5-12)式、(5-13)式を用いて計算した、入力容量変動 ΔC_{in} に伴う RMS 振幅誤差、RMS 移相量誤差の計算結果を図 5-8 に示す。補償なしの時の入力容量変動 $\Delta C_{in}=6.5$ fF となり、RMS 振幅誤差 0.25 dB、RMS 移相量誤差 1.10° となる。一方、補償ありの場合の入力容量変動 $\Delta C_{in}=1.9$ fF となり、RMS 振幅誤差 0.15 dB、RMS 移相量誤差 0.60° となる。提案手法により、RMS 振幅誤差、RMS 移相量誤差はそれぞれ 0.15 dB、 0.60° 改善できる。なお、図 5-8 において入力容量変動 ΔC_{in} が 0 の場合に、RMS 振幅誤差、RMS 移相量誤差が 0 となっていない要因は、I/Q VGA の設定値を 6-bit としたことに起因する量子化誤差によるものである。

上記議論より、I/Q-VGA の入力端子のバラクタ電圧を I/Q-VGA 振幅制御値に対して線形に制御する位相補償を適用することで、I/Q-VGA の通過位相変動を低減できることを示した。これにより、提案する方式によって、VGPS の低移相量誤差と低振幅誤差を実現できることを示した。



(a)



(b)

図 5-7 VGPS の(a)移相量誤差と(b)振幅誤差の計算結果

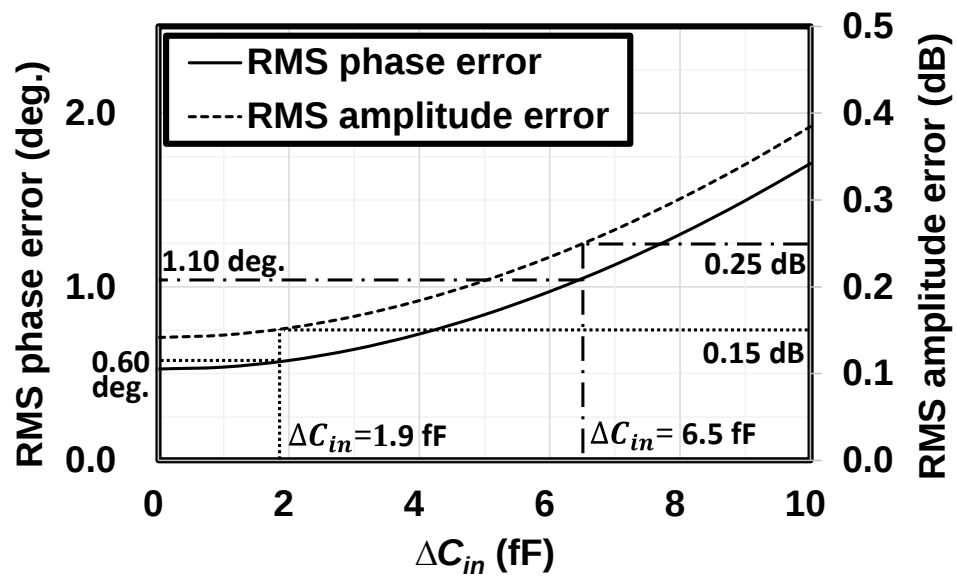


図 5-8 入力容量変動に伴う RMS 振幅誤差、RMS 移相量誤差 計算結果

5.3. 試作結果

5.3.1. 試作回路

図 5-2 に示した VGPS の試作を行った。表 5-1 に、VGA と VGPS のデバイスパラメータを示す。図 5-9 に I/Q 生成器の回路構成を示す。I/Q 生成器は 2 段の RC PPF を用いた。抵抗 R は $50\ \Omega$ 、静電容量 C は $106\ \text{fF}$ であり、 $30\ \text{GHz}$ が中心周波数である。図 5-10 に DAC の回路構成を示す。

図 5-10(a) に振幅制御用 9 ビット DAC の回路構成を示す。バイナリ型の NMOS カレントミラー、NPN トランジスタ Q_9 および Q_{10} 、および抵抗 R_p で構成される。 CNT_P と CNT_N の差である V_c は約 $\pm 0.2\ \text{V}$ である。(5-1)式より、振幅制御 DAC のビット数は 9 ($> 0.4\ \text{V} / \Delta V_c : 1.5\ \text{mV} = 266$) とした。これにより、可変範囲 V_c 内で $0.5\ \text{dB}$ ステップの振幅分解能が実現可能となる。NMOS のゲート長 L /ゲート幅 W は $3\ \mu\text{m} / 2.4\ \mu\text{m}$ である。

図 5-10(b) に位相制御用 7 ビット DAC の回路構成を示す。DAC は、バイナリ型の PMOS カレントミラーで構成され、PMOS の L/W は $2\ \mu\text{m} / 2\ \mu\text{m}$ である。この DAC は、VGA 振幅分解能と、量子化誤差による VGPS の RMS 移相量誤差、および振幅誤差を決定する。6 ビットの量子化誤差を考慮したうえで 0.37° 以下の RMS 移相量誤差と $0.03\ \text{dB}$ 以下の RMS 振幅誤差を実現するため、DAC のビット数は少なくとも 6 ビットである必要がある。極性反転用の 1 ビットを追加し、DAC ビットの合計は 7 ビットとした。

位相補償用 10 ビット DAC の回路構成を図 5-10(c) に示す。位相補償 DAC は、容量によって設定される量子化誤差の影響を回避するため、位相制御 DAC と同様の分解能を必要とする。5.2.2.2 節で示したバラクタでは、 $27 \sim 34.5\ \text{fF}$ が $0\ \text{V} \sim 0.5\ \text{V}$ の制御電圧範囲に対応する。よって、必要な電圧分解能は $3.9\ \text{mV} (= 0.5\ \text{V} / 2^{7\text{bit}})$ となる。電源電圧 ($2.5\ \text{V}$) 分割型 DAC のため、分解能は 10 ビット ($> 2.5\ \text{V} / 3.9\ \text{mV} = 640$) となる。DAC は、Rail-to-Rail 出力に対応可能な R-2R ラダー抵抗で構成し R は $10\ \text{k}\Omega$ とした。

図 5-11 に $130\ \text{nm}$ SiGe BiCMOS プロセスを用いて試作した IC のチップ写真を示す。チップサイズは $1150\ \mu\text{m} \times 1600\ \mu\text{m}$ であり、回路のアクティブエリアは $0.31\ \text{mm}^2$ である。

表 5-1 VGA と VGPS のデバイスパラメータ

Parameter	Value
Q1-Q4	0.12 μm / 4 μm
Q5-Q8	0.12 μm / 12 μm
I_{total}	2 mA
L	512 pH
C_{var}	27-34 fF (Anode length: 1 μm , anode width: 15 μm)

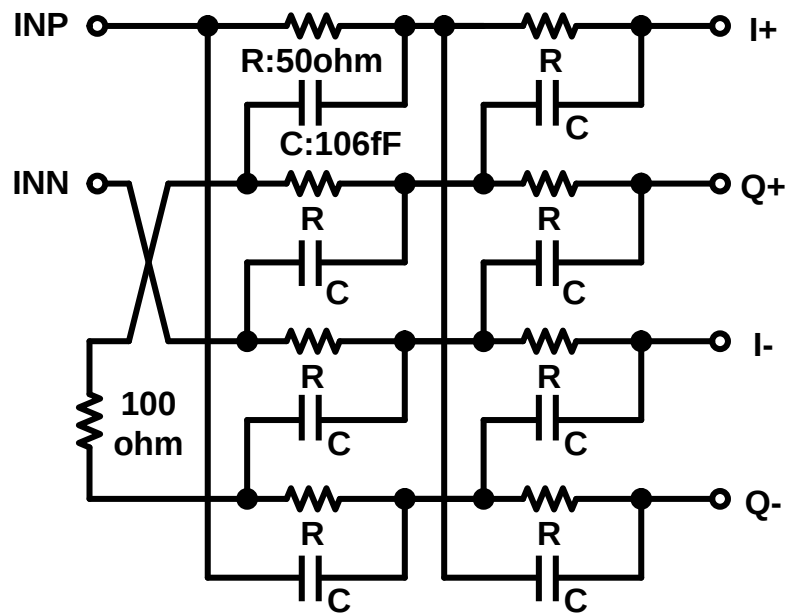
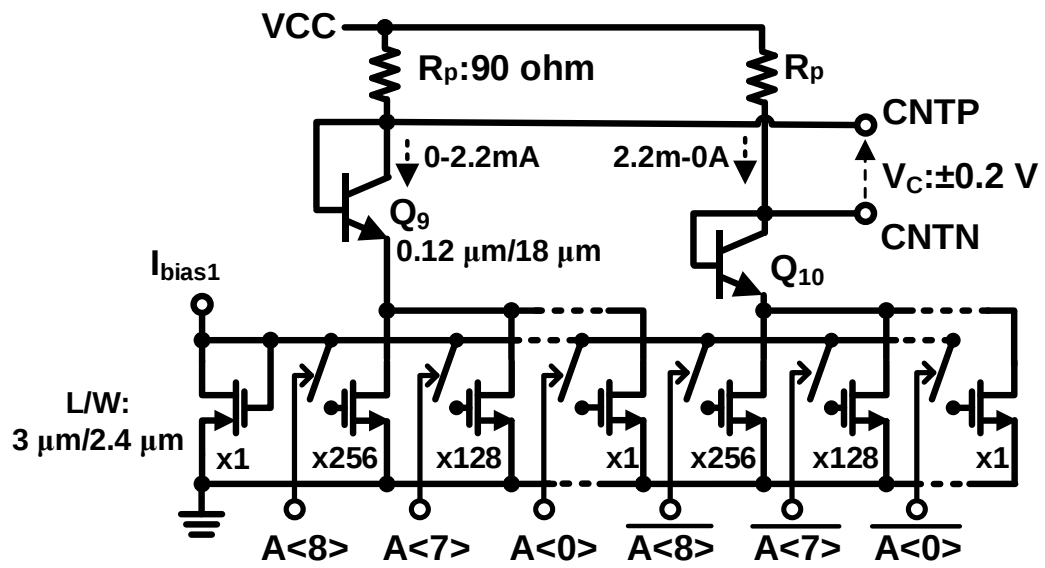
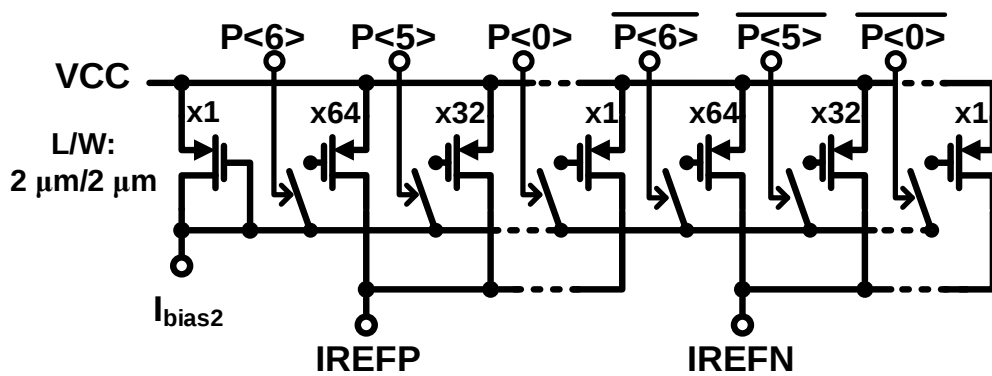


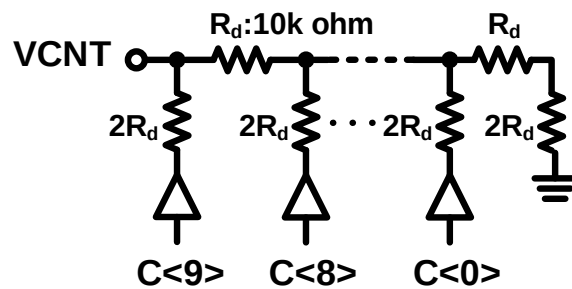
図 5-9 I/Q 生成器の回路構成



(a)



(b)



(c)

図 5-10 DAC の回路構成: (a) 振幅制御用 9 ビット DAC、(b) 位相制御用 7 ビット DAC、(c) 位相補償用 10 ビット DAC

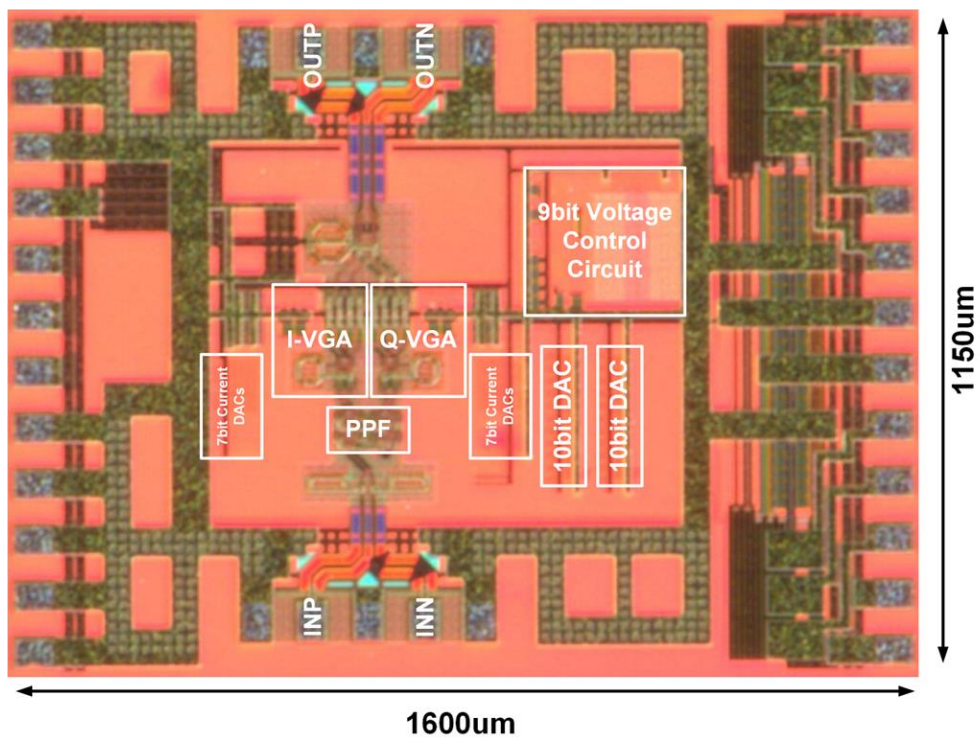


図 5-11 試作した IC のチップ写真

5.3.2. 測定結果

図 5-12 に測定系を示す。GSGSG プローブを設置したプローバーステーションと、4 ポート VNA (Keysight N5247A)を用いて測定を実施した。位相制御用 7 ビット DAC に対し、理想の振幅制御コード(I-VGA に $\sin \theta$ 、Q-VGA に $\cos \theta$)を PC から与え測定を行った。バラクタ電圧は、図 5-5 と同様に $I_p - I_n$ の差分に対して線形となるように制御をしたもの(提案手法)と、一定となるように制御したもの(提案手法を用いない場合)の比較を行った。電源電圧は 2.5V、電流は 11.0 mA であり、消費電力は 27.5 mW である。

図 5-13 に最大利得($A<8:0>=0$)における 0~360°範囲で、5.625°ステップ(6-bit)で移相量を変化させたときの通過利得と通過位相測定結果を示す。所望の移相機能が得られ、平均通過利得は-1.3 dB である事を確認した。図 5-14 に 30 GHz での最大利得設定における 0~360°範囲で、5.625°ステップで移相量を変化させたときの振幅誤差、移相量誤差測定結果を示す。提案手法ありの場合となしの場合における最大振幅誤差の測定値は、それぞれ 0.40 dB、0.48 dB であり、シミュレーション値のそれぞれ 0.31 dB、0.40 dB に対し概ね一致することを確認した。また、最大移相量誤差の測定値はそれぞれ 1.95°、4.62°であり、シミュレーション値はそれぞれ 1.73°、4.57°と概ね一致することを確認した。さらに、これらの結果は 5.2 節で論じた計算値(提案手法：0.38 dB/1.55°、提案手法を用いない場合：0.51 dB/2.99°)と概ね一致することを確認した。

図 5-15 に最大利得における RMS 振幅誤差と RMS 移相量誤差の測定結果とシミュレーション結果の比較を示す。提案手法ありの場合の RMS 振幅誤差、RMS 移相量誤差の測定値は 30 GHz においてそれぞれ 0.16 dB、0.56°であったのに対し、提案手法なしの場合の RMS 振幅誤差、RMS 移相量誤差の測定値は 30 GHz においてそれぞれ 0.22 dB、1.32°であった。提案手法により、それぞれ 0.06 dB、0.76°の改善を確認した。これらの結果は、5.2 節で論じた計算値(提案手法：0.15 dB/0.60°、提案手法を用いない場合：0.25 dB/1.10°)と概ね一致することを確認した。28-32 GHz における RMS 振幅誤差、RMS 移相量誤差の最大値は 0.19 dB、0.71°である。

図 5-16 に可変利得特性測定結果を示す。図 5-16(a)は通過利得であり、図 5-16(b)は 30 GHz における制御コード $A<8:0>$ に対する減衰量である。利得の可変範囲は 40 dB 以上、分解能は 27 dB まで 0.5 dB で制御可能なことを確認した。

図 5-17 に 23 dB 減衰設定($A<8:0>=365$)における 0~360°範囲で、5.625°ステップで移相量を変化させたときの測定結果を示す。図 5-17 (a)は通過利得、図 5-17(b)は通過位相を示し、所望の移相機能と 30 GHz において-24.3 dB の通過利得が得られることを確認した。図 5-18(a)に 23 dB 減衰設定における 0~360°範囲で、5.625°ステップで移相量を変化させたとき RMS 振幅誤差、RMS 移相量誤差を示す。RMS 振幅誤差、RMS 移相量誤差の測定値は 30 GHz においてそれぞれ 0.12 dB と 0.65°であった。また、28-32 GHz 範囲において、RMS 振幅誤差、RMS 移相量誤差が 0.19 dB、0.75°以下である。

図 5-19(a)、(b)に、30 GHz における可変利得器の減衰量に対する RMS 振幅誤差、RMS

移相量誤差をそれぞれ示す。RMS 振幅誤差、RMS 移相量誤差は 23 dB の可変利得範囲においてそれぞれ 0.16 dB、0.65° 以下である事を確認した。表 5-2 に VGPS の測定結果まとめと他文献との比較を示す。本結果は VGPS において最も低い RMS 移相量誤差を実現しており高精度な可変利得移相器を実証した。また、校正機能を有する VSPS(PS with on/off chip calibration) に対しても小さい面積と低い消費電力で同等の低移相量誤差を実現できることを確認し、本回路構成と設計法の有用性を示した。

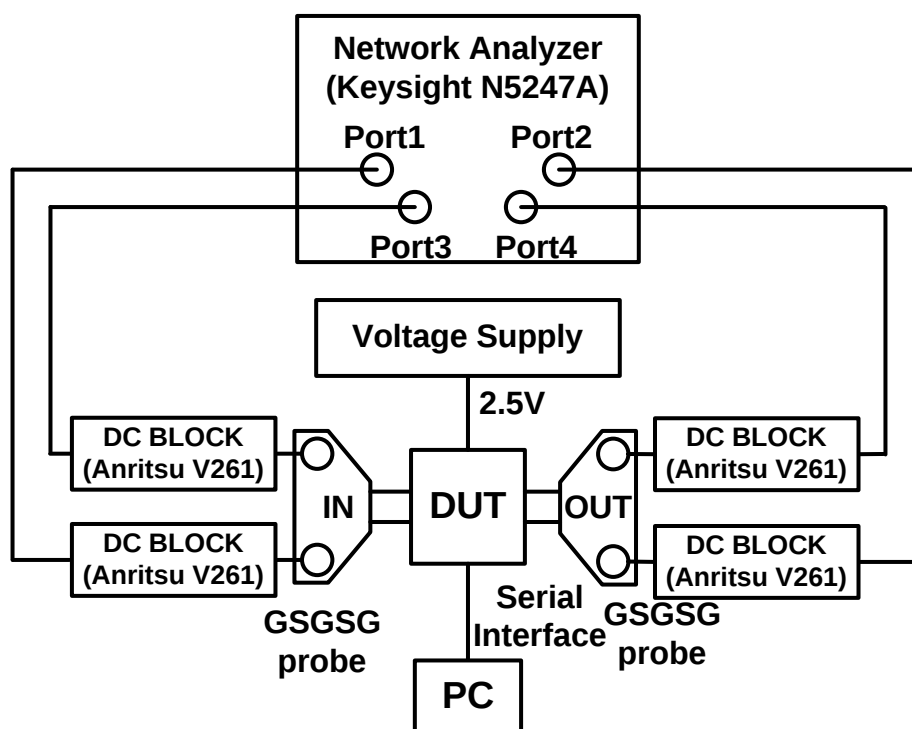
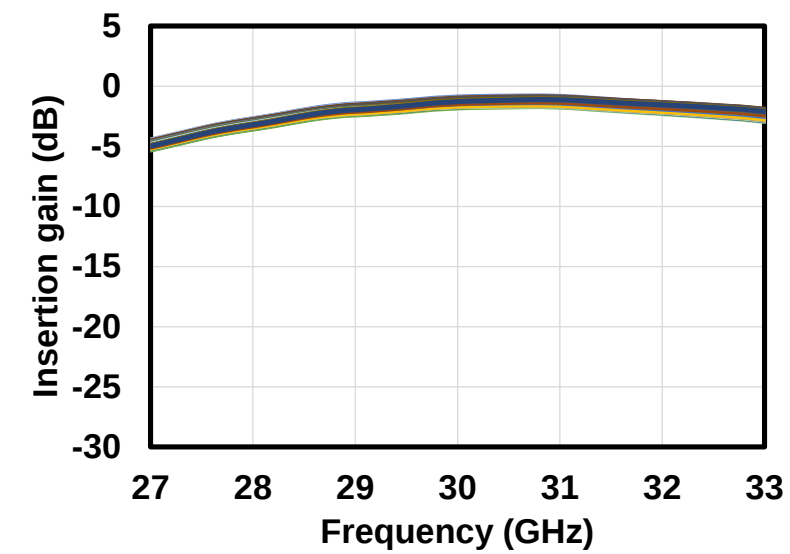
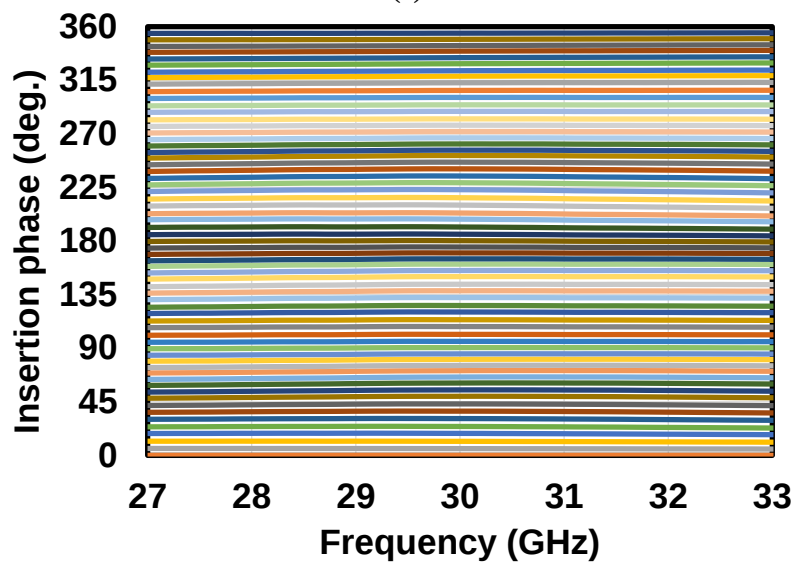


図 5-12 測定系

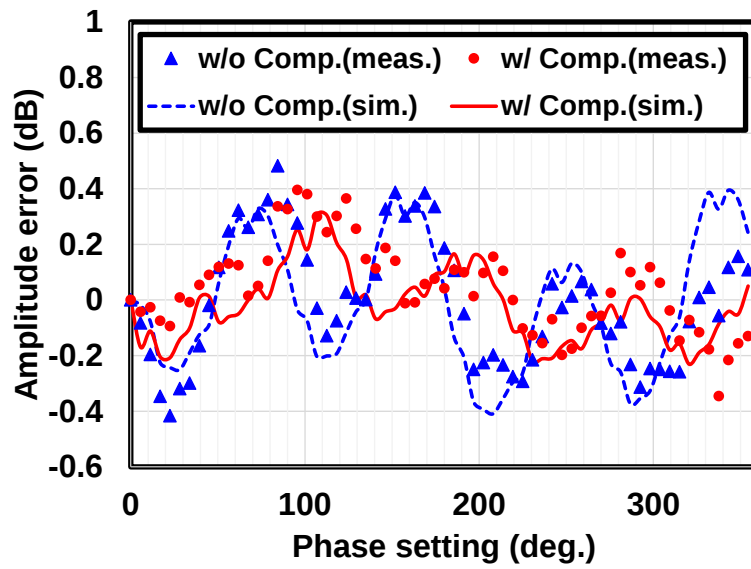


(a)

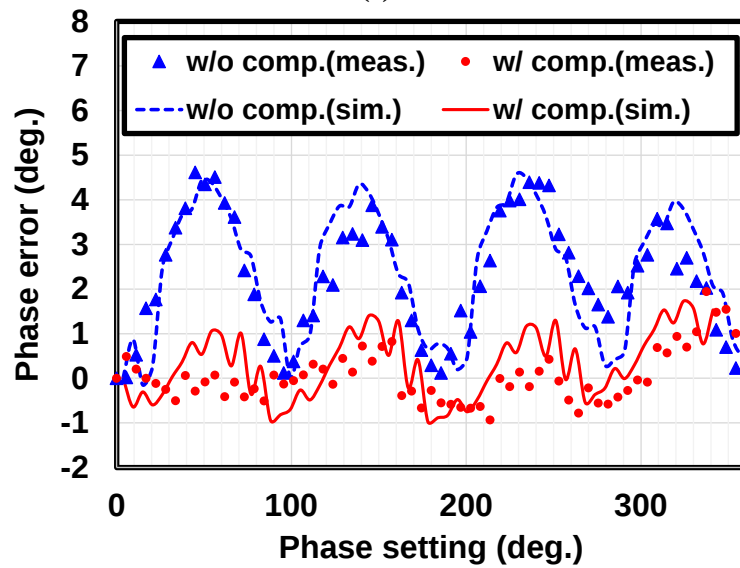


(b)

図 5-13 最大利得における 0~360°範囲で、5.625°ステップで移相量を変化させたときの測定結果 (a) 通過利得、(b) 通過位相

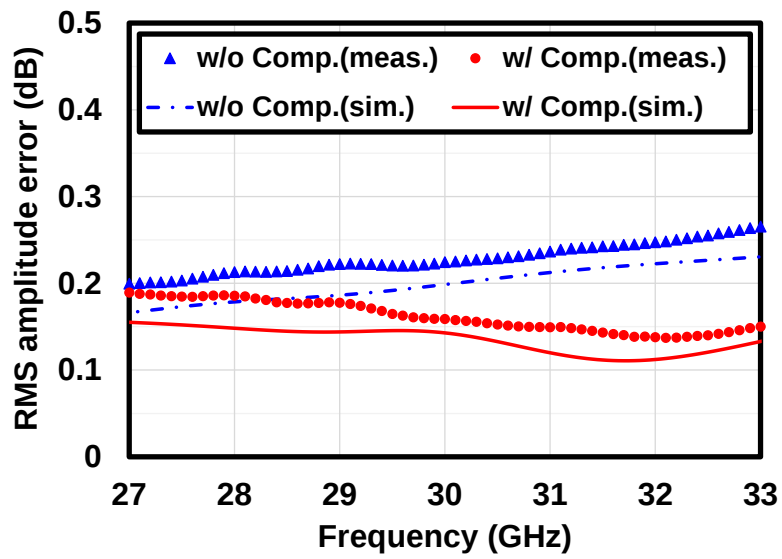


(a)

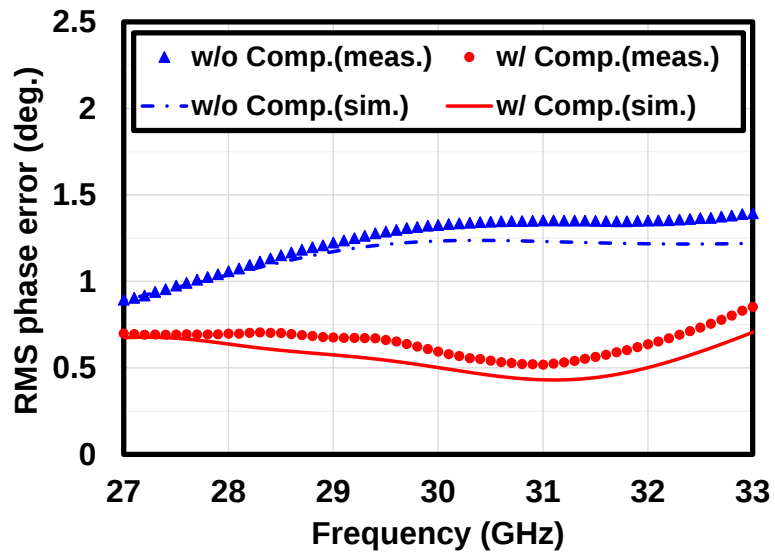


(b)

図 5-14 30GHz での最大利得設定における 0~360°範囲で、5.625°ステップで移相量を変化せたときの測定結果 (a) 振幅誤差、(b) 移相量誤差

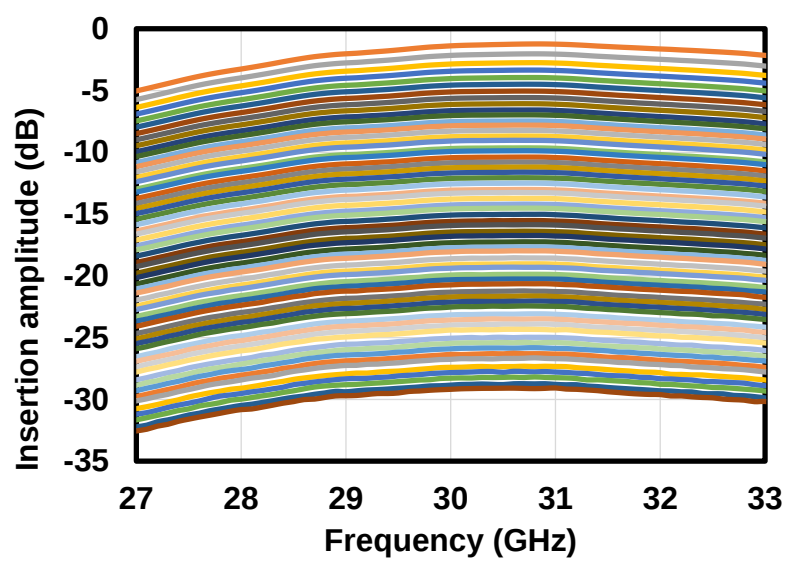


(a)

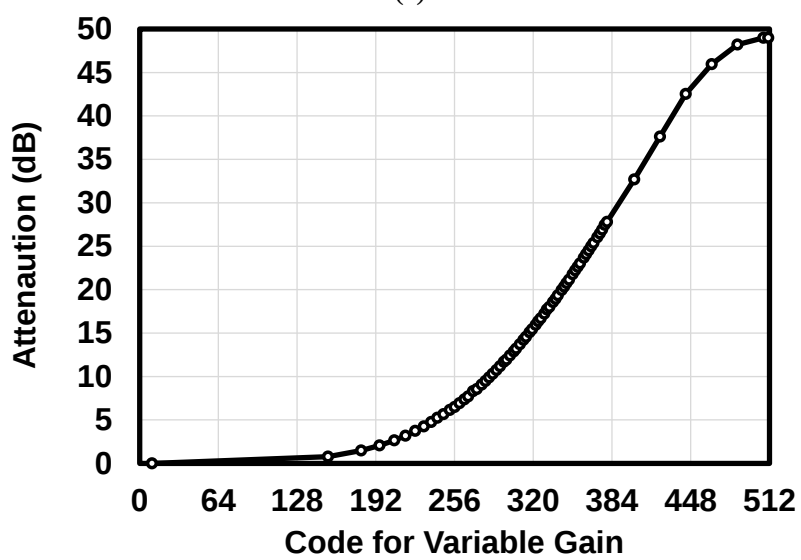


(b)

図 5-15 最大利得における RMS 振幅誤差と RMS 移相量誤差の測定結果とシミュレーション結果の比較 (a) RMS 振幅誤差、(b) RMS 移相量誤差

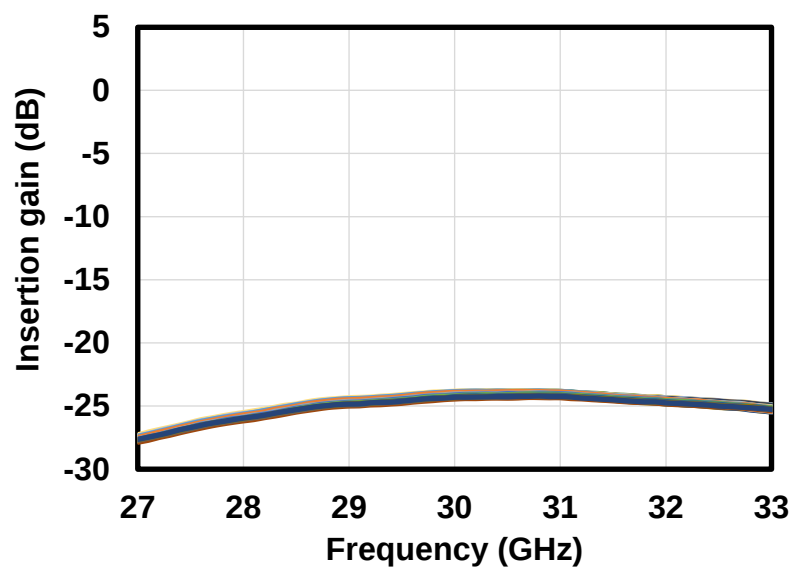


(a)

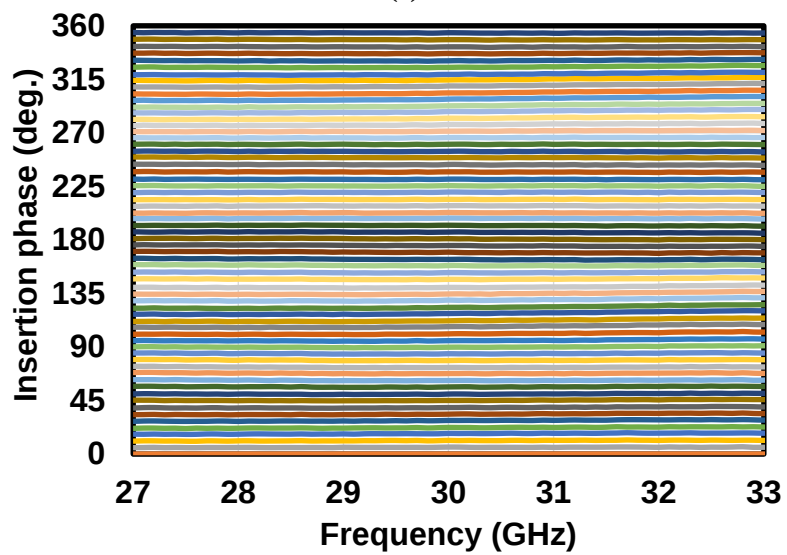


(b)

図 5-16 可変利得特性測定結果 (a) 通過利得、(b) 30GHz における制御コードに対する減衰量

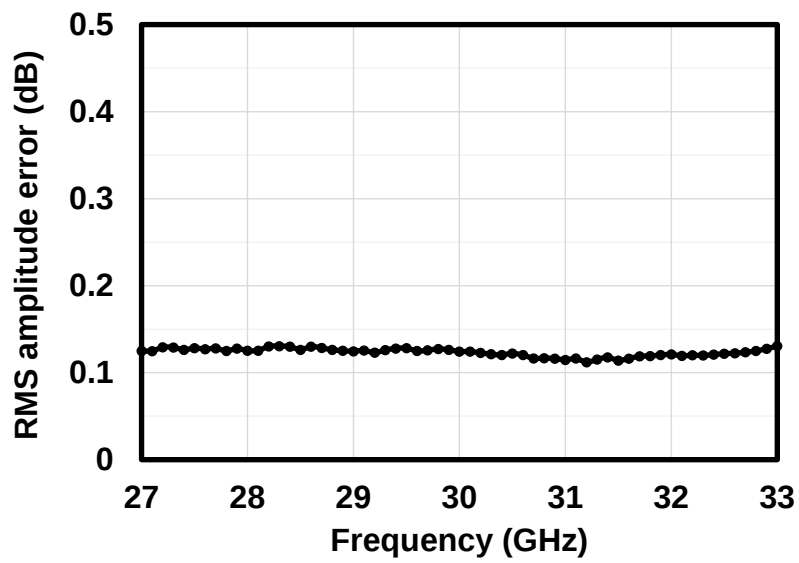


(a)

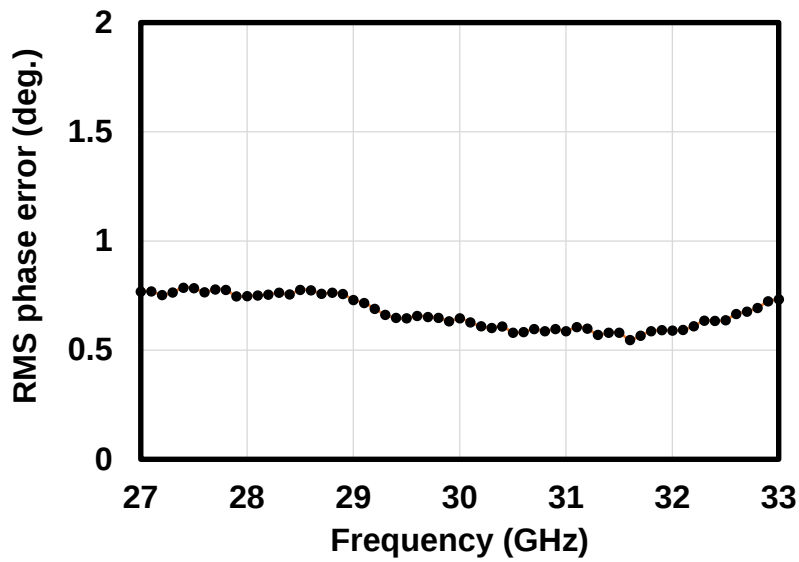


(b)

図 5-17 23dB 減衰設定における 0~360°範囲で、5.625°ステップで移相量を変化させたときの測定結果 (a) 通過利得、(b) 通過位相

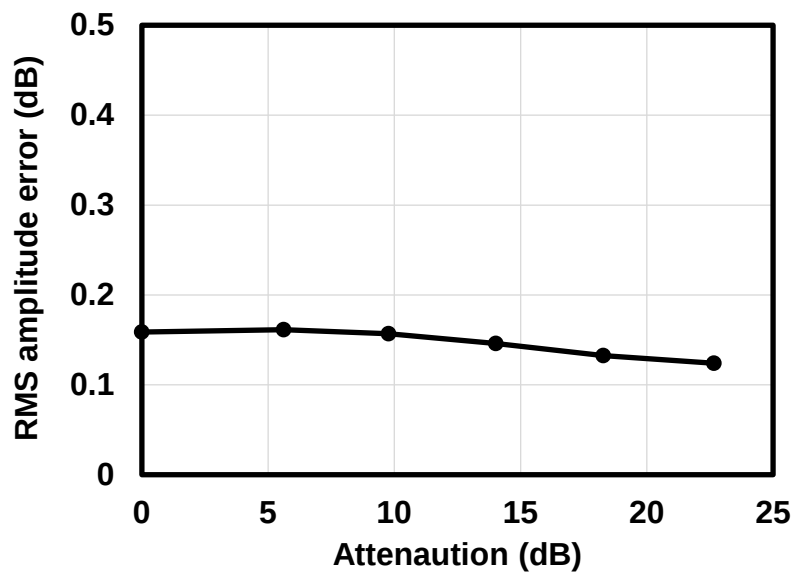


(a)

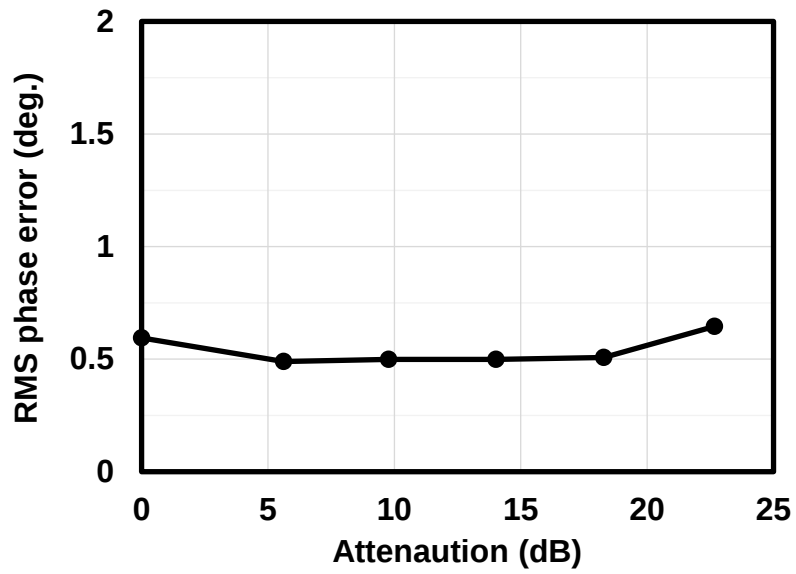


(b)

図 5-18 23dB 減衰設定における 0~360°範囲で、5.625°ステップで移相量を変化させたときの測定結果 (a) RMS 振幅誤差、(b) RMS 移相量誤差



(a)



(b)

図 5-19 30GHz における可変利得器の減衰量に対する測定結果 (a) RMS 振幅誤差、
(b) RMS 移相量誤差

表 5-2 VGPS の測定結果まとめと他文献との比較

	半導体 プロセス	周波数 (GHz)	構成	可変利得機能		移相機能				通過利得 (dB)	消費電力 (mW)	チップ サイズ (mm2)
				可変範囲 (dB)	分解能 (dB)	分解能 (dB)	RMS移相量誤差 (deg.)	RMS振幅誤差 (dB)	振幅変動 (dB)			
This work	130nm SiGeBiCMOS	28-32	VGPS	23	0.5	6bit	0.75	0.19	0.8	-3.2	27.5	0.31
[5.25]	65nm CMOS	26-30	VGPS	16	0.5	6bit	1.5	0.25	-	14.8*	44*	0.09**
[5.13]	65nm CMOS	21-30	VGA&PS	24	0.75	0.8 degrees	0.88	0.16	0.5	12.2	12	0.34
[5.3]	130nm SiGeBiCMOS	26-28	PS	-	-	8bit/5bit	0.2/4	0.2	-	-0.5	23	0.45
[5.4]	90nm SiGeBiCMOS	20.5-26.5	PS	-	-	6bit	2	-	1.5	-1	10	0.12
[5.5]	180nm CMOS	18.1-19.9	PS	-	-	4bit	2.5	0.7	4.52	-2.75	10	0.670375
[5.6]	65nm CMOS	32-40	PS	-	-	7bit	1.6	0.38	1.2	-17.5	0	0.14
[5.7]	130nm SiGeBiCMOS	26.5-29.5	PS	-	-	4bit	3.5/4.2	0.7/1.0	-	-4.4/2.3	27.5/42.5	0.71/1.15
[5.8]	65nm CMOS	19-23	PS	-	-	6bit	2.3	0.38	1.73	-14	0	0.64
[5.9]	65nm CMOS	52-64	VGPS	14.8	-	6bit	3.3	0.5	-	-5.8	18	0.4032
[5.22]	65nm CMOS	30-32.5	VGPS	17.3	-	5bit	2.6	0.4	-	-2.8	18	0.21
[5.23]	65nm CMOS	20.8-25	VGPS	17.8	0.57	7bit	1.17	0.13	-	-3.5	6.6	0.134
[5.24]	65nm CMOS	79	VGPS	21.6	3	5bit	6.7	1.89	-	-11.4	24.7	0.14
[5.30]	250nm SiBiCMOS	8-12	PS with on/off chip Calibration	-	-	7bit	2	1.6	-	-8.6	110	2.6
[5.31]	65nm CMOS	14.5-15	PS with on/off chip Calibration	-	-	6bit	1.4	0.7	2.2	-9.7	67.1	0.72**
[5.32]	28nm CMOS	22-44	PS with on/off chip Calibration	-	-	7bit	0.92	0.36	2.73	-3.1	35	0.74

*including additional amplifiers, ** estimation from chip photograph

5.4. むすび

本章では、AESA の低サイドローブ化のため、マイクロ波の振幅制御を小型に実装する技術開発として、移相機能と可変利得機能を同一回路で実装する可変利得移相器に着目し、低移相量誤差を保ちつつ可変利得機能と移相機能を同一回路で実現する小型な移相・可変利得技術として、バラクタによる位相補償を適用した可変利得移相器について述べた。I/Q VGA の入力容量がコレクタ電流によって変化することに起因する通過位相変化に対し、入力端子にバラクタを装荷し入力容量を一定に維持する位相補償を適用することにより、I/Q VGA の通過位相変化を低減し、VGPS として低い移相量誤差と振幅誤差を実現する。

提案する位相補償を装荷した Ka 帯 VGPS を、130 nm SiGe BiCMOS プロセスを用いて試作し、補償技術を使用しない場合と比較して RMS 振幅誤差と RMS 移相量誤差が 0.06 dB、および 0.76° 改善されたことを確認した。VGPS は、28～32 GHz の周波数範囲、23 dB の利得制御範囲で、それぞれ 0.19 dB 未満と 0.75° 未満の RMS 振幅誤差と RMS 移相量誤差を達成し、既存 VGPS において最も低い移相量誤差の実証を確認した。校正機能を有する VSPS に対しても小さい面積と低い消費電力で同等の低移相量誤差を実現できることを確認し、本回路構成と設計法の有効性を確認した。本結果は、提案するバラクタによる位相補償を適用した可変利得移相器が、振幅制御の小型な実装、また、AESA の低サイドローブ化に対し有用であることを示すものである。

5.5. 参考文献

- [5.1] B. Sadhu, *et al.*, "7.2 A 28GHz 32-element phased-array transceiver IC with concurrent Dual polarized beams and 1.4° beam-steering resolution for 5G communication," 2017 IEEE International Solid-State Circuits Conference (ISSCC), pp. 128-129, 2017, doi: 10.1109/ISSCC.2017.7870294
- [5.2] J. D. Dunworth *et al.*, "A 28GHz bulk-CMOS Dual-polarization phased-array transceiver with 24 channels for 5G user and basestation equipment," 2018 IEEE International Solid-State Circuits Conference (ISSCC), pp. 70-72, 2018 doi: 10.1109/ISSCC.2018.8310188.
- [5.3] I. Kalyoncua. Burak, M. Kaynak, and Y. Gurbuz, "A 26-GHz vector modulator in 130-nm SiGe BiCMOS achieving monotonic 10-b phase resolution without calibration," 2019 IEEE Radio Frequency Integrated Circuits Symposium (RFIC), pp. 75-78, 2019, doi: 10.1109/RFIC.2019.8701733.
- [5.4] J. S. Park and H. Wang, "A K-band 5-bit digital linear phase rotator with folded transformer based ultra-compact Quadrature generation," 2014 IEEE Radio Frequency Integrated Circuits Symposium, pp. 75-78, 2014, doi: 10.1109/RFIC.2014.6851662.
- [5.5] Y. -T. Chang, W. -Y. Wang, and H. -C. Lu, "A 19 GHz vector-sum phase shifter using active current-mode coupler and bi-phase modulator for satellite communication," 2020 IEEE Asia-Pacific Microwave Conference (APMC), pp. 988-990, 2020, doi: 10.1109/APMC47863.2020.9331435.
- [5.6] A. Hirai, T. Fujiwara, M. Tsuru, K. Mori, and M. Shimozawa, "Vector-sum phase shifter using a tunable active gm-C polyphase filter," IEEE Trans. Microw. Theory Techn., vol. 68, no. 10, pp. 4091-4102, 2020, doi: 10.1109/TMTT.2020.2991738.
- [5.7] Y. Li *et al.*, "A 32-40 GHz 7-bit CMOS phase shifter with 0.38dB/1.6° RMS magnitude/phase errors for phased array systems," 2020 IEEE Radio Frequency Integrated Circuits Symposium (RFIC), pp. 319-322, 2020, doi: 10.1109/RFIC49505.2020.9218318.
- [5.8] A. Franzese, M. H. Eissa, D. Kissinger, and A. Malignaggi, "Vector modulator phase shifters in 130-nm SiGe BiCMOS technology for 5G applications," 2021 IEEE Radio and Wireless Symposium (RWS), pp. 64-66, 2021, doi: 10.1109/RWS50353.2021.9360395.
- [5.9] W. Gao and D. Zhao, "K-band 360°passive vector modulator phase shifter with coupled line Quadrature coupler and passive transistor array," 2021 IEEE MTT-S International Wireless Symposium (IWS), pp. 1-3, 2021, doi:

10.1109/IWS52775.2021.9499549.

- [5.10] C. -N. Chen et al., "38-GHz phased array transmitter and receiver based on scalable phased array modules with endfire antenna arrays for 5G MMW data links," *IEEE Trans. Microw. Theory Techn.*, vol. 69, no. 1, pp. 980-999, 2021, doi: 10.1109/TMTT.2020.3035091.K
- [5.11] K. Tang, *et al.*, "A 4TX/4RX pulsed chirping phased-array radar transceiver in 65-nm CMOS for X-band synthetic aperture radar application," *IEEE J. Solid-State Circuits*, vol. 55, no. 11, pp. 2970-2983, 2020, doi: 10.1109/JSSC.2020.3005809.
- [5.12] K. Kibaroglu, M. Sayginer, and G. M. Rebeiz, "A low-cost scalable 32-element 28-GHz phased array transceiver for 5G communication links based on a 2×2 beamformer flip-chip unit cell," *IEEE J. Solid-State Circuits*, vol. 53, no. 5, pp. 1260-1274, 2018, doi: 10.1109/JSSC.2018.2791481.
- [5.13] W. Zhu, *et al.*, "A 21 to 30-GHz merged digital-controlled high resolution phase shifter-programmable gain amplifier with orthogonal phase and gain control for 5-G phase array application," 2019 IEEE Radio Frequency Integrated Circuits Symposium (RFIC), pp. 67-70, 2019 doi: 10.1109/RFIC.2019.8701785.
- [5.14] B. Yang, Z. Yu, R. Zhang, J. Zhou and W. Hong, "Local oscillator phase shifting and harmonic mixing-based high-precision phased array for 5G millimeter-wave communications," *IEEE Trans. Microw. Theory Techn.*, vol. 67, no. 7, pp. 3162-3173, 2019, doi: 10.1109/TMTT.2019.2899598.
- [5.15] Y. Wang et al., "A 39-GHz 64-element phased-array transceiver with built-in phase and amplitude calibrations for large-array 5G NR in 65-nm CMOS," *IEEE J. Solid-State Circuits*, vol. 55, no. 5, pp. 1249-1269, 2020, doi: 10.1109/JSSC.2020.2980509.
- [5.16] W. Zhu et al., "A 24–28-GHz four-element phased-array transceiver front end with 21.1%/16.6% transmitter peak/OP1dB PAE and sub° phase resolution supporting 2.4 Gb/s in 256-QAM for 5-G communications," *IEEE Trans. Microw. Theory Techn.*, vol. 69, no. 6, pp. 2854-2869, 2021, doi: 10.1109/TMTT.2021.3071600.
- [5.17] X. Luo et al., "A scalable Ka-band 1024-element transmit Dual-circularly-polarized planar phased array for SATCOM application," *IEEE Access*, vol. 8, pp. 156084-156095, 2020, doi: 10.1109/ACCESS.2020.3019174
- [5.18] S. R. Boroujeni, *et al.*, "A high-efficiency 27–30-GHz 130-nm Bi-CMOS transmitter front end for SATCOM phased arrays," *IEEE Trans. Microw. Theory Techn.*, vol. 69, no. 11, pp. 4977-4985, 2021, doi: 10.1109/TMTT.2021.3103975.
- [5.19] G. Gültepe, T. Kanar, S. Zihir, and G. M. Rebeiz, "A 1024-element Ku-band SATCOM phased-array transmitter with 45-dBW single-polarization EIRP," *IEEE Trans. Microw. Theory Techn.*, vol. 69, no. 9, pp. 4157-4168, Sept. 2021, doi:

- 10.1109/TMTT.2021.3075678.
- [5.20] Q. Zhang, C. Zhao, Y. Yu, H. Liu, Y. Wu and K. Kang, "A Ka-band CMOS variable gain amplifier with high gain resolution and low phase variation," 2020 IEEE Asia-Pacific Microwave Conference (APMC), pp. 275-277, 2020, doi: 10.1109/APMC47863.2020.9331365.
 - [5.21] S. Lee, J. Park, and S. Hong, "A Ka-band phase-compensated variable-gain CMOS low-noise amplifier," IEEE Microw. Wirel. Compon. Lett., vol. 29, no. 2, pp. 131-133, 2019, doi: 10.1109/LMWC.2018.2887335.
 - [5.22] J. Park, G. Jeong, and S. Hong, "A Ka-band variable-gain phase shifter with multiple vector generators," IEEE Trans. Circuits Syst. II: Express Br., vol. 68, no. 6, pp. 1798-1802, 2021, doi: 10.1109/TCSII.2020.3046523.
 - [5.23] S. Wang, J. Park, and S. Hong, "A K-band variable-gain phase shifter based on Gilbert-cell vector synthesizer with RC-RL poly-phase filter," IEEE Microw. Wirel. Compon. Lett., vol. 31, no. 4, pp. 393-396, 2021, doi: 10.1109/LMWC.2021.3056881.
 - [5.24] J. Jang, B. Kim, C. -Y. Kim, and S. Hong, "79-GHz Digital Attenuator-Based Variable-Gain Vector-Sum Phase Shifter With High Linearity," in *IEEE Microw. Wirel. Compon. Lett.*, vol. 28, no. 8, pp. 693-695, 2018, doi: 10.1109/LMWC.2018.2702688.
 - [5.25] J. Park, S. Lee, D. Lee, and S. Hong, "9.8 A 28GHz 20.3%-transmitter-efficiency 1.5°-phase-error beamforming front-end IC with embedded switches and Dual-vector variable-gain phase shifters," 2019 IEEE International Solid-State Circuits Conference (ISSCC), pp. 176-178, 2019, doi: 10.1109/ISSCC.2019.8662512.
 - [5.26] D. Siao, J. Kao, and H. Wang, "A 60 GHz low phase variation variable gain amplifier in 65 nm CMOS," IEEE Microw. Wirel. Compon. Lett., vol. 24, no. 7, pp. 457-459, 2014, doi: 10.1109/LMWC.2014.2316253.
 - [5.27] W. Yamamoto *et al.*, "A 28GHz 4-channel transmit/receive RF core-chip with highly-accurate phase shifter for high SHF wide-band massive MIMO in 5G," 2018 Asia-Pacific Microwave Conference (APMC), pp. 753-755, 2018, doi: 10.23919/APMC.2018.8617329.
 - [5.28] Y. Kim and Y. Kwon, "A 60 GHz Cascode Variable-Gain Low-Noise Amplifier With Phase Compensation in a 0.13 um CMOS Technology," in *IEEE Microwave and Wireless Components Letters*, vol. 22, no. 7, pp. 372-374, July 2012, doi: 10.1109/LMWC.2012.2199975.
 - [5.29] K. -Y. Kao, D. -R. Lu, J. -C. Kao and K. -Y. Lin, "A 60 GHz variable-gain low-noise amplifier with low phase variation," 2016 IEEE International Symposium on Radio-

- Frequency Integration Technology (RFIT), Taipei, Taiwan, 2016, pp. 1-3, doi: 10.1109/RFIT.2016.7578185.
- [5.30] I. Kalyoncu, E. Ozeren, A. Burak, O. Ceylan and Y. Gurbuz, "A Phase-Calibration Method for Vector-Sum Phase Shifters Using a Self-Generated LUT," in IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 66, no. 4, pp. 1632-1642, April 2019, doi: 10.1109/TCSI.2018.2885172.
 - [5.31] T. Maruyama, K. Tsutsumi, E. Taniguchi and M. Shimozawa, "1.4 deg.-rms 6-bit vector-sum phase shifter calibrating I-Q generator error by VGA for high SHF wide-band massive MIMO in 5G," 2016 Asia-Pacific Microwave Conference (APMC), New Delhi, India, 2016, pp. 1-4, doi: 10.1109/APMC.2016.7931448.
 - [5.32] J. Zhou, H. J. Qian and X. Luo, "High-Resolution Wideband Vector-Sum Digital Phase Shifter With On-Chip Phase Linearity Enhancement Technology," in IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 68, no. 6, pp. 2457-2469, June 2021, doi: 10.1109/TCSI.2021.3063274.
 - [5.33] I. Kalyoncu, E. Ozeren, A. Burak, O. Ceylan and Y. Gurbuz, "A Phase-Calibration Method for Vector-Sum Phase Shifters Using a Self-Generated LUT," in IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 66, no. 4, pp. 1632-1642, April 2019, doi: 10.1109/TCSI.2018.2885172.

6章 結論

本論文は、高性能な AESA 用マイクロ波モジュールを実現するために必要なマイクロ波制御回路の高性能化を目的として、以下の要素技術について行った研究成果をまとめたものである。

- [1] 広帯域な移相技術
- [2] 高精度な位相検出技術
- [3] 高精度な可変利得移相技術

第 1 章では、AESA 用マイクロ波制御回路の高性能化の必要性について述べ、従来のマイクロ波制御回路の課題を示し、本研究の意義を明らかにした。

第 2 章では、マイクロ波の位相制御、振幅制御に関わるマイクロ波制御回路の原理を述べた。

第 3 章～第 5 章は、上記[1]～[3]の技術に対応し、実施した研究結果について述べた。第 3 章では、AESA の広帯域化をメインターゲットとして、[1]広帯域な移相技術の研究結果について述べた。広帯域に低移相量誤差を実現する移相器として、ベクトル合成型移相器 VSPS において一般的に用いられていた、抵抗と容量で構成される I/Q 生成器 RC-PPF の抵抗をトランジスタに置き換えた「 g_m -C ポリフェーズフィルタを用いた広帯域な移相器」を提案した。提案した回路において、従来の RC-PPF と等価な周波数特性が得られるとともに、RC-PPF では不可能であった正の通過振幅を実現する条件と、 ω_p 制御による I/Q バランスの周波数調整範囲を解析的に示し、広帯域に低移相量誤差な VSPS を実現するための設計法を明らかにした。設計手法に基づいた g_m -C PPF を実装した C 帯の VSPS を試作し、2.2～3.3 GHz において 1° 以下の低移相量誤差、また、22.6 mW という低い消費電力で 13.4 dB 以上の高利得が実現可能なことを実証し、設計手法の妥当性を確認した。提案した移相器は、他文献と比較し最も広帯域な低移相量誤差性能を実証し、本移相器の回路構成と設計法が広帯域な移相技術、また、AESA の広帯域化に対し有用であることを示した。

第 4 章では、AESA のビーム制御高精度化をメインターゲットとし、[2]高精度な位相検出技術の研究結果について述べた。高精度な位相検出技術として、「完全対称型ミキサとチューナブル LPF を用いた高精度な位相検出器」を提案した。完全対称型ミキサによる位相検出特性が 45° 移相器の利得によらないことを定式的に示し、チューナブル LPF を適用することで低位相検出誤差を実現できる回路構成と設計法を述べた。C-X 帯で動作する位相検出器を試作し、3.0 GHz～10.5 GHz の周波数範囲において位相検出誤差 2° 以下を実証した。提案する位相検出器は、 360° の位相検出範囲を有する既発表の位相検出器と比較し、最も広帯域かつ高精度な位相検出動作を実現し、本回路構成と設計法が AESA のマイクロ波モジュール

における位相検出技術の高精度化、また AESA のビーム制御高精度化に有効であることを示した。

第 5 章では、AESA の低サイドローブ化をメインターゲットとして、振幅制御を小型に実装するための技術として、[3]高精度な可変利得移相技術の研究成果について述べた。特に小型な実装が必要となる、より高い周波数帯において有効となる可変利得移相技術に着目し、「バラクタによる位相補償を適用した高精度な可変利得移相器」を提案した。制御時の入力容量変化によって可変利得移相器の通過位相特性が変化することに着目し、入力段にチューナブルデバイスであるバラクタを搭載し、制御時の入力容量を一定に維持する位相補償を行うことで高精度な可変利得移相を実現する回路構成と設計法を述べた。Ka 帯において提案する可変利得移相器を試作し、位相補償を使用しない場合と比較し移相量誤差の改善を確認した。28~32 GHz の周波数範囲、および 23 dB の利得制御範囲で、それぞれ 0.19 dB 未満の RMS 振幅誤差、0.75° 未満の RMS 移相量誤差を実現し、既存可変利得移相器において最も低い移相量誤差の実現を確認した。これにより提案する回路構成と設計法が高精度な可変利得移相技術と、振幅制御の小型な実装、さらには AESA の低サイドローブ化に有効であることを示した。

以上、高性能な AESA 用マイクロ波モジュール実現を目的とし、これを実現するために必要な要素技術についての研究成果をまとめた。これまでに述べたように、レーダ、通信、リモートセンシングといった従来からあるアプリケーションでは、AESA の広いシーンにおける社会実装や今後のテラヘルツ帯を超える高周波数帯への拡大に伴い、マイクロ波モジュールの高性能化がますます重要になっていくことが見込まれる。加えて AESA は、マイクロ波加熱機器の熱源[6.1]-[6.2]や、無線電力伝送[6.3]-[6.5]といった新しいアプリケーションへの応用も期待されている。これらのアプリケーションでは、そのアプリケーションの特性からエネルギーの絶対量が飛躍的に増加するため、必要な方向のみに瞬時に必要なエネルギーを届ける機能が重要となり、ビーム制御の高精度化がますます求められるようになると考えられる。このように今後も、AESA の高性能化を実現するための移相技術、位相検出技術、可変利得技術、可変利得移相技術といったマイクロ波回路制御回路の高性能化の重要性が増していくと考えられ、本研究は、様々なアプリケーションの今後の発展に有効な研究である。

6.1 参考文献

- [6.1] N. Saha and I. Mahbub, "Design, Modeling, and Simulation of a 2.4 GHz Near-field Phased-Array based Wireless Power Transfer System for Brain Neuromodulation Applications," 2022 IEEE Texas Symposium on Wireless and Microwave Circuits and Systems (WMCS), Waco, TX, USA, 2022, pp. 1-5, doi: 10.1109/WMCS55582.2022.9866412.
- [6.2] M. Ide, A. Shirane, K. Yanagisawa, D. You, J. Pang and K. Okada, "A 28-GHz Phased-Array Relay Transceiver for 5G Network Using Vector-Summing Backscatter with 24-GHz Wireless Power and LO Transfer," 2021 Symposium on VLSI Circuits, Kyoto, Japan, 2021, pp. 1-2, doi: 10.23919/VLSICircuits52068.2021.9492431.
- [6.3] S. Wang and S. Hong, "A 5.8 GHz Four-Channel RF Beamforming IC Based on a Vector Modulator for Wireless Power Transmission," in IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 69, no. 3, pp. 709-713, March 2022, doi: 10.1109/TCSII.2021.3106957.
- [6.4] B. Yang, X. Chen, T. Mitani and N. Shinohara, "Phase Synchronization Principle in 5.8 GHz Magnetron Phased Array," 2023 24th International Vacuum Electronics Conference (IVEC), Chengdu, China, 2023, pp. 1-2, doi: 10.1109/IVEC56627.2023.10157148.
- [6.5] Y. Yang et al., "Design of Microwave Directional Heating System Based on Phased-Array Antenna," in IEEE Transactions on Microwave Theory and Techniques, vol. 68, no. 11, pp. 4896-4904, Nov. 2020, doi: 10.1109/TMTT.2020.3002831.

謝辞

本研究をまとめるにあたり、終始懇切丁寧なご指導、ご助言を賜りました千葉大学大学院融合理工学府 森田 健教授に心から感謝の言葉を申し上げます。また、数々の貴重なご指導、ご助言を賜りました千葉大学大学院融合理工学府 佐藤 之彦教授、大森 達也准教授、同中田 裕之准教授に心より感謝の言葉を申し上げます。

本研究は、著者が三菱電機株式会社勤務中に行った研究成果の一部をまとめたものであり、本研究の機会を与えて頂くとともに、ご指導ご鞭撻を頂きました三菱電機株式会社 情報技術総合研究所 所長 松下 雅仁氏、同所 副所長 有賀 博博士、浮穴 朋興氏、同所 マイクロ波技術部 部長 山中 宏治博士、また、同部の歴代の部長である三菱電機株式会社 防衛・宇宙システム事業本部 宮崎 守泰博士、ハイティラ株式会社 代表取締役 平野 嘉仁博士、三菱電機株式会社 情報技術総合研究所 戦略部 中山 正敏博士、一般財団法人マイクロマシンセンター 福本 宏氏、三菱電機ディフェンス&スペーステクノロジーズ株式会社 技師長 下沢 充弘博士に心より感謝致します。

本研究の遂行および論文をまとめるにあたり、有益なご助言と多大なご指導を頂きました、東北大学電気通信研究所 教授 末松 憲治博士、三菱電機株式会社 情報技術総合研究所 マイクロ波技術部 森 一富博士、同所 EMプラットフォーム技術部 部長 谷口 英司博士、三菱電機株式会社 高周波光デバイス製作所 赤外線センサデバイスプロジェクトグループ サブプロジェクトグループマネージャー 高橋 貴紀氏、三菱電機株式会社 先端技術総合研究所 センサ情報処理システム技術部 部長 亀山 俊平博士、三菱電機株式会社 情報技術総合研究所 マイクロ波技術部 増幅器グループ グループマネージャー 新庄 真太郎博士、金沢工業大学 電気・光・エネルギー応用研究センター 連携教授 津留 正臣博士、三菱電機株式会社 情報技術総合研究所 開発戦略部 中溝 英之氏、三菱電機株式会社 開発本部 堤 恒次氏、三菱電機エンジニアリング株式会社 津久井 裕基氏に心より感謝致します。

さらに、同社にあって励ましを頂きました、桑田 英悟氏、小竹 論季博士、中本 成洋氏、幸丸 竜太氏、渡辺 陽介博士、磯田 健太郎氏をはじめとする多くの方々に感謝致します。

最後にこれまで育てていただいた父、母、並びに温かく見守ってくれた家族に感謝致します。

業績一覧

学術論文

- [1] A. Hirai, Y. Tsukui, K. Tsutsumi, K. Mori, " Variable-Gain Phase Shifter with Phase Compensation using Varactors", IEICE Transactions on Electronics, vol.E106.C, no.11, pp.677-688, 2023, doi: 10.1587/transele.2023MMP0003
- [2] A. Hirai, K. Mori, M. Tsuru, M. Shimosawa, " S-to-X Band 360-Degree RF Phase Detector IC Consisting of Symmetrical Mixers and Tunable Low-Pass Filters", IEICE Transactions on Electronics, vol.E104.C, no.10, pp.559-567, 2021, doi: 10.1587/transele.2021MMP0002
- [3] A. Hirai, T. Fujiwara, M. Tsuru, K. Mori and M. Shimosawa, "Vector-Sum Phase Shifter Using a Tunable Active gm-C Polyphase Filter," in IEEE Transactions on Microwave Theory and Techniques, vol. 68, no. 10, pp. 4091-4102, Oct. 2020, doi: 10.1109/TMTT.2020.2991738.
- [4] A. Hirai, K. Tsutsumi, H. Nakamizo, E. Taniguchi, K. Tajima, K. Mori, M. Tsuru, M. Shimosawa, "A 0.3-to-5.5 GHz Digital Frequency Discriminator IC with Time to Digital Converter and Edge Counter for Instantaneous Frequency Measurement", IEICE Transactions on Electronics, vol.E102.C, no.7, pp.547, 2019, doi: 10.1587/transele.2018CTP0002

国際学会

- [1] A. Hirai, Y. Tsukui, S. Yokomizo, R. Sakamaki and S. Ikeda, "A 280 GHz Quadruple-Push Subharmonic Down-Conversion Mixer with Load Impedance Optimization," 2023 Asia-Pacific Microwave Conference (APMC), Taipei, Taiwan, 2023, pp. 13-15, doi: 10.1109/APMC57107.2023.10439823.
- [2] K. Nakatani, Y. Kawamura, T. Trii, S. Yamashita, A. Hirai and K. Yamanaka, "Ka-band High Efficiency 16W/24W GaN Power Amplifier MMICs for a W-band GaN Transmitter Module with a Triple-Multiplier for Beyond 5G," 2023 Asia-Pacific Microwave Conference (APMC), Taipei, Taiwan, 2023, pp. 58-60, doi: 10.1109/APMC57107.2023.10439811.
- [3] K. Nakatani, Y. Yamaguchi, K. Kanaya, S. Shinjo and A. Hirai, "A Ka-band Three-Stage GaN MMIC Doherty Power Amplifier with Wideband Tee-line Doherty Network for 5G Applications," 2023 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT), Cairns, Australia, 2023, pp. 11-13, doi:

10.1109/RFIT58767.2023.10243248.

- [4] S. Ikeda, A. Hirai, K. Tsutsumi and M. Tsuru, "Phase Synchronization Technique Between Fractional-N PLLs by Correcting Phase Error due to Cycle Slip using Reference Delta-Sigma Modulator," *2020 IEEE Asia-Pacific Microwave Conference (APMC)*, Hong Kong, Hong Kong, 2020, pp. 905-907, doi: 10.1109/APMC47863.2020.9331543.
- [5] A. Hirai, T. Fujiwara, M. Tsuru, K. Mori and M. Shimozawa, "A Vector Sum Phase Shifter with Active PPF using Transconductance of Transistors," *2019 IEEE Asia-Pacific Microwave Conference (APMC)*, Singapore, 2019, pp. 216-218, doi: 10.1109/APMC46564.2019.9038509.
- [6] A. Hirai, K. Tsutsumi, M. Tsuru, K. Mori and M. Shimozawa, "A 0.1-to-10 GHz Digital Frequency Discriminator IC with Time to Digital Converter and Adaptive Control of Frequency Division Ratio for Instantaneous Frequency Measurement," *2019 IEEE MTT-S International Microwave Symposium (IMS)*, Boston, MA, USA, 2019, pp. 1287-1290, doi: 10.1109/MWSYM.2019.8700846.
- [7] S. Yokomizo, A. Hirai, T. Fujiwara and M. Tsuru, "V-band Vector-sum Phase Shifter with Frequency Mixing," *2019 49th European Microwave Conference (EuMC)*, Paris, France, 2019, pp. 484-487, doi: 10.23919/EuMC.2019.8910830.
- [8] A. Hirai, K. Tsutsumi and M. Shimozawa, "Image rejection mixer using tunable poly phase filter with negative feedback control and reference resistor," *2016 Asia-Pacific Microwave Conference (APMC)*, New Delhi, India, 2016, pp. 1-4, doi: 10.1109/APMC.2016.7931447.
- [9] A. Hirai, K. Tsutsumi, H. Nakamizo and E. Taniguchi, "A 0.3-to-5.5 GHz Digital Frequency Discriminator IC with Time to Digital Converter," *2015 IEEE MTT-S International Microwave Symposium*, Phoenix, AZ, USA, 2015, pp. 1-3, doi: 10.1109/MWSYM.2015.7166786.
- [10] A. Hirai, K. Tsutsumi, Y. Takahashi, H. Nakamizo, K. Tajima, E. Taniguchi, M. Shimozawa, M. Hieda, M. Nakayama, "Fast and highly accurate RF phase detector with analog integrator for APAA system," *2013 Asia-Pacific Microwave Conference Proceedings (APMC)*, Seoul, Korea (South), 2013, pp. 1-3, doi: 10.1109/APMC.2013.6695171.

国内研究会

- [1] 平井 暁人, 津久井裕基, 横溝真也, 坂巻 亮, 池田 翔, “負荷インピーダンス最適化を用いた 280GHz 帯 4 次高調波ミキサ,” 信学技報, vol. 123, no. 268, MW2023-134, pp. 43-48, 2023 年 11 月.

- [2] 中谷 圭吾, 山口 祐太郎, 金谷 康, 平井 暁人, “Tee-line network を用いた 5G 向け Ka 帯高効率広帯域 GaN MMIC ドハティ増幅器,” 信学技報, vol. 123, no. 268, MW2023-130, pp. 13-18, 2023 年 11 月.
- [3] 竹添 慎司, 森野 芳昭, 坂田 修一, 山本 航, 齋木 研人, 平井 暁人, “4.3Vpp の出力電圧とパルス幅制御機能を備えた高速 GaN スイッチング型エンベロープ増幅器用 45nm SOI-CMOS ドライバ回路,” 信学技報, vol. 123, no. 268, MW2023-130, pp. 23-26, 2023 年 11 月.
- [4] 平井 暁人, 津久井 裕基, 堤 恒次, 森 一富, “バラクタによる通過位相補正を用いた Ka 帯可変利得移相器,” 信学技報, vol. 122, no. 411, MW2022-158, pp. 7-12, 2023 年 3 月.
- [5] 平井 暁人, 津留 正臣, 森 一富, 下沢 充弘, “gm-C ポリフェーズフィルタを適用したベクトル合成型移相器 (Special Talk),” 信学技報, vol. 121, no. 400, MW2021-119, pp. 48-53, 2022 年 3 月.
- [6] 池田 峻一, 横川 佳, 中本 成洋, 平井 暁人, 深沢 徹, 大塚 昌孝, “LNA をアンテナ素子中央に配置した非励振パッチ付き円環パッチアンテナの設計,” 信学技報, vol. 121, no. 305, AP2021-133, pp. 25-30, 2021 年 12 月.
- [7] 横溝 真也, 平井 暁人, 藤原 孝信, 津留 正臣, “イメージリジェクション機能を備えた V 帯 2 周波混合ベクトル合成型移相器 IC,” 信学技報, vol. 120, no. 8, WPT2020-2, MW2020-2, pp. 7-12, 2020 年 4 月.
- [8] 池田 翔, 平井 暁人, 堤 恒次, 津留 正臣, “リファレンス $\Delta\Sigma$ 変調器を用いたサイクルスリップによる複数 PLL 間の位相ずれの補正技術,” 信学技報, vol. 119, no. 409, ED2019-93, MW2019-127, pp. 1-5, 2020 年 1 月.
- [9] 平井 暁人, 津留 正臣, 下沢 充弘, “微小遅延で出力電圧が正弦特性となるミキサベース位相検出器,” 信学技報, vol. 119, no. 292, MW2019-100, pp. 1-5, 2019 年 11 月.
- [10] 平井 暁人, 藤原 孝信, 津留 正臣, 下沢 充弘, “トランジスタのトランスコンダクタンスを用いたアクティブ型 PPF を適用したベクトル合成型移相器,” 信学技報, vol. 118, no. 506, MW2018-163, ICD2018-107, pp. 37-42, 2019 年 3 月.
- [11] 平井 暁人, 堤 恒次, 津留 正臣, 下沢 充弘, “入力カウンタに動的制御を適用した TDC を用いた広帯域瞬時周波数検出回路,” 信学技報, vol. 118, no. 308, MW2018-96, pp. 25-30, 2018 年 11 月.
- [12] 横溝 真也, 平井 暁人, 藤原 孝信, 津留 正臣, “ベクトル合成型移相機能を備えた V 帯 ミキサ IC の試作,” 信学技報, vol. 118, no. 308, MW2018-98, pp. 35-40, 2018 年 11 月.
- [13] 平井 暁人, 横溝 真也, 藤原 孝信, 下沢 充弘, “ベクトル合成型移相機能を備えたミキサ,” 信学技報, vol. 117, no. 462, MW2017-194, ICD2017-118, pp. 97-102, 2018 年 3 月.
- [14] 平井 暁人, 藤原 孝信, 下沢 充弘, “トランジスタのトランスコンダクタンスを用いたアクティブ PPF,” 信学技報, vol. 117, no. 291, MW2017-128, pp. 87-92, 2017 年 11 月.

- [15] 平井 暁人, 堤 恒次, 谷口 英司, 下沢 充弘, “TDC を用いた瞬時周波数検出回路の高分解能化・高精度化,” 信学技報, vol. 117, no. 43, SANE2017-5, pp. 23-28, 2017 年 5 月.
- [16] 平井 暁人, 堤 恒次, 下沢 充弘, “基準抵抗による可変 PPF を用いた IRM,” 信学技報, vol. 116, no. 310, MW2016-121, pp. 27-32, 2016 年 11 月.
- [17] 平井 暁人, 堤 恒次, 谷口 英司, “TDC を用いた瞬時周波数検出回路の高分解能化、高精度化の検討,” 信学技報, vol. 115, no. 314, MW2015-122, pp. 11-16, 2015 年 11 月.
- [18] 橘川 雄亮, 田島 賢一, 平井 暁人, 水谷 浩之, 川上 憲司, “マンチェスタ符号を用いたクロック抽出回路およびデータ検出手法,” 信学技報, vol. 114, no. 318, MW2014-147, pp. 129-132, 2014 年 11 月.
- [19] 平井 暁人, 堤 恒次, 谷口 英司, “TDC を用いた瞬時周波数検出回路,” 信学技報, vol. 114, no. 120, ICD2014-19, pp. 1-6, 2014 年 7 月.
- [20] 平井 暁人, 堤 恒次, 小竹 論季, 辻 秀伸, 今城 勝治, 亀山 俊平, 谷口 英司, 平野 嘉仁, “3D Imaging LADAR 用アレイ ROIC の開発,” 信学技報, vol. 113, no. 112, ICD2013-35, pp. 69-74, 2013 年 7 月.
- [21] 平井 暁人, 堤 恒次, 高橋 貴紀, 谷口 英司, “定時間積分方式による高速・高精度位相検出回路,” 信学技報, vol. 112, no. 312, MW2012-125, pp. 69-74, 2012 年 11 月.
- [22] 小竹 論季, 亀山 俊平, 今城 勝治, 辻 秀伸, 平井 暁人, 高林 幹夫, 平野 嘉仁, “リニアアレイ受信型 3D Imaging LADAR の長距離・高分解能・リアルタイム 3D 撮像の実証,” 信学技報, vol. 112, no. 41, SANE2012-13, pp. 13-18, 2012 年 5 月.
- [23] 平井 暁人, 亀山 俊平, 今城 勝治, 辻 秀伸, 浅香 公雄, 下沢 充弘, “レーザレーダシステムにおける TIA を用いた O/E 変換器に関する検討,” 信学技報, vol. 111, no. 151, ICD2011-37, pp. 131-136, 2011 年 7 月.

口頭発表

- [1] 平井 暁人, 藤原 孝信, 津留 正臣, 下沢 充弘, “アクティブ型 PPF を搭載したベクトル合成型移相器,” 電子情報通信学会 2019 年ソサイエティ大会, C-2-21, 2019
- [2] 池田 翔, 平井 暁人, 堤 恒次, 津留 正臣, “サイクルスリップ補正用サブ $\Delta\Sigma$ 変調器を備えた frac-N PLL 間位相同期,” 電子情報通信学会 2019 年ソサイエティ大会, C-12-21, 2019
- [3] 平井 暁人, 堤 恒次, 津留 正臣, 下沢 充弘, “入力カウンタ制御を適用した TDC を用いた広帯域 DFD-IC,” 電子情報通信学会 2018 年ソサイエティ大会, C-2-69, 2018
- [4] 平井 暁人, 堤 恒次, 津留 正臣, 下沢 充弘, “IC 外部の基準抵抗で制御される周波数可変 PPF を用いた IRM,” 電子情報通信学会 2017 年総合大会, C-2-78, 2017
- [5] 平井 暁人, 堤 恒次, 谷口 英司, “基準抵抗を用いた可変ポリフェーズフィルタ,” 電子情報通信学会 2016 年総合大会, C-2-2, 2016

- [6] 平井 暁人, 堤 恒次, 谷口 英司, “自己注入同期を用いた高分解能デジタル制御発振器の試作結果,” 電子情報通信学会 2016 年総合大会, C-2-24, 2016
- [7] 平井 暁人, 堤 恒次, 谷口 英司, “TDC を用いた高分解能 DFD-IC,” 電子情報通信学会 2016 年ソサイエティ大会, C-2-90, 2016
- [8] 柳原 裕貴, 平井 暁人, 堤 恒次, 谷口 英司, “自己注入同期を用いた高分解能デジタル制御発振器,” 電子情報通信学会 2015 年ソサイエティ大会, C-2-2, 2015
- [9] 中村 圭佑, 平井 暁人, 田島 賢一, 檜枝 護重, “動作点制御方式を用いた RSSI 検波器による ASK 変調信号受信回路,” 電子情報通信学会 2015 年ソサイエティ大会, C-2-51, 2015
- [10] 平井 暁人, 堤 恒次, 谷口 英司, “TDC を用いた瞬時周波数検出回路の PVT ばらつき特性,” 電子情報通信学会 2015 年ソサイエティ大会, C-2-54, 2015
- [11] 中村圭佑, 橘川 雄亮, 平井 暁人, 水谷 浩之, 檜枝護重, “マンチェスタ符号の前後半部を検出するクロック抽出型パターン判定回路を用いた起動回路,” 電子情報通信学会 2015 年総合大会, C-2-89, 2015
- [12] 平井 暁人, 堤 恒次, 谷口 英司, “TDC を用いた瞬時周波数検出の高精度化,” 電子情報通信学会 2015 年総合大会, C-2-90, 2015
- [13] 平井 暁人, 堤 恒次, 谷口 英司, “TDC を用いた瞬時周波数検出回路の広帯域特性,” 電子情報通信学会 2014 ソサイエティ大会, C-2-72, 2014
- [14] 平井 暁人, 堤 恒次, 谷口 英司, “TDC を用いた瞬時周波数検出回路,” 電子情報通信学会 2014 年総合大会, C-2-113, 2014
- [15] 橘川 雄亮, 田島 賢一, 平井 暁人, 水谷 浩之, 川上 憲司, “マンチェスタ符号の前後半部を検出するクロック抽出型パターン判定回路,” 電子情報通信学会 2014 年総合大会, C-2-114, 2014
- [16] 橘川 雄亮, 田島 賢一, 平井 暁人, 中溝 英之, 川上 憲司, “クロック抽出型パターン判定回路およびクロック抽出方法,” 電子情報通信学会 2013 年総合大会, C-2-121, 2013
- [17] 平井 暁人, 堤 恒次, 小竹 論季, 今城 勝治, 亀山 俊平, 谷口 英司, “3D Imaging LADAR 用 64 素子アレイ ROIC の開発,” 電子情報通信学会 2013 年総合大会, C-2-2, 2013
- [18] 平井 暁人, 堤 恒次, 高橋 貴紀, 谷口 英司, “定時間積分方式による高速・高精度位相検出回路,” 電子情報通信学会 2012 年ソサイエティ大会, C-2-5, 2012
- [19] 平井 暁人, 堤 恒次, 高橋 貴紀, 谷口 英司, “負帰還を用いた自己校正 T A C,” 電子情報通信学会 2011 年ソサイエティ大会, C-2-6, 2011
- [20] 平井 暁人, 亀山 俊平, 今城 勝治, 浅香 公雄, 下沢 充弘, “レーザレーダ用高 S/N アナログ加算回路,” 電子情報通信学会 2010 年ソサイエティ大会, C-12-11, 2010
- [21] 平井 暁人, 小野間 史樹, 堤 恒次, 末松 憲治, 下沢 充弘, “3D Imaging LADAR 用

高速・高ダイナミックレンジ パルスピーク検出 IC,” 電子情報通信学会 2009 年ソサイエティ大会, C-12-34, 2009

特許

- [1] 平井 暁人, 津久井 裕基「可変利得増幅器及び移相器」PCT/JP2022/040574(2022.10)
- [2] 平井 暁人, 津留 正臣「位相検波器」特許第 7046276 号(2022.3)
- [3] 横溝 真也, 藤原 孝信, 津留 正臣, 下澤 充弘, 平井 暁人, 「ミクサ」特許第 6921358 号(2021.7)
- [4] 平井 暁人, 下澤 充弘, 「イメージリジェクションミクサ及び通信回路」特許第 6463565 号(2019.11)
- [5] 横溝 真也, 平井 暁人, 下澤 充弘, 「ミクサ」特許第 6440911 号(2018.11)
- [6] 平井 暁人, 下沢 充弘, 「I Q信号源」特許第 6615406 号(2019.11)
- [7] 平井 暁人, 谷口 英司, 「フィルタ装置」特許第 6053997 号(2016.12)
- [8] 平井 暁人, 堤 恒次, 谷口 英司, 「周波数検出器」特許第 6173106 号(2017.7)
- [9] 平井 暁人, 堤 恒次, 谷口 英司, 「差動増幅回路」特願 2013-155211(2013.7)
- [10] 平井 暁人, 橘川 雄亮, 深沢 徹, 平峰 正信, 谷口 英司, 「電圧電力抽出装置」特願 2013-25265(2013.02)
- [11] 平井 暁人, 堤 恒次, 谷口 英司, 「入力信号レベル検出器」特願 2012-163635(2012.07)
- [12] 平井 暁人, 高橋 貴紀, 谷口 英司, 「チョッパ型コンパレータ」特願 2011-233987(2011.10)

表彰

- [1] 2011 年 電子情報通信学会 学術奨励賞
- [2] Asia Pacific Microwave Conference(APMC) 2013 Best Paper Award
- [3] 2021 IEEE MTT-S Japan Young Engineer Award
- [4] 2021 IEEE MTT-S Japan Michiyuki Uenohara Memorial Award
- [5] 2023 IEEE International Symposium on Radio Frequency Integration Technology (RFIT 2023) Best Paper Award
- [6] 2023 年度 電子情報通信学会論文賞